

본 발명은 기판(200)에 트렌치(202)를 형성하는 단계, 수소로 종결된 실리콘 표면을 제공하기 위해 습식 에천트로 상기 표면을 에칭함으로써 상기 트렌치 내에 표면을 준비하는 단계 및 트렌치(202)를 확장하기 위해 상기 실리콘 표면을 이방성 습식 에칭하는 단계를 포함하는 트렌치(202)를 확장하는 방법에 관한 것이다.

대표도

도 15

특허청구의 범위

청구항 1.

수직형 트렌치들을 확장시키기 위한 방법으로서,

상기 트렌치들 각각의 최장축이 실리콘 기판의 (110) 표면들과 평행하도록 인접하는 트렌치들의 쌍을 형성하기 위해 상기 실리콘 기판에 대해 결정 방향을 선택하는 단계;

상기 기판 내에서 서로 인접한 제 1 트렌치 및 제 2 트렌치 - 상기 제 1 및 제 2 트렌치들의 최장축들은 평행함 - 를 형성하는 단계;

수소 종결된 실리콘 표면을 제공하기 위해 상기 표면들을 습식 에천트로 에칭함으로써 상기 제 1 및 제 2 트렌치 내에 표면들을 준비하는 단계; 및

상기 제 1 트렌치 및 상기 제 2 트렌치 사이의 간격을 유지하기 위해 서로를 향한 상기 제 1 및 제 2 트렌치의 확장이 감소되도록 (100) 표면들을 에칭하여 상기 제 1 및 제 2 트렌치를 상기 (110) 표면들로 확장시키는, 상기 트렌치들의 수소 종결된 실리콘 표면을 이방성으로 습식 에칭하는 단계

를 포함하며, 매립형 전극이 상기 이방성 에칭 이전에 형성되는, 수직형 트렌치들을 확장시키기 위한 방법.

청구항 2.

제 1항에 있어서, 상기 제 1 및 제 2 트렌치 내에 표면들을 준비하는 단계는 불화 수소를 이용하여 상기 표면들을 습식 에칭함으로써 상기 표면들을 준비하는 단계를 포함하는 것을 특징으로 하는 수직형 트렌치들을 확장시키기 위한 방법.

청구항 3.

제 1항에 있어서, 상기 제 1 및 제 2 트렌치를 확장시키기 위해 상기 제 1 및 제 2 트렌치를 이방성으로 습식 에칭하는 단계는 수산화암모늄을 사용하여 상기 제 1 및 제 2 트렌치를 등방성 이방성 습식 에칭하는 단계를 포함하는 것을 특징으로 하는 수직형 트렌치들을 확장시키기 위한 방법.

청구항 4.

제 1항에 있어서, 상기 제 1 및 제 2 트렌치를 확장시키기 위해 상기 제 1 및 제 2 트렌치를 이방성으로 습식 에칭하는 단계는 약 10°C 내지 약 80°C 사이의 온도에서 상기 제 1 및 제 2 트렌치를 이방성 습식 에칭하는 단계를 포함하는 것을 특징으로 하는 수직형 트렌치들을 확장시키기 위한 방법.

청구항 5.

제 1항에 있어서, 상기 제 1 및 제 2 트렌치를 확장시키기 위해 상기 제 1 및 제 2 트렌치를 이방성으로 습식 에칭하는 단계는 일괄 프로세스로 상기 제 1 및 제 2 트렌치를 이방성 습식 에칭하는 단계를 포함하는 것을 특징으로 하는 수직형 트렌치들을 확장시키기 위한 방법.

청구항 6.

제 1항에 있어서, 상기 이방성 습식 에칭 단계는 장방형 트렌치들을 형성하는 것을 특징으로 하는 수직형 트렌치들을 확장시키기 위한 방법.

청구항 7.

제 1항에 있어서, 상기 이방성 습식 에칭 단계는 상기 트렌치들의 깊이를 따라 측벽에 대해 15 nm 보다 작은 표면 평탄도를 제공하는 단계를 포함하는 것을 특징으로 하는 수직형 트렌치들을 확장시키기 위한 방법.

청구항 8.

반도체 소자들에서 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법으로서,

상기 트렌치들 각각의 최장축이 실리콘 기판의 (110) 표면들에 평행하도록 인접하는 트렌치들의 쌍을 형성하기 위해 상기 실리콘 기판에 대해 결정 방향을 선택하는 단계;

상기 기판 내에서 서로 인접한 제 1 트렌치 및 제 2 트렌치 - 상기 제 1 트렌치 및 제 2 트렌치의 최장축은 평행함 - 를 형성하는 단계;

수소 종결된 실리콘 표면을 제공하기 위해 습식 에치트를 이용하여 상기 표면들을 에칭함으로써 상기 트렌치 내에 표면들을 준비하는 단계;

상기 트렌치들의 상부 내에 칼라(collar)를 형성하는 단계; 및

상기 칼라에 선택적인 상기 트렌치들의 하부를 이방성으로 에칭하는 단계

를 포함하며, 상기 트렌치들의 하부를 이방성으로 에칭하는 단계는

상기 트렌치들의 하부 상에 수소 종결된 표면을 제공함으로써 상기 트렌치들의 하부의 표면을 준비하는 단계; 및

서로를 향한 상기 제 1 및 제 2 트렌치의 확장이 감소되어 상기 제 1 및 제 2 트렌치 사이의 간격이 유지되도록 (100) 표면들을 에칭함으로써 상기 트렌치들을 (110) 표면들로 확장시켜 상기 트렌치들의 하부의 수소 종결된 표면을 이방성으로 습식 에칭하는 단계를 포함하고,

매립형 플레이트 전극이 상기 이방성 에칭 이전에 형성되는, 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 9.

제 8항에 있어서, 상기 하부의 표면을 준비하는 단계는 불화 수소로 상기 표면들을 습식 에칭함으로써 상기 표면을 준비하는 단계를 포함하는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 10.

제 8항에 있어서, 상기 이방성 에칭 단계는 수산화암모늄을 사용하여 상기 제 1 및 제 2 트렌치를 등방성 이방성 습식 에칭하는 단계를 포함하는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 11.

제 8항에 있어서, 상기 습식 에칭 단계는 약 10℃ 내지 약 80℃의 온도에서 상기 트렌치 하부를 습식 에칭하는 단계를 포함하는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 12.

제 8항에 있어서, 상기 이방성 습식 에칭 단계는 일괄 프로세스로 상기 트렌치를 습식 에칭하는 단계를 포함하는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 13.

제 8항에 있어서, 상기 이방성 습식 에칭 단계는 장방형 트렌치를 형성하는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 14.

제 8항에 있어서, 상기 습식 에칭 단계는 상기 기판과 상기 칼라 사이에 1000:1 이상의 선택도를 가지는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 15.

제 8항에 있어서, 상기 이방성 습식 에칭 단계는 상기 트렌치들의 깊이를 따라 측벽들에 대해 15nm 미만의 표면 평탄도를 제공하는 단계를 포함하는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 16.

제 8항에 있어서, 상기 매립형 플레이트는 상기 트렌치들의 상부에서 칼라의 형성과 동시에 형성되는 것을 특징으로 하는 확장된 깊은 트렌치의 형성 방법.

청구항 17.

제 8항에 있어서, 상기 칼라 및 매립형 플레이트는 동시에 형성되는 것을 특징으로 하는 확장된 수직형 깊은 트렌치들을 형성하기 위한 방법.

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

명세서

기술분야

본 발명은 반도체 제조에 관한 것으로, 특히 이방성 습식 에칭 프로세스를 사용함으로써 반도체 메모리용 병 모양의 트렌치 커패시터를 형성하는 방법에 관한 것이다.

배경기술

깊은 트렌치를 기반으로 하는 메모리 장치의 확장은 기본 룰의 축소에 따라 깊은 트렌치의 저장 커패시턴스에 의해 제한된다. 깊은 트렌치에 저장될 수 있는 상기 커패시턴스는 깊은 트렌치 표면적의 선형 함수이기 때문에, 보다 큰 트렌치의 형성이 바람직하다. 그러나, 깊은 트렌치의 확대는 반도체 칩의 설계 영역에 큰 영향을 준다.

깊은 트렌치 내에 형성된 절연 칼라(collar) 하부의 깊은 트렌치의 표면적을 증가시키려는 시도가 행해져왔다. 절연 칼라 하부의 상기 영역은 깊은 트렌치의 상부처럼 이용 가능한 영역에 제한되지 않는다. 칼라 하부 영역을 확장하기 위해, 실리콘의 등방성 반응 이온 에칭(RIE) 프로세스가 사용될 수 있다. 상기 RIE 프로세스에 의해 절연 칼라 하부의 실리콘 기판이 리세스(recess)되어 증가된 표면적을 제공한다. RIE 프로세스는 많은 단점을 포함한다. 이러한 단점은 다음과 같다:

1. 산화물에 대한 낮은 선택도. 반응성 이온 에칭 프로세스로 절연층 칼라도 에칭되며, 그 결과 절연 칼라의 두께가 감소된다. 절연 칼라는 예를 들어, LOCOS 산화물 또는 증착된 산화물이다. 이 산화물이 얇을 때 수직형 누설 전류가 발생할 수 있다.

2. 고비용의 프로세스. RIE 장비는 고가이며 단일 웨이퍼 프로세스가 필요하기 때문에 낮은 처리량을 가진다.

3. 부가적인 손상. RIE 프로세스는 에칭된 영역에 컴포넌트 성능에 악영향을 미칠 수 있는 중합체 퇴적물을 남긴다. RIE 프로세스는 에칭된 영역에 표면 손상을 초래할 수 있으며 바람직하지 못한 측면 오목부가 에칭된 영역에 형성된다.

따라서, 깊은 트렌치 커패시터의 표면적을 증가시키는 개선된 방법이 필요하다. 또한, 깊은 트렌치 커패시터의 표면적을 증가시키는 보다 경제적인 방법도 필요하다.

발명의 상세한 설명

본 발명에 따르면, 트렌치를 확장시키는 방법은 기판에 트렌치를 형성하는 단계, 트렌치 내의 표면으로부터 자연 산화물(수소로 종결된 표면을 형성)을 실질적으로 제거하기 위해 습식 에칭트로 상기 표면을 에칭하고 트렌치를 확장하기 위해 트렌치 표면을 이방성 습식 에칭함으로써, 트렌치 내부에 표면을 준비하는 단계를 포함한다.

반도체 장치용 확장된 깊은 트렌치를 형성하는 방법은 기판에 트렌치를 형성하는 단계, 트렌치 상부에 칼라를 형성하는 단계, 트렌치 하부 상에 수소로 종결된 표면을 제공하여 트렌치의 하부 표면을 제공하고, 트렌치를 확장하기 위해 염기성 용액으로 트렌치 하부를 습식 에칭함으로써 칼라에 대해 선택적인 트렌치의 하부를 이방성 에칭하는 단계를 포함한다.

반도체 장치용 확장된 깊은 트렌치를 형성하는 다른 방법은 단결정 실리콘 기판에 트렌치를 형성하는 단계, 트렌치 상부에 산화물 칼라를 형성하는 단계, 불화 수소로 상기 표면을 에칭함으로써 트렌치 하부의 표면 -트렌치 하부 상에 수소로 종결된 표면을 제공하기 위해 준비됨- 을 준비하는 단계, 및 트렌치 하부에서 기판의 결정 표면까지 트렌치를 확장시키기 위해 칼라에 대해 선택적으로 에칭될 트렌치 하부를 수산화암모늄 에칭트로 이방성 습식 에칭하는 단계를 포함한다.

다른 실시예에서, 트렌치 내에 표면을 준비하는 단계는, 불화 수소 용액으로 표면을 에칭함으로써 표면을 준비하는 단계를 포함할 수 있다. 트렌치를 확장하기 위해 트렌치를 이방성 습식 에칭하는 단계는, 수산화암모늄을 사용하여 트렌치를 이방성 습식 에칭하는 단계를 포함할 수 있다. 트렌치를 확장하기 위해 트렌치를 이방성 습식 에칭하는 단계는 또한 약 10°C 내지 약 80°C 사이의 온도에서 트렌치를 이방성 습식 에칭하는 단계도 포함할 수 있다. 트렌치를 확장하기 위해 트렌치를 이방성 습식 에칭하는 단계는 또한 트렌치를 일괄(batch) 프로세스로 이방성 습식 에칭하는 단계도 포함할 수 있다. 이방성 습식 에칭 단계는 바람직하게 직사각형 트렌치를 형성한다. 기판은 단결정 실리콘으로 구성되는 것이 바람직하며, 이방성 습식 에칭 단계는 기판의 결정 표면에 따라 트렌치에서 실리콘을 제거하는 단계를 포함할 수 있다. 이방성 습식 에칭은 바람직하게 직사각형 트렌치를 형성하며, 상기 제거 단계는 트렌치 표면을 (110) 표면까지 확장시키는 단계를 포함할 수 있다. 바람직하게는, 상기 습식 에칭 단계는 통상적인 에칭 방법보다 평탄한 표면을 제공한다. 예를 들어, 표면의 평탄도는 트렌치의 깊이에 대해 15nm 이하이다. 이방성 에칭 이전에 또는 이방성 에칭 후에 매립형 플레이트 전극을 형성하는 단계가 포함될 수 있다. 습식 에칭 단계는 기판과 칼라 사이에 1000:1 이상의 선택도를 가지는 것이 바람직하다. 본 발명은 또한 RIE 프로세스의 표면 조도에 비해 실리콘 기판 표면의 표면 조도를 개선시킨다.

본 발명의 이러한 그리고 다른 목적, 특징 및 이점은 첨부된 도면과 함께 이하의 예시적인 실시예의 상세한 설명에 의해 분명해질 것이다.

실시예

본 발명은 반도체 제조에 관한 것으로, 특히, 이방성 습식 에칭 프로세스를 사용하여 반도체 메모리용 병 모양의 트렌치 커패시터를 형성하는 방법에 관한 것이다. 깊은 트렌치 메모리 장치의 단일 저장 셀의 커패시턴스를 증가시키기 위해, 깊은 트렌치는 표면적을 증가시키도록 확장될 필요가 있다. 반응성 이온 에칭(RIE) 프로세스는 병 모양의 트렌치를 형성하는데 사용될 수 있지만, 고비용의 단일 웨이퍼 프로세스, 이러한 타입의 에칭의 결과로서 남겨진 중합체 잔류물, 표면 조도 및 LOCOS 칼라 산화물에 대한 낮은 선택도의 문제점을 가진다.

이러한 단점을 극복하기 위하여, 본 발명은 일괄 탱크(tank) 프로세스에서 수행될 수 있는 염기성(pH 7 이상) 화학적 습식 에칭을 포함한다. 본 발명의 방법은 바람직하게 산화물 및 질화물에 대해 선택적이며, 에칭되는 표면을 평탄하게 한다. 본 발명은 또한 바람직하게는 라운드 트렌치를 형성하는 RIE 프로세스에 비해 증가된 표면적을 제공하는 직사각형 깊은 트렌치를 형성한다.

도면의 상세한 설명을 참조하면, 여러 도면 전체에서 유사하거나 동일한 소자는 동일한 도면 부호를 사용하며, 우선 도 1에서, 메모리 장치(100)는 위에 형성된 패드 스택(101)을 가지는 기판(102)을 포함한다. 메모리 장치(100)는 다이내믹 랜덤 액세스 메모리(DRAM), 동기 DRAM, 스태틱 RAM, 및 리드 온리 메모리 또는 다른 집적 메모리를 포함할 수 있다. 기판(102)은 단결정 실리콘 기판이 바람직하지만, 다른 기판, 예를 들어 SOI(Silicon on Insulator) 기판도 사용될 수 있다. 패드 스택(101)은 메모리 장치(100)를 추가로 프로세스하는데 사용되는 다양한 재료층을 포함할 수 있다. 바람직한 실시예에서, 패드 스택(101)은 산화물 층(104) 및 질화물 층(106)을 포함한다. 하드 마스크층(108)은 패드 스택(101) 상에 증착된다. 하드 마스크(108)는 당업자에게 공지된 리소그래피 기술을 사용하여 패터닝된다. 예를 들어, 레지스트 층은 하드 마스크층(108) 상에 증착되고, 노광 및 현상되어 트렌치(110)가 형성될 위치에 홀을 형성할 수 있다. 트렌치(110)의 형성은 바람직하게 반응성 이온 에칭(RIE)과 같은 이방성 에칭을 사용함으로써 형성된다. 트렌치(110)는 기판(102) 내부로 에칭된다.

선택적 실시예에서, 트렌치(110)는 이하에서 기술될 본 발명에 따른 이방성 습식 에칭 프로세스를 사용하여 확대된다. 이 선택적 실시예에서, 하드 마스크(108) 또는 상응물이 트렌치(110)를 배치하기 위해 사용되며 트렌치(110)가 형성된 후에 전체 트렌치는 습식 에칭 프로세스(도 17 참조)에 의해 확장된다.

본 발명에 따르면 매립형 플레이트는 트렌치의 확장 이전 또는 이후에 형성될 수 있다는 것이 이해되어야 한다. 도 2에서, 트렌치의 확장 전에 매립형 플레이트(112 : 도 3)를 형성하는 방법이 사용될 수 있다. 하드 마스크(108)를 제거한 후에, 트렌치(110)는 바람직하게는 매립형 플레이트(112)를 형성하는 도펀트 소스로서 기능을 하는 비소 실리케이트 유리(ASG) 층(111)(다른 도펀트 소스도 사용될 수 있음)으로 라이닝될 수 있다. 레지스트층(103)(또는 상응물)은 트렌치(110)를 충전하기 위해 ASG층(111) 위에 형성될 수 있다. 레지스트층(103)은 에칭백되며, ASG층(111)은 ASG층(111)이 하부에서만 트렌치(110)를 라이닝하도록 에칭된다. 그 후에 레지스트층(103)이 제거된다.

도 3에서, 매립형 플레이트(112)는 ASG층(111)으로부터 기판(102)으로 도펀트가 이동하도록 장치(100)를 어닐링함으로써 형성된다. 매립형 플레이트(112)는 트렌치 커패시터에 사용된 2개의 커패시터 전극 중 하나로서 기능한다. ASG층(111)이 제거된다.

도 4에서, 질화물층(119)은 약 50Å의 두께로 증착되는 것이 바람직하다. 레지스트 재료(도시되지 않음)는 트렌치(110) 내에 증착되고 추후 단계에서 칼라가 형성될 위치를 표시하기 위해 리세싱된다. 층(119)의 노광된 부분이 제거된 후에 나머지 레지스트 재료가 트렌치(110)로부터 제거된다. 칼라(116)는 트렌치(110)의 상부에 형성된다. 칼라(116)는 바람직하게 기판(102)에서 실리콘의 산화 프로세스(예를 들어, 실리콘의 국부적 산화(LOCOS))를 수행함으로써 기판(102) 상에 형성된다. 층(119), 바람직하게는 질화물은 (질화물이 장벽층 기능을 하기 때문에) 이러한 산화로부터 트렌치(110)의 하부를 보호한다. 칼라(116)를 형성하기 위해 다른 프로세스도 사용될 수 있다. 예를 들어, TEOS 증착 프로세스가 사용될 수 있다. 동작시 기생 누설 전류로 인해 트렌치 커패시터가 방전되는 것을 방지하기 위해 칼라(116)가 형성된다. 층(119)의 나머지 부분은 칼라(116)에 대해 선택적으로 제거된다. 산화물 재료의 밀도를 높이기 위해 칼라(116)가 어닐링될 수 있다.

도 5에서, 트렌치를 확장하기 전에 매립형 플레이트(112)(도 6)를 형성하기 위해 자기-정렬 방법이 사용될 수 있다. 하드 마스크(108)(도 1)를 제거한 후, 트렌치(110) 매립형 플레이트(112)(도 6)를 형성하는 도펀트 소스로서 기능하는 비소 실리케이트 유리(ASG)/TEOS 스택(105)으로 라이닝될 수 있다. TEOS 박층(또는 상응물)은 ASG층(또는 다른 도펀트 소스 재료) 위에 형성되어 스택(105)을 형성한다. 그 다음으로, 질화물 라이너(107:liner)가 증착되며, 트렌치(110)가 레지스트(121)로 충전된다. 레지스트(121)가 에칭백되어 추후 단계에서 형성될 칼라의 하부를 형성한다. 스택(105) 및 층(107)은 칼라가 형성될 하부까지 제거된다. 그 다음에, 레지스트(121)가 제거된다.

도 6에서, 매립형 플레이트(112) 및 칼라(116)는 매립형 플레이트(112)를 형성하기 위해 ASG 스택(105)으로부터 도펀트를 기판(102)으로 이동시키는 산화 장치(100)에 의해 형성된다. 매립형 플레이트(112)는 트렌치 커패시터에 사용되는 2개의 커패시터 전극 중 하나로서 기능한다. 도 5에 도시된 바와 같이, ASG/TEOS/질화물층이 트렌치(110)를 라이닝하도록 형성된다. 질화물 재료층(107)이 형성되어 칼라가 형성되는 동안 트렌치(110) 내의 기판(102) 표면이 산화되는 것을 방지한다. 칼라(116)는 트렌치(110) 상부에 형성된다. 칼라(116)는 바람직하게는 기판(102)에 실리콘의 산화(LOCOS)를 수행함으로써 기판(102) 상에 형성된다. 층(107)은 트렌치(110) 하부가 이와 같이 산화되는 것을 방지하는데, 이는 질화물이 장벽층 역할을 하기 때문이다. 칼라(116)를 형성하기 위해 다른 프로세스도 사용될 수 있다. 예를 들어, TEOS 증착 프로세스가 사용될 수 있다. 칼라(116)는 동작시 기생 누설 전류에 의해 트렌치 커패시터가 방전되는 것을 방지하도록 형성된다. 스택(105) 및 층(107)의 나머지 부분은 칼라에 대해 선택적으로 제거된다. 칼라(116)가 어닐링되어 산화 재료의 밀도를 증가시킬 수 있다.

도 7에서, 트렌치를 확장하기 전에 매립형 플레이트(112)를 형성하는 2가지 선택적 방법(도 4 및 도 6)은 도 7의 구조를 제공한다. 칼라(116)는 트렌치(110)의 상부를 보호한다. 트렌치(110)의 하부는 본 발명에 따라 프로세싱된다. 본 발명에 따른 이방성 습식 에칭 프로세스 이전에 준비 단계가 수행되는 것이 바람직하다. 준비 단계는 습식 에칭, 건식 에칭 또는 표면(120)으로부터 자연 산화물을 제거할 수 있는 다른 프로세스를 사용할 수 있다. 바람직한 실시예에서, 준비 단계는 추가 프로세스를 위한 표면을 준비하기 위해 희석된 불화 수소(200 대 1)로 기관(120)을 습식 에칭한다. 준비 단계는 예를 들어, HF 기상 에칭 또는 H₂ 베이킹과 같은 다른 프로세스를 포함할 수 있다. 준비 단계는 수소로 종결된 표면을 형성한다. HF를 Si와 반응시킴으로써, 수소 원자는 표면(120)에 잔류한다. HF 준비 프로세스는 (200:1의 물 비율 대 HF 비율의 경우) 약 60초 내지 약 180초 동안 수행되는 것이 바람직하지만, 설계 및 환경에 따라 다른 시간 및 농도가 사용될 수 있다. 수소로 종결된 실리콘 표면이 제공되면, 다른 준비 프로세스가 고려된다. 자연 산화물이 다른 프로세스 단계와 관련하여 제거되면, 준비 단계는 일부 실시예에서 생략될 수 있다.

도 8에서, 준비 단계 후에, 이방성 에칭 프로세스가 수행된다. 습식 에천트가 사용되어 실리콘 기관(102)을 이방성 에칭한다. 습식 에천트는 염기성 용액을 포함하는 것이 바람직하다. 바람직한 실시예에서, 에천트로서 수산화암모늄(NH₄OH)이 사용되지만(NH₄OH는 물로 희석되는데, 예를 들어 물 180 대 NH₄OH 1의 비율로 희석될 수 있음), 다른 바람직한 용액은 수산화칼륨 또는 다른 염기(즉, pH 7 이상의 용액)를 포함할 수 있다. 에칭 프로세스는 준비 단계에 의해 생성된 수소로 종결된 표면으로 인해 보다 균일하다. 에칭 프로세스는 약 10°C 내지 약 80°C의 온도에서 수행되는 것이 바람직하지만, 환경에 따라 다른 온도 조건도 사용될 수 있다. 습식 에칭 프로세스는 원하는 에칭량, 온도 조건 및 에천트 농도에 따라 약 60초 내지 약 300초 동안 수행될 수 있다. 수산화암모늄이 사용되면, 1000:1 이상의 선택도가 칼라(116)에 대해 달성된다.

기관(102)의 결정 방향은 에칭 프로세스에 바람직한 영향을 준다. 일 실시예에서, (100) 실리콘 표면은 (110) 실리콘 표면보다 빠르게 에칭된다. 이것은 (110) 표면이 트렌치(110)의 확장이 덜 바람직한 방향, 예를 들어, 다른 트렌치를 향하는 확장하는 방향이 될 수 있기 때문에 바람직하다. 또한, 습식 에칭 프로세스에 의해 하부면의 조도 및 상부면의 평탄도가 달성된다. 예를 들어, 습식 에칭 프로세스를 사용함으로써 표면의 평탄도는 트렌치 깊이(예를 들어, 6 미크론 이상)에 대해 15nm 미만, 바람직하게는 4nm 미만으로 감소된다. 다른 표면 특성도 본 발명에 유리할 수 있다. 이것은 통상적인 RIE 프로세스에 의해 달성되는 약 20nm의 표면 평탄도에 대해 현저히 개선된다.

트렌치(110)는 설계에 가장 바람직한 확장 에칭 속도에 따라 실리콘 결정 방향으로 배치된다. 도펀트 밀도는 또한 매립형 플레이트(112)에서 조절되어 본 발명에 따른 에칭 프로세스의 에칭 속도에 영향을 줄 수 있다. 또한, 결정 방향은 에칭 속도에 영향을 주기 때문에, 직사각형의 트렌치(110) 하부(125)가 달성된다. 이로 인해, 약 80% 이상까지 트렌치(110) 영역이 증가하게 된다. 아울러, 본 발명의 에칭 프로세스는 에칭 프로세스에 의해 칼라(116)가 실질적으로 영향을 받지 않는 상태를 유지시킨다. 또한, 습식 에칭 프로세스는 높은 처리량을 가지는 저가의 일괄 프로세스에 적합하며 저가의 화학 제품을 사용한다.

트렌치(110)의 확장 후에, 트렌치(110)를 라이닝하기 위해 질화물 유전체가 증착되며, 당업자에게 공지된 방법을 이용하여 트렌치(110) 내에 저장 노드(도시되지 않음)가 형성된다. 저장 노드는 트렌치(110)에 폴리실리콘을 증착함으로써 형성되는 것이 바람직하다. 이것은 여러 단계에서 또는 단일 프로세스에서 모두 수행될 수 있다.

도 9에서, 본 발명의 선택적인 방법은 트렌치를 확장하기 위한 이방성 습식 에칭 프로세스 후에 매립형 플레이트를 형성한다. 도 1의 구조가 제공된 후에, 질화물 라이너(114)가 트렌치(110)에 증착된다. 레지스트(130)는 트렌치(110)에 형성되며 후 단계에서 절연 칼라가 형성될 위치까지 리세싱된다. 리세싱된 레지스트(130)는 질화물 라이너(114)의 일부를 노출시킨다. 질화물 라이너(114)의 노출된 부분은 바람직하게 습식 에칭 프로세스에 의해 제거된다.

도 10에서, 칼라(116)는 트렌치(110) 상부에 형성된다. 칼라(116)는 바람직하게는 기관(102)의 실리콘 산화(LOCOS)를 수행함으로써 기관(102) 상에 형성된다. 라이너(114)(도 9)는 트렌치(110) 하부가 이와 같이 산화되는 것을 방지하는데, 이는 질화물이 장벽층으로서 동작하기 때문이다. 라이너(114)의 나머지 부분은 칼라(116)에 대해 선택적으로 제거된다. 칼라(116)는 어닐링되어 산화물 재료의 밀도를 증가시킬 수 있다. 표면(131)은 도 7을 참조로 전술된 준비 단계를 이용하여 준비된다.

도 11에서, 도 7 및 도 8을 참조로 전술된 준비 단계 및 에칭 단계를 포함할 수 있는 이방성 습식 에칭 프로세스가 수행되어 칼라(116) 하부의 트렌치(110) 하부(127)가 확장된다.

도 12에서, 매립형 플레이트는 습식 에칭 전에 형성되지 않기 때문에, 매립형 플레이트(112)은 가스 도핑 프로세스에 의해 형성된다. 가스 도핑은 노출된 기관(102) 표면으로 흡착되고 매립형 플레이트(112)을 형성하는 기관 내부로 확산되는 가스 형태의 도펀트를 제공한다. 가스 도핑은 비소 또는 트렌치(110)에 도입되는 뜨거운 가스에 포함된 다른 도펀트를 포함할 수 있다.

매립형 플레이트(112)의 형성 후에, 질화물 유전체가 증착되어 트렌치(110)를 라이닝하며, 당업자에게 공지된 방법을 이용하여 트렌치(110) 내에 저장 노드(도시되지 않음)가 형성된다. 저장 노드는 바람직하게 트렌치(110) 내에 폴리실리콘을 증착함으로써 형성된다. 이것은 여러 단계 또는 단일 프로세스에서 모두 수행될 수 있다.

도 13 및 14에서, 실리콘 반도체 기관(200)의 단면도가 도시된다. 기관(200)은 종래의 기술에 따라 형성된 트렌치(202)를 포함한다. 트렌치(202)는 종래의 방법에 의해 형성되며 본 발명에 따라 확장되는 트렌치를 나타낸다. 도 14에서 도시된 바와 같이, 깊은 트렌치는 일반적으로 원형이다. (110) 결정면은 도 14에서 도시된 바와 같이 수직 및 수평으로 확장된다.

도 15에서, 트렌치(202)(도 13 및 14)는 칼라(208) 하부로 확장되거나 연장되는 부분을 포함한다. 일 실시예에서, 트렌치(202)의 하부(206)는 "D"로 표시되는 바와 같이 약 50nm 이상으로 칼라(208)를 지나서 측면으로 리세스될 수 있다. 다른 치수도 고려된다.

도 16에서, 도 15의 단선(16-16)을 따라 형성된 기관(200)의 단면도가 도시된다. 트렌치(202)의 확장된 부분(206)을 위한 직사각 형태가 도시된다. (110) 결정면이 표시되어 있다. 본 발명에 따른 습식 에칭 프로세스의 이방성 특성 때문에, 모든 결정면은 (110) 결정 표면의 확장 속도보다 빠르게 외부로 확장된다. 예를 들어, 본 발명에 따른 습식 에칭 프로세스는 도시된 직사각 형태를 제공하기 위해 (110) 면보다 빠르게 (100) 면을 에칭한다. 일단 직사각 형태가 (110) 면에 상응하게 달성되면, 직사각 형태를 유지하면서 에칭은 (110) 면에 대해 느린 속도로 계속된다. 트렌치의 길이 및 폭은 바람직하게는 (110) 면으로 정렬되며 원형 트렌치는 (110) 면으로 확장된다.

도 17에서, 트렌치(202)(도 13 및 도 14)는 본 발명의 이방성 습식 에칭 프로세스를 사용함으로써 트렌치의 전체 깊이 "T"를 따라 선택적으로 확장될 수 있다. 확장된 트렌치(210)는 이런 방식으로 기관(200)에 형성된다.

여러 개의 실시예에서 기술되었지만, 본 발명은 이러한 실시예에 의해 한정되지 않는다. 다른 프로세스 및 재료가 사용될 수 있다. 예를 들어, 절연 칼라는 다른 프로세스를 이용하여 형성되거나 다른 혼합물, 예를 들어, TEOS로부터 형성될 수 있다. 또한, 본 발명은 깊은 트렌치에 한정되지 않고 기관 내에 형성된 모든 트렌치를 확장하는데 사용될 수 있다. 또한, HF 및 NH₄OH는 상이한 조합으로 에천트로서 사용되거나, 다른 재료로 대체되거나, 또는 다른 에천트 또는 혼합물과 함께 사용될 수 있다. 본 발명은 이방성 습식 에칭을 제공하여 적어도 다음의 이점을 가지는 병 모양의 트렌치 또는 확장된 트렌치를 형성한다.

1. 산화물 및 질화물에 대한 높은 선택도: 칼라가 얇아 지지 않음.
2. 저가의 프로세스: 높은 처리량을 가지는 습식 일괄 프로세스 및 저가의 화학 제품 사용.
3. 높은 저장 커패시턴스: 직사각형 트렌치가 형성되며, 이것은 동일한 깊이의 원형 트렌치보다 높은 커패시턴스를 가진다.
4. 낮은 표면 조도: 상기 에칭의 이방성 특징으로 인해, 하나의 결정 방향만이 준비되며, 매우 평탄한 표면을 제공하는데, 평탄도는 15nm 이상임.

이방성 습식 에칭에 의해 트렌치를 확장하는 방법에 대한 바람직한 실시예(예시적이지만 제한적이지는 않음)를 기술하였지만, 상기 기술의 견지에서 당업자에 의해 수정과 변형이 이루어질 수 있다는 것이 인식되어야 한다. 따라서, 본 발명의 특정 실시예에서 변형이 이루어질 수 있으며, 상기 변형은 첨부된 청구범위에 의해 강조된 본 발명의 권리 범위 및 기술적 사상을 벗어나지 않는다는 것이 이해되어야 한다. 따라서, 특허법에서 요구되는 바와 같이 상세하고 명확하게 본 발명을 기술하였지만, 특허증에 의해 보호되는 청구대상은 첨부된 청구범위에서 설명된다.

도면의 간단한 설명

도 1은 본 발명에 따른 프로세스에서 내부에 형성된 트렌치를 가지는 종래의 반도체 장치의 단면도.

도 2는 본 발명에 따른 프로세스에서 도펀트 소스 층을 사용함으로써 내부에 형성된 매립형 플레이트를 가지는 도 1의 반도체 장치의 단면도.

도 3은 본 발명에 따른 프로세스에서 내부에 형성된 매립형 플레이트를 가지는 도 2의 반도체 장치의 단면도.

도 4는 본 발명에 따른 프로세스에서 칼라 형성을 위해 트렌치를 준비함으로써 내부에 형성되는 유전층을 가지는 도 3의 반도체 장치의 단면도.

도 5는 본 발명에 따른 프로세스에서 매립형 스트랩을 형성하는 선택적인 방법에서 도펀트 소스 스택을 나타내는 반도체 장치의 단면도.

도 6은 본 발명에 따른 프로세스에서 형성된 매립형 스트랩 및 칼라를 나타내는 도 5의 반도체 장치의 단면도.

도 7은 본 발명에 따라 준비된 트렌치 하부를 나타내는 도 4 또는 6의 반도체 장치의 단면도.

도 8은 본 발명에 따라 이방성 습식 에칭된 트렌치의 하부를 나타내는 도 7의 반도체 장치의 단면도.

도 9는 본 발명에 따른 프로세스에서 장벽층으로 라이닝되고 레지스트로 충전된 트렌치 커패시터의 하부를 나타내는 반도체 장치의 단면도.

도 10은 본 발명에 따라 준비된 트렌치의 하부를 나타내는 도 9의 반도체 장치의 단면도.

도 11은 본 발명에 따라 이방성 습식 에칭된 트렌치 하부를 나타내는 도 10의 반도체 장치의 단면도.

도 12는 본 발명에 따라 매립형 스트랩을 형성하기 위해 도핑된 트렌치 가스의 하부를 나타내는 도 11의 반도체 장치의 단면도.

도 13은 종래 기술에 따라 형성된 트렌치를 나타내는 반도체 기관의 단면도.

도 14는 종래 기술에 따라 형성된 트렌치를 나타내는 도 13의 반도체 기관의 단면도.

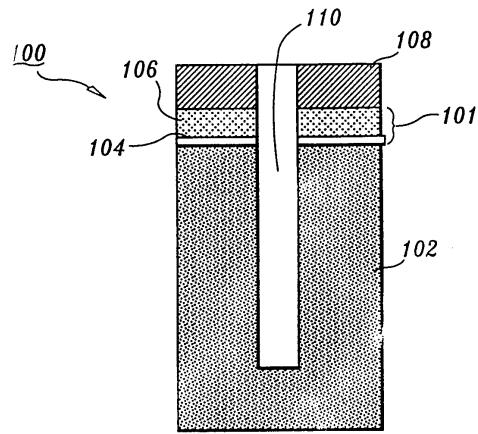
도 15는 본 발명에 따라 트렌치에 형성된 칼라 하부에서 트렌치를 확장시키기 위해 이방성 습식 에칭된 트렌치를 나타내는 도 13 및 14의 반도체 기관의 단면도.

도 16은 본 발명에 따라 기관의 (110) 결정면의 직사각형 트렌치의 단면과 밀러 지수를 나타내는 도 15의 단선 16-16을 따른 단면도.

도 17은 본 발명에 따라 트렌치의 전체 깊이를 따라 트렌치를 확장시키도록 이방성 습식 에칭된 트렌치를 나타내는 반도체 기관의 단면도.

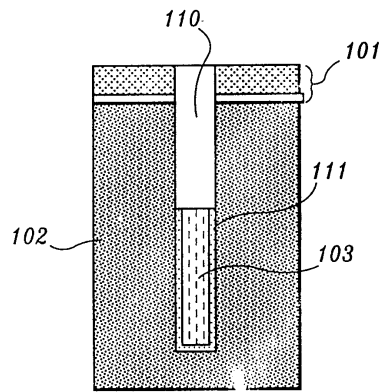
도면

도면1

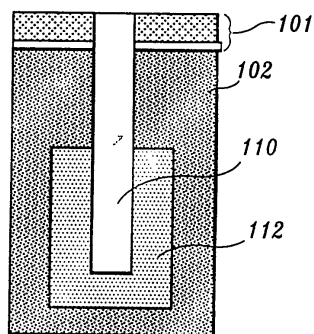


종래기술

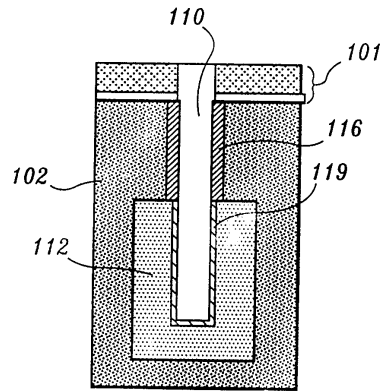
도면2



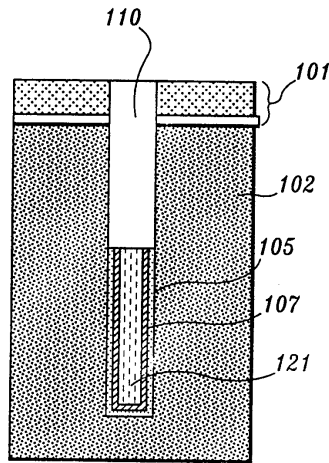
도면3



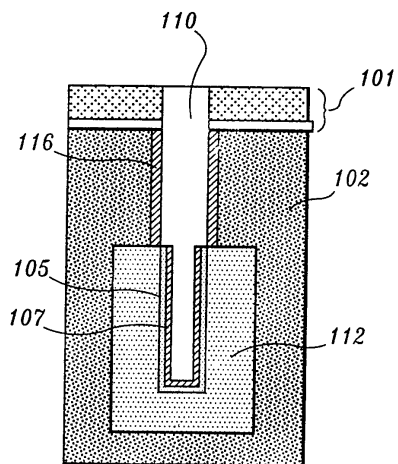
도면4



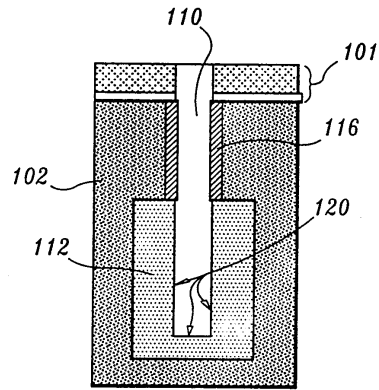
도면5



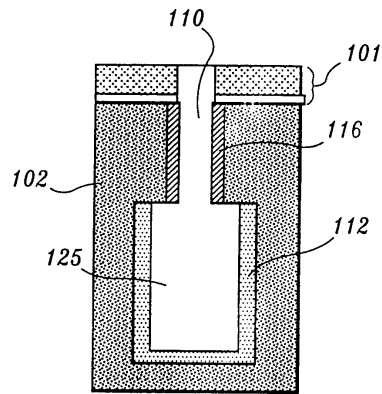
도면6



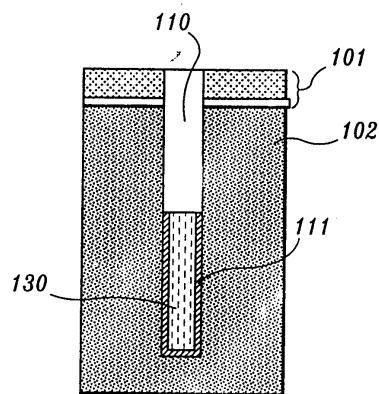
도면7



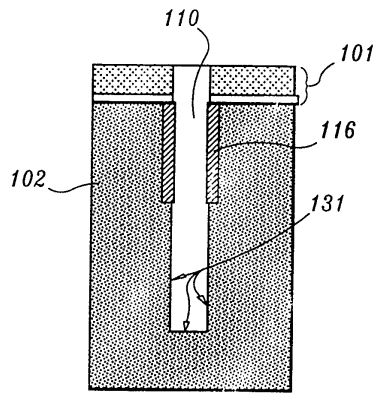
도면8



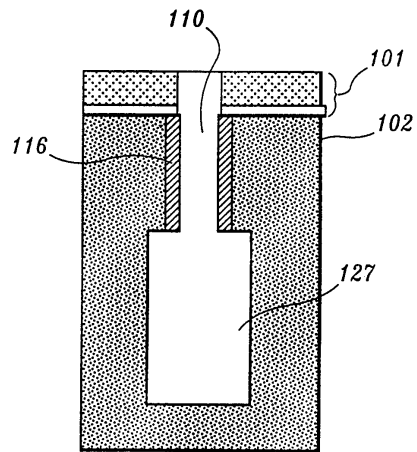
도면9



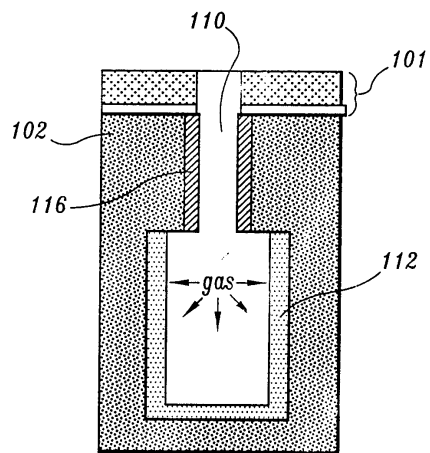
도면10



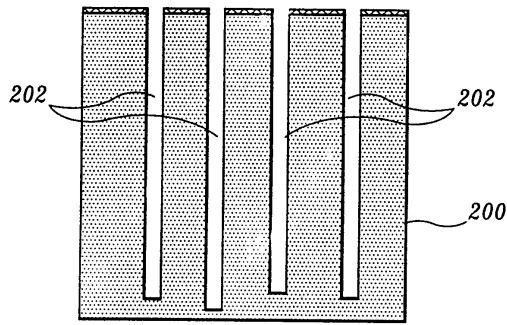
도면11



도면12

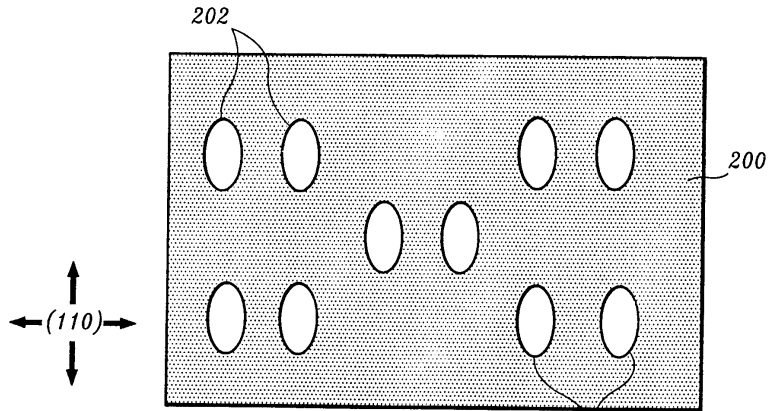


도면13



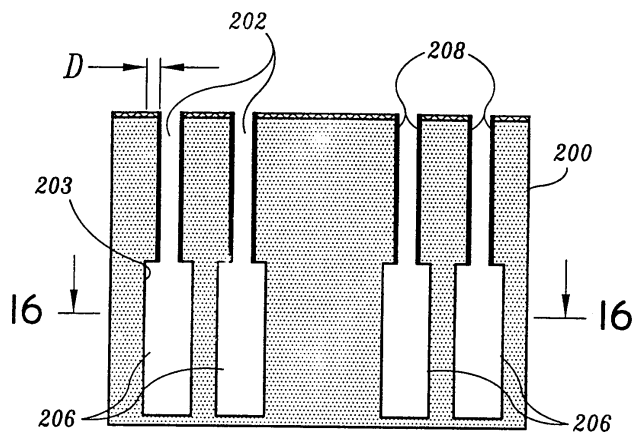
종래기술

도면14

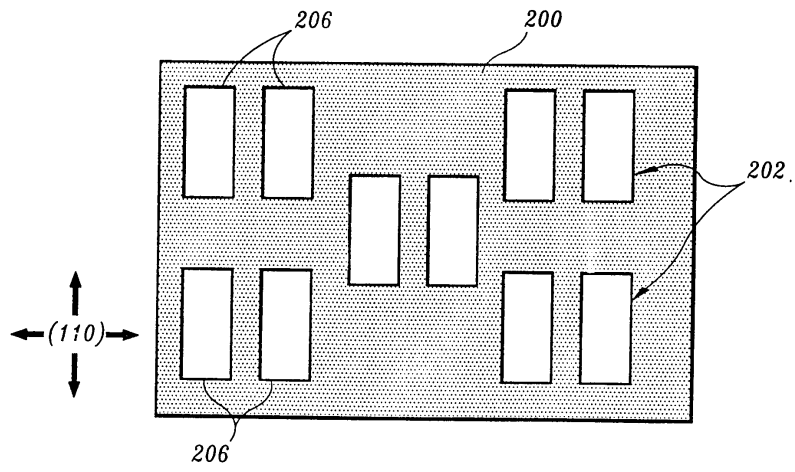


종래기술

도면15



도면16



도면17

