

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6342305号
(P6342305)

(45) 発行日 平成30年6月13日(2018.6.13)

(24) 登録日 平成30年5月25日(2018.5.25)

(51) Int. Cl. F I
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 H
 HO 1 L 27/04 (2006.01) HO 3 K 19/003 2 3 0
 HO 3 K 19/003 (2006.01)

請求項の数 18 (全 20 頁)

(21) 出願番号	特願2014-229749 (P2014-229749)	(73) 特許権者	591128453 株式会社メガチップス
(22) 出願日	平成26年11月12日(2014.11.12)		大阪府大阪市淀川区宮原一丁目1番1号
(65) 公開番号	特開2016-96180 (P2016-96180A)	(74) 代理人	100080159 弁理士 渡辺 望稔
(43) 公開日	平成28年5月26日(2016.5.26)	(74) 代理人	100090217 弁理士 三和 晴子
審査請求日	平成29年10月3日(2017.10.3)	(72) 発明者	小沢 忠史 千葉県千葉市美浜区中瀬1丁目3番地 株 式会社メガチップス内
		審査官	市川 武宜

最終頁に続く

(54) 【発明の名称】 ESD保護回路

(57) 【特許請求の範囲】

【請求項1】

通常動作時の電源電圧よりも高いESDイベント発生時の過電圧が電源ノードに印加されたことを検出して検出信号を出力する過電圧検出回路と、

前記検出信号に応じて、前記過電圧が前記電源ノードに印加されたことが検出された場合に、前記電源ノードとグランドノードとを接続して前記電源ノードの電圧をクランプするクランプ回路と、

前記電源ノードに印加された電圧をモニタし、前記電源ノードに印加された電圧が一定電圧を超えたことを検出して一定電圧検出信号を出力する電圧モニタ回路と、

前記一定電圧検出信号に応じて、前記電源ノードに印加された電圧が前記一定電圧を超えていることが検出されている間、前記検出信号が、前記過電圧が前記電源ノードに印加されたことを表す状態となるように制御する検出信号制御回路とを備えることを特徴とするESD保護回路。

【請求項2】

前記過電圧検出回路は、

前記電源ノードと前記グランドノードとの間に直列に接続された抵抗素子および容量素子を含み、前記抵抗素子と前記容量素子との間から信号を出力するRC時定数回路と、

前記RC時定数回路の出力信号を奇数回反転して前記検出信号として出力する、直列に接続された奇数個の第1のインバータとを備える請求項1に記載のESD保護回路。

【請求項3】

前記過電圧検出回路は、

前記電源ノードと前記グランドノードとの間に直列に接続された容量素子および抵抗素子を含み、前記容量素子と前記抵抗素子との間から前記検出信号を出力するRC時定数回路を備える請求項1に記載のESD保護回路。

【請求項4】

前記過電圧検出回路は、さらに、前記RC時定数回路の出力信号を偶数回反転して前記検出信号として出力する、直列に接続された偶数個の第1のインバータを備える請求項3に記載のESD保護回路。

【請求項5】

前記検出信号制御回路は、前記電源ノードに印加された電圧が前記一定電圧を超えていることが検出されている間、前記RC時定数回路の出力信号をプルダウンするプルダウン回路を含む請求項2に記載のESD保護回路。

10

【請求項6】

前記検出信号制御回路は、前記電源ノードに印加された電圧が前記一定電圧を超えていることが検出されている間、前記RC時定数回路の出力信号をプルアップするプルアップ回路を備える請求項3または4に記載のESD保護回路。

【請求項7】

前記電圧モニタ回路は、

第2の調整電圧に基づいて動作する第1のN型MOSトランジスタと、前記第2の調整電圧に基づいて動作し、前記第1のN型MOSトランジスタに流れる電流に比例したミラー電流を流す第2のN型MOSトランジスタと、前記ミラー電流を電圧に変換する抵抗素子とを含み、前記抵抗素子と前記第2のN型MOSトランジスタとの間の内部ノードから前記一定電圧検出信号を出力するカレントミラー回路と、

20

前記電源ノードの電圧を降下させて、前記通常動作時の電源電圧が前記電源ノードに供給されている時に前記カレントミラー回路の第1のN型MOSトランジスタが動作せず、かつ、前記一定電圧を超えた電圧が前記電源ノードに印加された時に前記カレントミラー回路の第1のN型MOSトランジスタが動作する前記第2の調整電圧を生成する第2の電圧調整回路とを備える請求項1～6のいずれか1項に記載のESD保護回路。

【請求項8】

前記第2の電圧調整回路は、前記電源ノードから、前記カレントミラー回路の第1のN型MOSトランジスタのドレインに向かって順方向に直列に接続された所定数のダイオードを備える請求項7に記載のESD保護回路。

30

【請求項9】

前記第2の電圧調整回路は、前記電源ノードと前記カレントミラー回路の第1のN型MOSトランジスタのドレインとの間に直列に接続された所定数のダイオード接続されたP型MOSトランジスタを備える請求項7に記載のESD保護回路。

【請求項10】

前記電圧モニタ回路は、

第2の調整電圧に基づいて動作する第1のP型MOSトランジスタと、前記第2の調整電圧に基づいて動作し、前記第1のP型MOSトランジスタに流れる電流に比例したミラー電流を流す第2のP型MOSトランジスタと、前記ミラー電流を電圧に変換する抵抗素子とを含み、前記抵抗素子と前記第2のP型MOSトランジスタとの間の内部ノードから前記一定電圧検出信号を出力するカレントミラー回路と、

40

前記グランドノードの電圧を上昇させて、前記通常動作時の電源電圧が前記電源ノードに供給されている時に前記カレントミラー回路の第1のP型MOSトランジスタが動作せず、かつ、前記一定電圧を超えた電圧が前記電源ノードに印加された時に前記カレントミラー回路の第1のP型MOSトランジスタが動作する前記第2の調整電圧を生成する第2の電圧調整回路とを備える請求項1～6のいずれか1項に記載のESD保護回路。

【請求項11】

前記第2の電圧調整回路は、前記カレントミラー回路の第1のP型MOSトランジスタ

50

のドレインから、前記グランドノードに向かって順方向に直列に接続された所定数のダイオードを備える請求項 10 に記載の ESD 保護回路。

【請求項 12】

前記第 2 の電圧調整回路は、前記カレントミラー回路の第 1 の P 型 MOS トランジスタのドレインと前記グランドノードとの間に直列に接続された所定数のダイオード接続された N 型 MOS トランジスタを備える請求項 10 に記載の ESD 保護回路。

【請求項 13】

さらに、前記電源ノードの電圧を降下させて、前記通常動作時の電源電圧が前記電源ノードに供給された電源投入時に前記過電圧検出回路が動作せず、かつ、前記過電圧が前記電源ノードに印加された ESD イベント発生時に前記過電圧検出回路が動作する第 1 の調整電圧を生成し、前記過電圧検出回路の電源電圧として供給する第 1 の電圧調整回路と、

前記過電圧が前記電源ノードに印加された場合に、前記過電圧検出回路が前記第 1 の調整電圧で動作するために下降する前記検出信号の電圧が、前記過電圧と等しくなるように補償する電圧補償回路とを備える請求項 1 ~ 12 のいずれか 1 項に記載の ESD 保護回路。

【請求項 14】

前記第 1 の電圧調整回路は、前記電源ノードから、前記第 1 のインバータを構成する P 型 MOS トランジスタの基板およびソースに向かって順方向に直列に接続された所定数のダイオードを備える請求項 13 に記載の ESD 保護回路。

【請求項 15】

前記第 1 の電圧調整回路は、前記電源ノードと前記第 1 のインバータを構成する P 型 MOS トランジスタの基板およびソースとの間に直列に接続された所定数のダイオード接続された P 型 MOS トランジスタを備える請求項 13 に記載の ESD 保護回路。

【請求項 16】

前記電圧補償回路は、前記電源ノードと前記グランドノードとの間の電圧で動作し、前記検出信号を反転出力する第 2 のインバータと、

前記電源ノードと前記第 1 のインバータを構成する P 型 MOS トランジスタの基板およびソースとの間に接続され、前記電源ノードが基板に接続され、前記第 2 のインバータの出力信号がゲートに入力された P 型 MOS トランジスタとを備える請求項 13 ~ 15 のいずれか 1 項に記載の ESD 保護回路。

【請求項 17】

前記電圧補償回路は、前記電源ノードと前記グランドノードとの間の電圧で動作し、前記検出信号を反転出力する第 2 のインバータと、

前記電源ノードと前記検出信号との間に接続され、前記電源ノードが基板に接続され、前記第 2 のインバータの出力信号がゲートに入力された P 型 MOS トランジスタとを備える請求項 13 ~ 16 のいずれか 1 項に記載の ESD 保護回路。

【請求項 18】

前記クランプ回路は、前記電源ノードと前記グランドノードとの間に接続され、前記検出信号がゲートに入力された N 型 MOS トランジスタを備える請求項 1 ~ 17 のいずれか 1 項に記載の ESD 保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路の電源ノードに印加される ESD (静電気放電) イベント発生時の過電圧により内部回路が破壊されるのを保護する ESD 保護回路に関するものである。

【背景技術】

【0002】

10

20

30

40

50

図13は、従来のESD保護回路の構成を表す一例の回路図である。同図に示すESD保護回路32は、特許文献1の図1に記載されたアクティブクランプ型の電源ESD保護回路であり、過電圧検出回路12と、クランプ回路14とによって構成されている。

【0003】

過電圧検出回路12は、通常動作時の電源電圧VDD、例えば、1.1Vよりも高い、ESDイベント発生時の過電圧、例えば、3Vが電源ノードに印加されたことを検出して検出信号n0を出力するものであり、抵抗素子Rおよび容量素子CからなるRC時定数回路24と、PMOS(P型MOSトランジスタ)MP1およびNMOS(N型MOSトランジスタ)MN1からなるインバータ26とによって構成されている。

【0004】

RC時定数回路24の抵抗素子Rおよび容量素子Cは、電源ノードと、通常動作時にグランド電圧VSSが供給されるグランドノードとの間に直列に接続されている。

【0005】

インバータ26のPMOSMP1およびNMOSMN1は、電源ノードとグランドノードとの間に直列に接続され、そのゲートには、抵抗素子Rと容量素子Cとの間の内部ノードn1から出力されるRC時定数回路24の出力信号n1が入力されている。インバータ26は、RC時定数回路24の出力信号n1を反転して、前述の検出信号n0として出力する。

【0006】

クランプ回路14は、検出信号n0に応じて、過電圧が電源ノードに印加されたことが検出された場合に、電源ノードとグランドノードとを接続して、電源ノードに印加された過電圧による大電流をグランドノードに流して電源ノードの電圧をクランプし、電源電圧VDDで動作する半導体集積回路の内部回路を保護するものであり、NMOSMN0によって構成されている。

NMOSMN0は、電源ノードとグランドノードとの間に接続され、そのゲートには、PMOSMP1とNMOSMN1との間の内部ノードn0から出力されるインバータ26の出力信号、つまり、検出信号n0が入力されている。

【0007】

次に、ESD保護回路32の動作を説明する。

【0008】

図14のグラフの下側に示すように、電源投入時に、電源電圧VDDが供給されて電源ノードが一定以上緩やかに立ち上がった場合、この例では、電源ノードが10μsで1.1Vまで緩やかに立ち上がった場合、RC時定数回路24の出力信号n1の電位は、電源ノードの電圧の変化に追従して変化する。図14は、電源投入時の電源電圧VDDおよびNMOSMN0に流れる電流の変化を表したものであり、縦軸は電圧(V)、横軸は時間(μs)である。

【0009】

従って、RC時定数回路24の出力信号n1はハイレベル(H)を維持し、検出信号n0はローレベル(L)を維持するため、NMOSMN0はオンせず、NMOSMN0には電流が流れない、つまり、ESD保護回路32は動作しない。

【0010】

通常動作時に、電源電圧VDDが電源ノードに供給されているとき、容量素子Cは電源電圧VDDに充電されている。そのため、RC時定数回路24の出力信号n1はH、インバータ26のPMOSMP1はオフ、NMOSMN1はオンであり、検出信号n0はL、NMOSMN0はオフである。

【0011】

従って、ESD保護回路32は、通常動作時には、電源電圧VDDで動作する内部回路の動作に何ら影響しない。

【0012】

一方、同図のグラフの上側に示すように、ESDイベント発生時に、過電圧が印加され

10

20

30

40

50

て電源ノードが急峻に立ち上がった場合、この例では、電源ノードが1 nsで3.0 Vまで急峻に立ち上がった場合、RC時定数回路24の出力信号n1は、RC時定数回路24の作用によって電源ノードよりも緩やかに立ち上がる。そのため、RC時定数回路24の出力信号n1は、抵抗素子Rを介して容量素子Cが過電圧に充電されるまでの間、つまり、RC時定数回路24の時定数RCに相当する時間、Lになり、検出信号n0は、時定数RCに相当する時間、Hになり、NMOSMN0がオンする。

【0013】

従って、ESDイベント発生時には、電源ノードに印加された過電圧による大電流がNMOSMN0を介してグランドノードに流れ、電源ノードの電圧がクランプされることにより、電源電圧VDDで動作する内部回路を保護することができる。

10

【0014】

なお、従来のESD保護回路として、特許文献1の図10に記載されたアクティブクランプ型の電源ESD保護回路も一般的に用いられている。

【0015】

上記のように、従来のアクティブクランプ型の電源ESD保護回路32は、ESDイベント発生時に電源ノードに印加される過電圧の急峻な立ち上がりを想定して、RC時定数回路24によりトリガをかけ、ESD保護回路32を作動させる仕組みとなっている。

このように、ESD保護回路32は、図15の概念図の左側に示すように、ESDイベント発生時に、電源ノードに印加される過電圧が急峻に立ち上がった場合、ESD保護回路32が動作する(Trigger)ことにより内部回路を保護することができる。

20

【0016】

ところが、従来のESD保護回路32は、同図の右側に示すように、ESDイベント発生時に、電源ノードの電圧が一定以上緩やかに立ち上がった場合、RC時定数回路24の出力信号n1の電位が電源ノードの電圧の変化に追従して変化するため、検出信号n0はLを維持し、NMOSMN0はオンしない。つまり、ESD保護回路32が正しく動作せず(Off)、内部回路が破壊される場合がある。

【0017】

また、従来のESD保護回路32では、同図の左側に示すように、電源投入時に電源ノードに供給される電源電圧VDDが急峻に立ち上がった場合に誤動作して(Trigger)、ESDイベント発生時と同様に動作し、電源ノードからNMOSMN0を介してグランドノードに大電流が流れる場合がある。

30

【0018】

さらに、従来のESD保護回路32は、ESDイベント発生前の時点で、電源ノードに印加される電源電圧VDDの電位が一定以上に高い場合も誤動作が発生する可能性がある。この場合、RC時定数回路24の出力信号n1の電位が既に高いレベルにあるため、ESDイベント発生時に、RC時定数回路24の出力信号n1をL、検出信号n0をHとし、NMOSMN0をオンさせるには、電源ノードがより高い電圧まで上昇する必要がある。従って、ESDイベント発生時に、想定している過電圧でNMOSMN0がオンせず、内部回路が破壊させるリスクがある。

【先行技術文献】

40

【特許文献】

【0019】

【特許文献1】特開2012-253241号公報

【発明の概要】

【発明が解決しようとする課題】

【0020】

本発明の第1の目的は、前記従来技術の問題点を解消し、ESDイベント発生時に、過電圧が一定以上緩やかに印加された場合であっても、正しく動作することができるESD保護回路を提供することにある。

本発明の第2の目的は、上記第1の目的に加えて、電源投入時に、電源電圧VDDが急

50

峻なスルーレートで電源ノードに供給された場合であっても、誤動作しないESD保護回路を提供することにある。

本発明の第3の目的は、上記第1および第2の目的に加えて、ESDイベント発生前の時点で、電源ノードに印加される電源電圧が一定以上に高い場合であっても、誤動作しないESD保護回路を提供することにある。

【課題を解決するための手段】

【0021】

上記目的を達成するために、本発明は、通常動作時の電源電圧よりも高いESDイベント発生時の過電圧が電源ノードに印加されたことを検出して検出信号を出力する過電圧検出回路と、

前記検出信号に応じて、前記過電圧が前記電源ノードに印加されたことが検出された場合に、前記電源ノードとグランドノードとを接続して前記電源ノードの電圧をクランプするクランプ回路と、

前記電源ノードに印加された電圧をモニタし、前記電源ノードに印加された電圧が一定電圧を超えたことを検出して一定電圧検出信号を出力する電圧モニタ回路と、

前記一定電圧検出信号に応じて、前記電源ノードに印加された電圧が前記一定電圧を超えていることが検出されている間、前記検出信号が、前記過電圧が前記電源ノードに印加されたことを表す状態となるように制御する検出信号制御回路とを備えることを特徴とするESD保護回路を提供するものである。

【0022】

ここで、前記過電圧検出回路は、

前記電源ノードと前記グランドノードとの間に直列に接続された抵抗素子および容量素子を含み、前記抵抗素子と前記容量素子との間から信号を出力するRC時定数回路と、

前記RC時定数回路の出力信号を奇数回反転して前記検出信号として出力する、直列に接続された奇数個の第1のインバータとを備えることが好ましい。

【0023】

また、前記過電圧検出回路は、

前記電源ノードと前記グランドノードとの間に直列に接続された容量素子および抵抗素子を含み、前記容量素子と前記抵抗素子との間から前記検出信号を出力するRC時定数回路を備えることが好ましい。

【0024】

前記過電圧検出回路は、さらに、前記RC時定数回路の出力信号を偶数回反転して前記検出信号として出力する、直列に接続された偶数個の第1のインバータを備えることが好ましい。

【0025】

また、前記検出信号制御回路は、前記電源ノードに印加された電圧が前記一定電圧を超えていることが検出されている間、前記RC時定数回路の出力信号をプルダウンするプルダウン回路を含むことが好ましい。

【0026】

また、前記検出信号制御回路は、前記電源ノードに印加された電圧が前記一定電圧を超えていることが検出されている間、前記RC時定数回路の出力信号をプルアップするプルアップ回路を備えることが好ましい。

【0027】

また、前記電圧モニタ回路は、

第2の調整電圧に基づいて動作する第1のN型MOSトランジスタと、前記第2の調整電圧に基づいて動作し、前記第1のN型MOSトランジスタに流れる電流に比例したミラー電流を流す第2のN型MOSトランジスタと、前記ミラー電流を電圧に変換する抵抗素子とを含み、前記抵抗素子と前記第2のN型MOSトランジスタとの間の内部ノードから前記一定電圧検出信号を出力するカレントミラー回路と、

前記電源ノードの電圧を降下させて、前記通常動作時の電源電圧が前記電源ノードに供

10

20

30

40

50

給されている時に前記カレントミラー回路の第1のN型MOSトランジスタが動作せず、かつ、前記一定電圧を超えた電圧が前記電源ノードに印加された時に前記カレントミラー回路の第1のN型MOSトランジスタが動作する前記第2の調整電圧を生成する第2の電圧調整回路とを備えることが好ましい。

【0028】

また、前記第2の電圧調整回路は、前記電源ノードから、前記カレントミラー回路の第1のN型MOSトランジスタのドレインに向かって順方向に直列に接続された所定数のダイオードを備えることが好ましい。

【0029】

また、前記第2の電圧調整回路は、前記電源ノードと前記カレントミラー回路の第1のN型MOSトランジスタのドレインとの間に直列に接続された所定数のダイオード接続されたP型MOSトランジスタを備えることが好ましい。

あるいは、前記電圧モニタ回路は、

第2の調整電圧に基づいて動作する第1のP型MOSトランジスタと、前記第2の調整電圧に基づいて動作し、前記第1のP型MOSトランジスタに流れる電流に比例したミラー電流を流す第2のP型MOSトランジスタと、前記ミラー電流を電圧に変換する抵抗素子とを含み、前記抵抗素子と前記第2のP型MOSトランジスタとの間の内部ノードから前記一定電圧検出信号を出力するカレントミラー回路と、

前記グランドノードの電圧を上昇させて、前記通常動作時の電源電圧が前記電源ノードに供給されている時に前記カレントミラー回路の第1のP型MOSトランジスタが動作せず、かつ、前記一定電圧を超えた電圧が前記電源ノードに印加された時に前記カレントミラー回路の第1のP型MOSトランジスタが動作する前記第2の調整電圧を生成する第2の電圧調整回路とを備えることが好ましい。

また、前記第2の電圧調整回路は、前記カレントミラー回路の第1のP型MOSトランジスタのドレインから、前記グランドノードに向かって順方向に直列に接続された所定数のダイオードを備えることが好ましい。

また、前記第2の電圧調整回路は、前記カレントミラー回路の第1のP型MOSトランジスタのドレインと前記グランドノードとの間に直列に接続された所定数のダイオード接続されたN型MOSトランジスタを備えることが好ましい。

【0030】

さらに、前記電源ノードの電圧を降下させて、前記通常動作時の電源電圧が前記電源ノードに供給された電源投入時に前記過電圧検出回路が動作せず、かつ、前記過電圧が前記電源ノードに印加されたESDイベント発生時に前記過電圧検出回路が動作する第1の調整電圧を生成し、前記過電圧検出回路の電源電圧として供給する第1の電圧調整回路と、

前記過電圧が前記電源ノードに印加された場合に、前記過電圧検出回路が前記第1の調整電圧で動作するために下降する前記検出信号の電圧が、前記過電圧と等しくなるように補償する電圧補償回路とを備えることが好ましい。

【0031】

また、前記第1の電圧調整回路は、前記電源ノードから、前記第1のインバータを構成するP型MOSトランジスタの基板およびソースに向かって順方向に直列に接続された所定数のダイオードを備えることが好ましい。

【0032】

また、前記第1の電圧調整回路は、前記電源ノードと前記第1のインバータを構成するP型MOSトランジスタの基板およびソースとの間に直列に接続された所定数のダイオード接続されたP型MOSトランジスタを備えることが好ましい。

【0033】

また、前記電圧補償回路は、

前記電源ノードと前記グランドノードとの間の電圧で動作し、前記検出信号を反転出力する第2のインバータと、

前記電源ノードと前記第1のインバータを構成するP型MOSトランジスタの基板およ

10

20

30

40

50

びソースとの間に接続され、前記電源ノードが基板に接続され、前記第2のインバータの出力信号がゲートに入力されたP型MOSトランジスタとを備えることが好ましい。

【0034】

また、前記電圧補償回路は、

前記電源ノードと前記グランドノードとの間の電圧で動作し、前記検出信号を反転出力する第2のインバータと、

前記電源ノードと前記検出信号との間に接続され、前記電源ノードが基板に接続され、前記第2のインバータの出力信号がゲートに入力されたP型MOSトランジスタとを備えることが好ましい。

【0035】

また、前記クランプ回路は、前記電源ノードと前記グランドノードとの間に接続され、前記検出信号がゲートに入力されたN型MOSトランジスタを備えることが好ましい。

【発明の効果】

【0036】

本発明によれば、ESDイベント発生時に、過電圧が印加されて電源ノードが一定以上緩やかに立ち上がった場合であっても、電圧モニタ回路が電源ノードの電圧をモニタしているため、ESDイベント発生時に、過電圧が印加されて電源ノードの電圧が一定電圧を超えると、検出信号が、過電圧が電源ノードに印加されたことを表す状態となるため、正しく動作し、内部回路を保護することができる。

【0037】

また、本発明によれば、電源投入時に、電源電圧が供給されて電源ノードが急峻に立ち上がった場合であっても、過電圧検出回路の電源電圧として、通常動作時の電源電圧が電源ノードに供給された電源投入時に過電圧検出回路が動作しない第1の調整電圧が第1の電圧調整回路から供給されているため、過電圧検出回路が誤動作することはなく、大電流が流れることはない。

【0038】

さらに、本発明によれば、ESDイベント発生前の時点で、電源ノードに印加される電源電圧が一定以上に高い場合であっても、前述のように、ESDイベント発生時に、過電圧が印加されて電源ノードの電圧が一定電圧を超えると、検出信号が、過電圧が電源ノードに印加されたことを表す状態となり、クランプ回路が動作する。従って、この場合も正しく動作し、内部回路を保護することができる。

【図面の簡単な説明】

【0039】

【図1】本発明のESD保護回路の構成を表す一実施形態の回路図である。

【図2】図1に示す過電圧検出回路の構成を表す別の例の回路図である。

【図3】図1に示す過電圧検出回路の構成を表す別の例の回路図である。

【図4】本発明のESD保護回路の構成を表す別の例の回路図である。

【図5】図1に示す第1および第2の電圧調整回路の別の例の回路図である。

【図6】図1に示すESD保護回路の、電源投入時の動作概念を表す一例のグラフである。

【図7】(A)および(B)は、それぞれ、図13に示す従来のESD保護回路の場合、および、図1に示すESD保護回路において、電圧モニタ回路および検出信号制御回路を備えていない場合の動作を表す一例の概念図である。

【図8】(A)および(B)は、それぞれ、本発明を、図13に示す従来のESD保護回路に適用した場合、および、図1に示す本発明のESD保護回路の場合の動作を表す一例の概念図である。

【図9】従来の電圧トリガ型のESD保護回路の構成を表す一例の回路図である。

【図10】図9に示すESD保護回路を構成するGGNMOSの電流電圧特性を表す一例のグラフである。

【図11】アクティブクランプ型のESD保護回路の動作を表す一例のグラフである。

10

20

30

40

50

【図12】電圧トリガ(GGNMOS)型のESD保護回路の動作を表す一例のグラフである。

【図13】従来のアクティブクランプ型のESD保護回路の構成を表す一例の回路図である。

【図14】図13に示すESD保護回路の動作を表す一例のグラフである。

【図15】図13に示すESD保護回路の動作を表す一例の概念図である。

【発明を実施するための形態】

【0040】

以下に、添付の図面に示す好適実施形態に基づいて、本発明のESD保護回路を詳細に説明する。

10

【0041】

図1は、本発明のESD保護回路の構成を表す一実施形態の回路図である。同図に示すESD保護回路10は、図13に示す従来のESD保護回路32に対して本発明を適用したものであり、さらに、第1の電圧調整回路16と、電圧補償回路18と、電圧モニタ回路20と、検出信号制御回路22とを備えている。

つまり、ESD保護回路10は、過電圧検出回路12と、クランプ回路14と、第1の電圧調整回路16と、電圧補償回路18と、電圧モニタ回路20と、検出信号制御回路22とによって構成されている。

【0042】

なお、過電圧検出回路12およびクランプ回路14の構成は、従来のESD保護回路32と同じであるから、その詳細な説明は省略する。

20

【0043】

つまり、過電圧検出回路12は、通常動作時の電源電圧VDD、例えば、1.1Vよりも高い、ESDイベント発生時の過電圧、例えば、3Vが電源ノードに印加されたことを検出して検出信号n0を出力するものであり、抵抗素子Rおよび容量素子CからなるRC時定数回路24と、PMOSMP1およびNMOSMN1からなるインバータ26とによって構成されている。

【0044】

クランプ回路14は、検出信号n0に応じて、過電圧が電源ノードに印加されたことが検出された場合に、電源ノードとグランドノードとを接続して、電源ノードに印加された過電圧による大電流をグランドノードに流して電源ノードの電圧をクランプし、電源電圧VDDで動作する内部回路を保護するものであり、NMOSMN0によって構成されている。

30

【0045】

続いて、第1の電圧調整回路16は、電源ノードの電圧を降下させて、通常動作時の電源電圧VDDが電源ノードに供給された電源投入時にPMOSMP1が動作せず(オフ)、かつ、過電圧が電源ノードに印加されたESDイベント発生時にPMOSMP1が動作(オン)する第1の調整電圧を生成し、インバータ26の電源電圧として、PMOSMP1の基板およびソースに供給するものである。

第1の電圧調整回路16は、直列に接続されたダイオードD1によって構成されている

40

。ダイオードD1は、電源ノードから、インバータ26のPMOSMP1の基板およびソースに向かって順方向に接続されている。

【0046】

第1の電圧調整回路16による降下電圧は、電源電圧VDD、PMOSMP1のしきい値電圧Vth、ESDイベント発生時に保護を開始させようとする過電圧Vesd等に応じて適宜決定されるべきものであり、ダイオードD1の段数に応じて適宜変更することができる。

第1の調整電圧が、しきい値電圧Vthよりも低くなれば、PMOSMP1は動作しない。従って、降下電圧は、(VDD - Vth)よりも大きくする必要がある。しかし、降

50

下電圧を大きくしすぎると、過電圧 V_{esd} が電源ノードに印加された場合にも PMOSMP1 が動作しなくなる。従って、降下電圧は、 $(V_{esd} - V_{th})$ よりも小さくする必要がある。

例えば、電源電圧 $V_{DD} = 1.1V$ 、しきい値電圧 $V_{th} = 0.6V$ 、過電圧 $V_{esd} = 3V$ の場合、降下電圧は、 $(V_{DD} - V_{th}) = 1.1 - 0.6 = 0.5V$ よりも大きく、かつ、 $(V_{esd} - V_{th}) = 3 - 0.6 = 2.4V$ よりも小さくする。

【0047】

続いて、電圧補償回路18は、ESDイベント発生時の過電圧が電源ノードに印加された場合に、インバータ26が第1の調整電圧で動作するために下降する検出信号n0の電圧が、ESDイベント発生時の過電圧と等しくなるように補償するものであり、インバータINVと、PMOSMP2とによって構成されている。

10

【0048】

インバータINVは、電源ノードとグランドノードとの間の電圧で動作するものであり、内部ノードn0に出力されるインバータ26の出力信号、つまり、検出信号n0が入力されている。インバータINVは、検出信号n0を反転出力する。

【0049】

PMOSMP2は、電源ノードとPMOSMP1の基板およびソースとの間に接続されている。PMOSMP2の基板は電源ノードに接続され、そのゲートには、内部ノードn2に出力されるインバータINVの出力信号、つまり、検出信号n0の反転信号n2が入力されている。

20

【0050】

続いて、電圧モニタ回路20は、電源ノードに印加された電圧をモニタし、ESDイベントの発生時に電源ノードに印加された電圧が一定電圧を超えたことを検出して一定電圧検出信号Nvdを出力するものであり、第2の電圧調整回路28と、カレントミラー回路30とによって構成されている。

【0051】

カレントミラー回路30は、第2の電圧調整回路28によって生成される第2の調整電圧に基づいて動作するNMOSMN21と、第2の調整電圧に基づいて動作し、NMOSMN21に流れる電流に比例したミラー電流を流すNMOSMN22と、ミラー電流を電圧に変換する抵抗素子Rpuとによって構成されている。

30

NMOSMN21, MN22のソースはグランドノードに接続され、ゲートはNMOSMN21のドレイン(内部ノードNcm)に接続されている。抵抗素子Rpuは、電源ノードと、NMOSMN22のドレイン(内部ノードNvd)との間に接続されている。

抵抗素子RpuとNMOSMN22のドレインとの間の内部ノードNvdから、カレントミラー回路30の出力信号として一定電圧検出信号Nvdが出力される。

【0052】

第2の電圧調整回路28は、電源ノードの電圧を降下させて、通常動作時の電源電圧 V_{DD} が電源ノードに供給されている時に、カレントミラー回路30のNMOSMN21, MN22が動作せず(オフ)、かつ、一定電圧を超えた電圧が電源ノードに印加されたESDイベント発生時に、カレントミラー回路30のNMOSMN21, MN22が動作する(オン)第2の調整電圧を生成し、カレントミラー回路30に供給するものである。

40

第2の電圧調整回路28は、直列に接続されたダイオードD2によって構成されている。

ダイオードD2は、電源ノードから、カレントミラー回路30のNMOSMN21のドレインに向かって順方向に接続されている。

【0053】

第2の電圧調整回路28による降下電圧は、電源電圧 V_{DD} 、NMOSMN21, MN22のしきい値電圧、ESDイベント発生時に保護を開始させようとする過電圧 V_{esd} 等に応じて適宜決定されるべきものであり、ダイオードD2の段数に応じて適宜変更することができる。

50

NMOSMN21, MN22のドレインの電圧が、しきい値電圧 V_{th} よりも低くなれば、NMOSMN21, MN22は動作しない。電源ノードに電源電圧 V_{DD} が印加されている場合、NMOSMN21, MN22は動作させてはならないから、降下電圧は、 $(V_{DD} - V_{th})$ よりも大きくする必要はある。一方、電源ノードの電圧が一定電圧 V_{const} を超えた場合、NMOSMN21, MN22を動作させる必要があるから、降下電圧は、 $(V_{const} - V_{th})$ よりも小さくする必要はある。

例えば、電源電圧 $V_{DD} = 1.1V$ 、しきい値電圧 $V_{th} = 0.6V$ 、一定電圧 $V_{const} = 2V$ の場合、降下電圧は、 $(V_{DD} - V_{th}) = 1.1 - 0.6 = 0.5V$ よりも大きく、かつ、 $(V_{const} - V_{th}) = 2 - 0.6 = 1.4V$ よりも小さくする。

【0054】

検出信号制御回路22は、電圧モニタ回路20から出力された一定電圧検出信号 N_{vd} に応じて、電源ノードに印加された電圧が一定電圧を超えていることが検出されている間、内部ノード $n1$ は、電源ノードが遅く立ち上がって、従来回路では、内部ノード $n1$ がHとなる場合でも、強制的にLになり、検出信号 $n0$ が、過電圧が電源ノードに印加されたことを表す状態、本実施形態ではHとなるように制御するものであり、本実施形態では、プルダウン回路によって構成されている。

【0055】

プルダウン回路22は、電源ノードに印加された電圧が一定電圧を超えていることが検出されている間、RC時定数回路24の出力信号 $n1$ をプルダウンするものであり、インバータ INV_{pd} と、NMOSMN3とによって構成されている。

インバータ INV_{pd} には、一定電圧検出信号 N_{vd} が入力されている。インバータ INV_{pd} は、一定電圧検出信号 N_{vd} を反転出力する。

NMOSMN3は、RC時定数回路24の出力信号 $n1$ と、グランドノードとの間に接続されている。NMOSMN3のゲートには、インバータ INV_{pd} の出力信号 N_{pd} が入力されている。

【0056】

次に、ESD保護回路10の動作を説明する。

【0057】

まず、電源投入時に、電源電圧 V_{DD} が供給されて電源ノードが一定以上緩やかに立ち上がった場合の動作は、図13に示す従来のESD保護回路32の場合と同じである。

【0058】

続いて、電源投入時に、電源電圧 V_{DD} が供給されて電源ノードが急峻に立ち上がった場合、RC時定数回路24の出力信号 $n1$ は、RC時定数回路24の作用によって電源ノードよりも緩やかに立ち上がる。そのため、RC時定数回路24の出力信号 $n1$ は、RC時定数回路24の時定数 RC に相当する時間、Lになるが、PMOSMP1の基板およびソースには、第1の電圧調整回路16から第1の調整電圧が供給されるため、PMOSMP1はオンしない。つまり、検出信号 $n0$ はLであり、NMOSMN0はオフ、インバータ INV の出力信号 $n2$ はH、PMOSMP2はオフである。

【0059】

従って、ESD保護回路10は、電源投入時に、電源電圧 V_{DD} が供給されて電源ノードが急峻に立ち上がった場合であっても、誤動作することはなく、大電流が流れることはない。

【0060】

続いて、時定数 RC に相当する時間が経過した後の通常動作時に、電源電圧 V_{DD} が電源ノードに供給されているとき、容量素子 C は電源電圧 V_{DD} に充電されている。そのため、内部ノード $n1$ はH、PMOSMP1はオフ、NMOSMN1はオンであり、検出信号 $n0$ はL、NMOSMN0はオフ、インバータ INV の出力信号 $n2$ はH、PMOSMP2はオフである。

【0061】

また、第2の調整電圧は、第2の電圧調整回路28によって、電源電圧 V_{DD} から降下

10

20

30

40

50

されて、カレントミラー回路30のNMOSMN21, MN22が動作しない電圧となっている。そのため、カレントミラー回路30のNMOSMN21, MN22はオフ、一定電圧検出信号Nvdは、Hである。一定電圧検出信号Nvdは、検出信号制御回路22のインバータINVpdによって反転されてインバータINVpdの出力信号NpdはLであり、NMOSMN3はオフである。

【0062】

従って、ESD保護回路10では、通常動作時に、電源電圧VDDが供給されているとき、検出信号制御回路22のNMOSMN3の出力信号は、RC時定数回路24の出力信号n1、つまり、検出信号n0には何ら影響を与えない。

【0063】

一方、図6のグラフの上側に示すように、ESDイベント発生時に、過電圧が印加されて電源ノードが急峻に立ち上がった場合、この例では、電源ノードが1nsで3.0Vまで急峻に立ち上がった場合、RC時定数回路24の出力信号n1は、RC時定数回路24の作用によって電源ノードよりも緩やかに立ち上がる。そのため、RC時定数回路24の出力信号n1は、RC時定数回路24の時定数RCに相当する時間、Lになる。PMOSMP1の基板およびソースに供給される第1の調整電圧は、PMOSMP1が動作するのに十分高い電圧であるから、PMOSMP1はオン、NMOSMN1はオフとなり、検出信号n0は、時定数RCに相当する時間、Hになり、NMOSMN0はオンする。

【0064】

従って、ESD保護回路10は、ESDイベント発生時に、過電圧が印加されて、電源ノードが急峻に立ち上がった場合、電源ノードに印加された過電圧による大電流がNMOSMN0を介してグランドノードに流れ、電源ノードの電圧がクランプされることにより、電源電圧VDDで動作する内部回路を保護することができる。

【0065】

また、検出信号n0がHになると、インバータINVの出力信号n2はLとなり、PMOSMP2がオンする。そのため、PMOSMP1の基板およびソースには、PMOSMP2を介して過電圧が供給され、検出信号n0のHは過電圧と等しい電圧となる。

従って、NMOSMN0の駆動能力を従来のESD保護回路32のNMOSMN0と同等にまで高めることができる。

【0066】

また、同図のグラフの下側に示すように、ESDイベント発生時に、過電圧が印加されて電源ノードが一定以上緩やかに立ち上がった場合、この例では、電源ノードが10μsで3.0Vまで緩やかに立ち上がった場合、前述のように、RC時定数回路24の出力信号n1の電位は、電源ノードの電圧の変化に追従して変化する。この場合、電圧モニタ回路20および検出信号制御回路22がないとすると、RC時定数回路24の出力信号n1はH、検出信号n0はLを維持するため、NMOSMN0はオンしない。

【0067】

しかし、電源ノードに印加された電圧が一定電圧を超えると、第2の電圧調整回路28により生成される第2の調整電圧は、カレントミラー回路30を構成するNMOSMN21, MN22のしきい値電圧Vthも大きい電圧となる。この場合、カレントミラー回路30が動作し、一定電圧検出信号NvdはL、検出信号制御回路22のインバータINVpdの出力信号NpdはHとなり、NMOSMN3がオンする。従って、RC時定数回路24の出力信号n1の電位は、NMOSMN3によって放電されてL、つまり、検出信号n0はHとなり、NMOSMN0はオンする。

【0068】

これ以後の動作は、ESDイベント発生時に、電源ノードが急峻に立ち上がった場合と同じである。

【0069】

従って、ESD保護回路10は、ESDイベント発生時に、過電圧が印加されて電源ノードが一定以上緩やかに立ち上がった場合であっても正しく動作し、電源ノードに印加さ

10

20

30

40

50

れた過電圧による大電流がNMOSMN0を介してグランドノードに流れ、電源ノードの電圧がクランプされることにより、電源電圧VDDで動作する内部回路を保護することができる。

【0070】

また、ESD保護回路10は、ESDイベント発生前の時点で、電源ノードに印加される電源電圧VDDが一定以上に高い場合であっても、上記のように、ESDイベント発生時に、過電圧が印加されて電源ノードの電圧が一定電圧を超えると、検出信号n0はHとなり、NMOSMN0はオンする。従って、この場合も、ESD保護回路10は正しく動作し、内部回路を保護することができる。

【0071】

なお、本発明のESD保護回路の各構成要素は、図示例の構成のものに限定されない。

例えば、図1に示す過電圧検出回路12のインバータ26の個数は1個に限らず、直列に接続された奇数個のインバータ26を使用してもよい。この場合、RC時定数回路24の出力信号n1は、奇数個のインバータ26により奇数回反転されて検出信号n0として出力される。

【0072】

また、図2に示すように、過電圧検出回路12Bを、容量素子Cおよび抵抗素子RからなるRC時定数回路24Bのみによって構成することもできる。

RC時定数回路24Bの容量素子Cおよび抵抗素子Rは、電源ノードとグランドノードとの間に直列に接続されている。この場合、RC時定数回路24の出力信号n1は、検出信号n0と同じになる。

なお、同図に示す過電圧検出回路12Bにはインバータ26がないため、第1の電圧調整回路16および電圧補償回路18を設けることはできない。

【0073】

また、図3に示すように、過電圧検出回路12Cは、図2に示す過電圧検出回路12Bにおいて、さらに、直列に接続された2つのインバータ26A、26Bを備えていてもよい。インバータ26A、26Bの構成は、図1に示すインバータ26と同じである。

前段のインバータ26Aには、RC時定数回路24Bの出力信号n1が入力されている。インバータ26A、26Bは、RC時定数回路24の出力信号n1を2回反転して、検出信号n0として出力する。

図3に示す過電圧検出回路12Cのインバータの個数は2個に限らず、直列に接続された偶数個のインバータ26を使用してもよい。この場合、RC時定数回路24Bの出力信号n1は、偶数個のインバータ26により偶数回反転されて検出信号n0として出力される。

【0074】

なお、図2、3に示す過電圧検出回路12B、12Cの場合、検出信号制御回路22は、プルアップ回路によって構成される。プルアップ回路は、一定電圧検出信号Nvdに応じて、電源ノードに印加された電圧が一定電圧を超えていることが検出されている間、RC時定数回路24Bの出力信号n1をプルアップするものである。

また、プルダウン回路を用いて、検出信号n0をプルダウンする構成としてもよい。同様に、図1に示す過電圧検出回路12の場合、プルアップ回路を用いて、検出信号n0をプルアップする構成としてもよい。

【0075】

また、PMOSMP2は、図4に示すように、電源ノードと検出信号n0との間に接続してもよい。この場合も同様に、ESDイベント発生時に、検出信号n0が、時定数RCに相当する時間、Hになったときに、検出信号n0の電圧を従来のESD保護回路32と同等の電圧まで高めることができ、NMOSMN0の駆動能力を従来のESD保護回路32のNMOSMN0と同等にまで高めることができる。

【0076】

また、第1の電圧調整回路16は、ダイオードD1の代わりに、図5に示すように、所

10

20

30

40

50

定数のダイオード接続されたPMOSを使用してもよい。同図に示す第1の電圧調整回路は、電源ノードとPMOSMP1の基板およびソースとの間に直列に接続された3つのPMOSによって構成されている。全てのPMOSの基板は電源ノードに接続され、各々のPMOSのゲートは、自分自身のドレインに接続されている。

第2の電圧調整回路28についても同様である。

【0077】

次に、ESD保護回路10に対して、電源ノードに印加される電圧およびその立ち上がり時間を変化させて、NMOSMN0に流れる電流のシミュレーションを行った結果について説明する。

【0078】

表1～4は、通常動作時の電源電圧VDDを1.1V、ESDイベント発生時の過電圧を3.0V、電圧モニタ回路20によって検出される一定電圧を2.0Vとして、(1)本発明を、図13に示す従来のESD保護回路32に適用した場合(図1に示すESD保護回路10において、第1の電圧調整回路16および電圧補償回路18を備えていない場合)、(2)図1に示す本実施形態のESD保護回路10の場合、(3)従来のESD保護回路32の場合、(4)図1に示すESD保護回路10において、電圧モニタ回路20および検出信号制御回路22を備えていない場合について、NMOSMN0に流れる電流のシミュレーションを行った結果である。

【0079】

【表1】

(表1)			
(1)		立ち上がり時間	
		100ns	10 μ s
電圧	2.5V	2.132A	2.132A
	2.0V	1.717A	1.717A
	1.5V	1.166A	0.000A
	1.0V	0.497A	0.000A

【0080】

【表2】

(表2)			
(2)		立ち上がり時間	
		100ns	10 μ s
電圧	2.5V	2.130A	2.130A
	2.0V	1.716A	1.716A
	1.5V	0.029A	0.000A
	1.0V	0.001A	0.000A

【0081】

【表3】

(表3)			
(3)		立ち上がり時間	
		100ns	10 μ s
電圧	2.5V	2.369A	0.019A
	2.0V	1.828A	0.000A
	1.5V	1.193A	0.000A
	1.0V	0.464A	0.000A

【0082】

【表4】

(表4)			
(4)		立ち上がり時間	
		100ns	10 μ s
電圧	2.5V	2.366A	0.000A
	2.0V	0.311A	0.000A
	1.5V	0.014A	0.000A
	1.0V	0.000A	0.000A

10

20

30

40

50

【0083】

表1～4に示すように、本発明を適用していないESD保護回路の場合(3および4)、電源ノードの立ち上がり時間が遅いと(表1～4において、立ち上がり時間が $10\mu\text{s}$ の場合)、電源ノードに印加される電圧が 2.0V 以上となっても、NMOSMN0に電流が全く流れていない。つまり、電源ノードが一定以上緩やかに立ち上がった場合には、電源ノードに印加される電圧が、 2.0V 以上という比較的高い電圧となっても、クランプ回路14が全く動作しないことが分かる。

【0084】

つまり、本発明を適用していないESD保護回路の場合(3および4)、図7(A)および(B)の概念図の右上に示すように、電源ノードに印加される電圧が一定電圧を超えた場合であっても、電源ノードに印加される電圧が一定以上緩やかに立ち上がった場合、ESD保護回路10が正しく動作せず(Off)、内部回路が破壊される場合がある。

10

また、本発明を適用していないESD保護回路の場合(3)、図7(A)の概念図の左下に示すように、通常動作時の電源電圧VDDが電源ノードに供給された場合であっても、電源ノードに供給される電源電圧VDDが急峻に立ち上がった場合、ESD保護回路が誤動作して(Trigger)大電流が流れる場合がある。

【0085】

これに対し、本発明を適用したESD保護回路の場合(1および2)、 2.0V 以上の高い電圧が電源ノードに印加されると、電源ノードに印加される電圧の立ち上がり時間に係わらず、NMOSMN0に電流が流れている。つまり、電源ノードに印加される電圧が、電圧モニタ回路20によって検出される一定電圧である 2.0V 以上になれば、電源ノードが一定以上緩やかに立ち上がった場合であっても、クランプ回路14が正常に動作することが分かる。

20

【0086】

つまり、本発明を適用したESD保護回路の場合(1および2)、図8(A)および(B)の概念図の上側に示すように、電源ノードに印加される電圧が一定電圧を超えると、電源ノードに印加される電圧の立ち上がり時間に係わらず、ESD保護回路10が動作して(Trigger)、内部回路を保護することができる。

また、本発明を適用したESD保護回路の場合(2)、図8(B)の概念図の左下に示すように、通常動作時の電源電圧VDDが電源ノードに供給された場合、電源ノードに供給される電源電圧VDDが急峻に立ち上がった場合であっても、ESD保護回路10は動作せず(Off)、大電流が流れることはない。

30

【0087】

また、ESD保護回路10にはデッド・ウィンドウの懸念がない、リークコントロールがしやすい、第1の電圧調整回路16を構成するダイオードD1のサイズは小さいため、面積インパクトが小さい等の利点がある。

【0088】

以下、デッド・ウィンドウについて簡単に説明する。

従来のESD保護回路として、図9に示すように、電圧トリガ型のESD保護回路が知られている。同図に示すESD保護回路は、GGNMOS(Gate Grounded NMOS)と呼ばれるNMOSによって構成されている。

40

GGNMOSは、電源ノードとグランドノードとの間に接続され、ゲートがグランドノードに接続されている。

【0089】

図10は、図9に示すESD保護回路を構成するGGNMOSの電流電圧特性を表すグラフである。同図に示すグラフの縦軸は、GGNMOSのソース・ドレイン電流(ESD電流)(I)、横軸は、GGNMOSのソース・ドレイン電圧(電源電圧)(V)を表す。

このグラフに示すように、GGNMOSは、ESDイベント発生時にオフしており、電源ノードに印加された過電圧による電流が増加するに従って電源ノードの電圧が第1の所

50

定の電圧 V_{t0} から上昇する。そして、過電圧による電流が所定の電流値 I_{t1} になると、電源ノードの電圧が $GGNMOS$ の寄生バイポーラトランジスタのターンオン電圧 V_{t1} に到達して、 $GGNMOS$ の寄生バイポーラトランジスタがオンする。これにより、電源ノードとグランドノードとが $GGNMOS$ を介して接続され、電源ノードに印加された過電圧による電流が、 $GGNMOS$ を介してグランドノードに流れて電源ノードの電圧がクランプされる。

【0090】

しかし、電圧トリガ型の $GGNMOS$ には、ESD イベント発生時に、 $GGNMOS$ の寄生バイポーラトランジスタがターンオンしない程度の電流が電源ノードに流入した場合、電源ノードの電圧が、 $GGNMOS$ の寄生バイポーラトランジスタのターンオン電圧 V_{t1} まで上昇せず、トリガがかからずに電源電圧が高電圧となったままの状態が続くと、電源電圧で動作する内部回路の破壊に至るリスクがある。すなわち、電源電圧が、絶対最大定格より高いものの、ターンオン電圧 V_{t1} よりも低く、ESD 電流も、電流値 I_{t1} より低い場合、寄生バイポーラトランジスタがオンしない状態で、電圧がかかり続ける、デッド・ウィンドウという領域があり、 $GGNMOS$ の構造上の問題である。このように、内部回路（被保護素子）が破壊されるというリスクがあると共に、 $GGNMOS$ も破壊されるリスクがある。

【0091】

また、 $GGNMOS$ は、電圧トリガ型の ESD 保護回路であり、本発明の要請を満たすように見える。しかし、電圧トリガ型の ESD 保護回路は、クランプ回路として、寄生バイポーラトランジスタを動作させるため、図 11 のグラフに示すように、低電流領域でのクランプ電圧が高く、しかも、レイアウト面積も大きいため、プロセスと共に保護電圧の低電圧化が進んだ現在では、有効な手段ではない。図 11 は、電圧トリガ型の ESD 保護回路の動作を表したものであり、縦軸はクランプ回路に流れる電流 (A)、横軸は電源ノードに印加される電圧 (V) である。

【0092】

これに対し、本発明に係るアクティブクランプ型の ESD 保護回路は、クランプ回路として、MOS を動作させるため、図 12 のグラフに示すように、クランプ電圧を低く設定することができ、レイアウト面積も小さい。図 12 は、アクティブクランプ型の ESD 保護回路の動作を表したものであり、縦軸はクランプ回路に流れる電流 (A)、横軸は電源ノードに印加される電圧 (V) である。そのため、アクティブクランプ型の ESD 保護回路を採用しつつ、高電圧でトリガする機構を取り入れる必要がある。

【0093】

本発明は、基本的に以上のようなものである。

以上、本発明について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【符号の説明】

【0094】

- 10、32 ESD 保護回路
- 12、12B、12C 過電圧検出回路
- 14 クランプ回路
- 16 第1の電圧調整回路
- 18 電圧補償回路
- 20 電圧モニタ回路
- 22 検出信号制御回路
- 24、24B RC 時定数回路
- 26、INV、INVpd インバータ
- 28 第2の電圧調整回路
- 30 カレントミラー回路
- MP1、MP2 PMOS

10

20

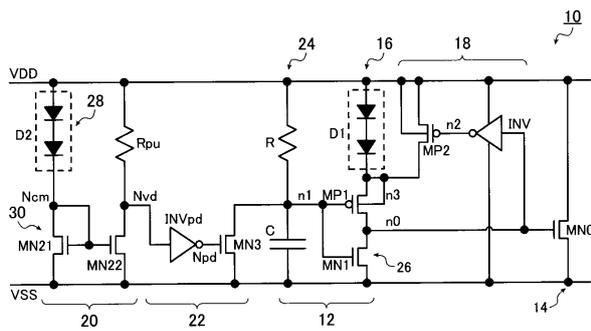
30

40

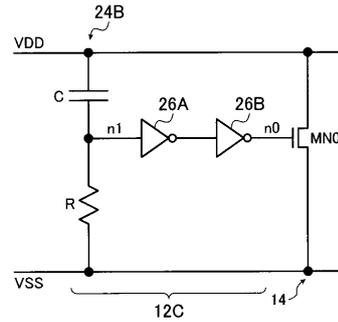
50

MN0、MN1、MN21、MN22、MN3、GGNMOS NMOS
 R、Rpu 抵抗素子
 C 容量素子
 D1、D2 ダイオード
 VDD 電源電圧
 VSS グランド電圧

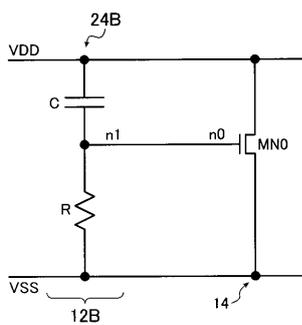
【図1】



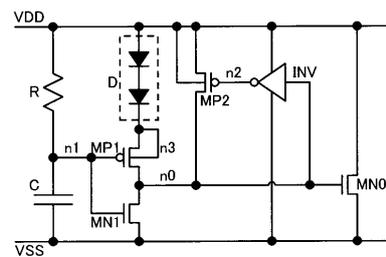
【図3】



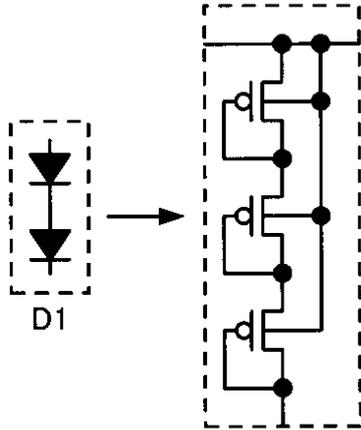
【図2】



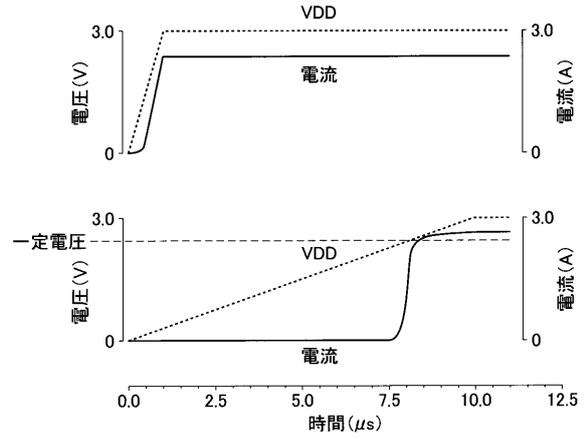
【図4】



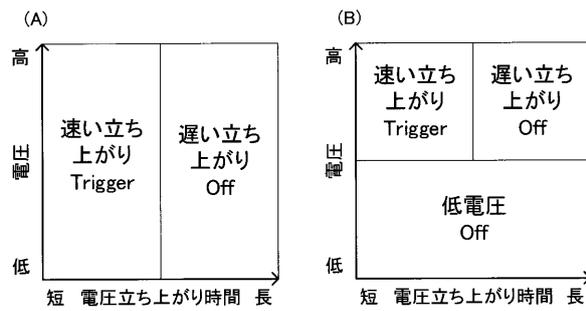
【図 5】



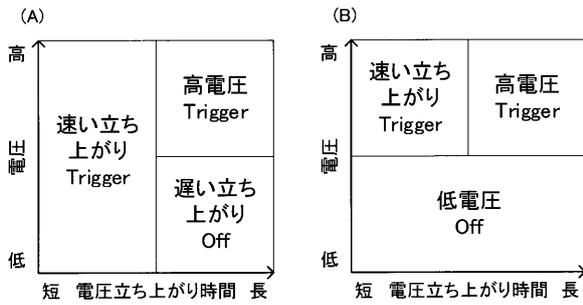
【図 6】



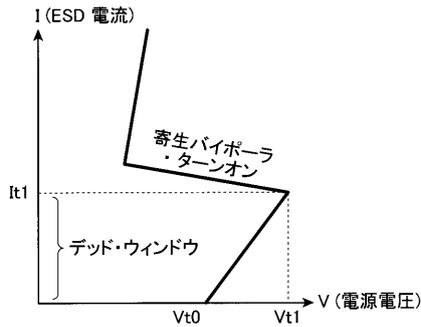
【図 7】



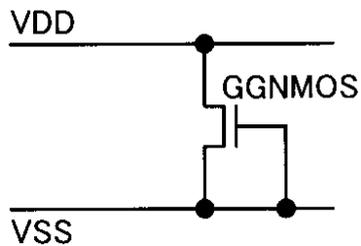
【図 8】



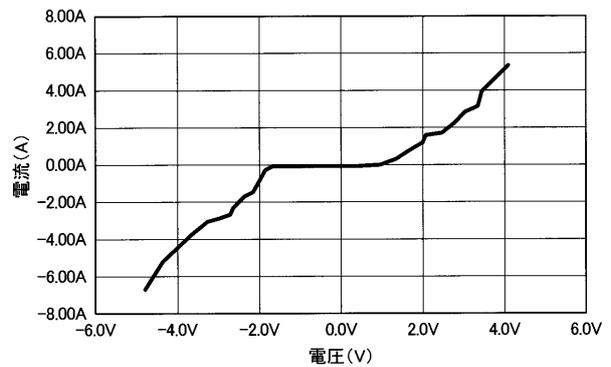
【図 10】



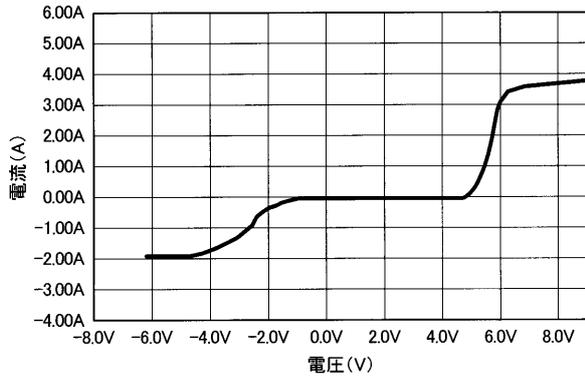
【図 9】



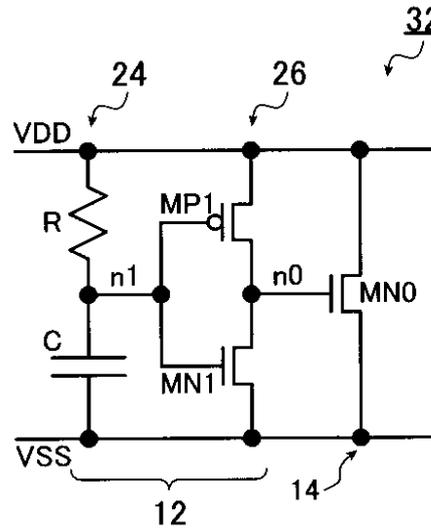
【図 11】



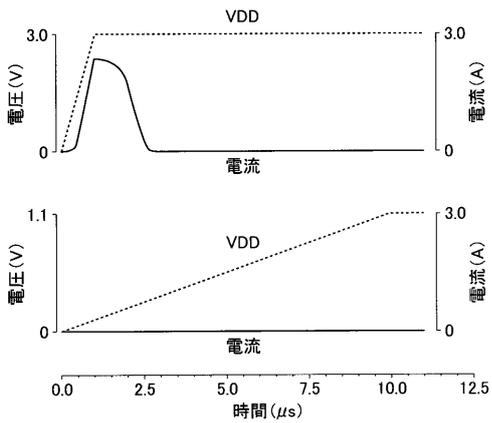
【図12】



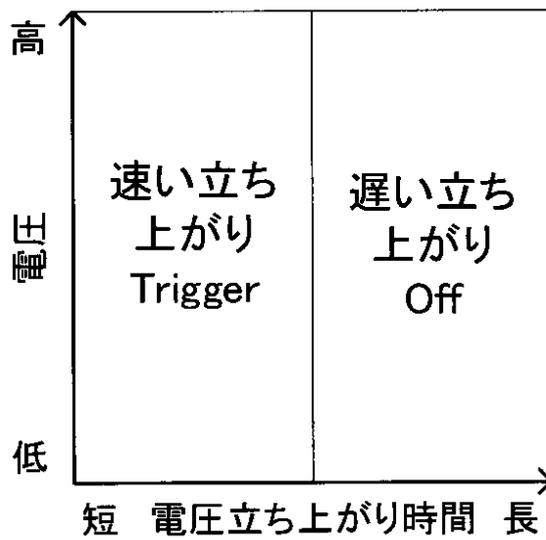
【図13】



【図14】



【図15】



フロントページの続き

(56)参考文献 特開2010-003982(JP,A)
特開2010-050312(JP,A)
特開2008-227003(JP,A)
特表2007-511901(JP,A)
特開2006-302971(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 27/04
H03K 19/003