

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02020/054806

発行日 令和3年3月11日 (2021.3.11)

(43) 国際公開日 令和2年3月19日 (2020.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/07 (2006.01)	HO 1 L 25/04 C	5H770
HO 1 L 25/18 (2006.01)	HO 1 L 23/48 G	
HO 1 L 23/48 (2006.01)	HO 2 M 7/48 Z	
HO 2 M 7/48 (2007.01)		

審査請求 有 予備審査請求 未請求 (全 31 頁)

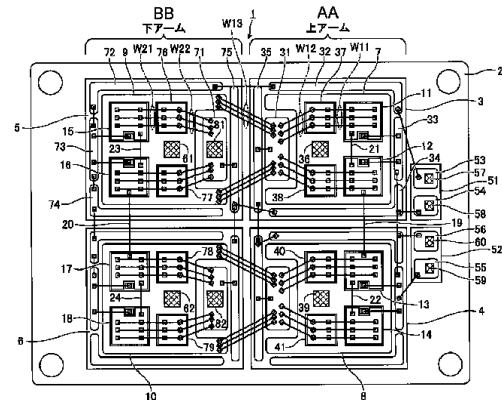
出願番号 特願2020-546196 (P2020-546196)	(71) 出願人 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(21) 国際出願番号 PCT/JP2019/035919	(74) 代理人 100121083 弁理士 青木 宏義
(22) 国際出願日 令和1年9月12日 (2019.9.12)	(74) 代理人 100138391 弁理士 天田 昌行
(31) 優先権主張番号 特願2018-172440 (P2018-172440)	(74) 代理人 100132067 弁理士 岡田 喜雅
(32) 優先日 平成30年9月14日 (2018.9.14)	(72) 発明者 堀江 峻太 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(33) 優先権主張国・地域又は機関 日本国 (JP)	(72) 発明者 岩本 進 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

スイッチング素子が異なる導電パターン上に配置されて並列に接続される構成であっても、スイッチング動作時の発振現象を抑制すること。この半導体装置(1)は、主面を有する基板(3~6)と、主面の上に配設された複数の導電パターン(7~10)と、複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子(11~18)と、複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どうしを直接に接続する1つ又は複数の配線部材(19、20)と、を備える。



AA Upper arm
BB Lower arm

【特許請求の範囲】**【請求項 1】**

主面を有する基板と、
前記主面の上に配設された複数の導電パターンと、
前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、
前記複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どうしを直接に接続する 1 つ又は複数の配線部材と、
を備える半導体装置。

【請求項 2】

前記配線部材によってエミッタ電極どうしが直接に接続された 2 つのスイッチング素子は、一方の前記導電パターン上に配置された複数のスイッチング素子と他方の前記導電パターン上に配置された複数のスイッチング素子との間で、最も距離が短い 2 つのスイッチング素子である請求項 1 記載の半導体装置。

【請求項 3】

同一導電パターン上に配置された複数のスイッチング素子のエミッタ電極どうしを直接に接続する他の配線部材を有する請求項 1 又は請求項 2 記載の半導体装置。

【請求項 4】

前記複数のスイッチング素子がコレクタ電極を接続するように配置される前記各導電パターンに設けられた複数の第 1 端子領域に接続された複数の第 1 脚部と、外部と接続する第 1 接続部と、前記各第 1 脚部と前記第 1 接続部との間を接続する第 1 配線部と、を有する第 1 リードフレームと、

前記複数の導電パターンに対応して前記主面に上に配設され、それぞれ対応する前記導電パターン上に配置された前記スイッチング素子のエミッタ電極が接続された複数の他の導電パターンと、

前記各他の導電パターンに設けられた複数の第 2 端子領域に接続された複数の第 2 脚部と、外部と接続する第 2 接続部と、前記各第 2 脚部と前記第 2 接続部との間を接続する第 2 配線部と、を有する第 2 リードフレームと、

を備えた請求項 1 から請求項 3 のいずれかに記載の半導体装置。

【請求項 5】

前記複数のスイッチング素子の配列方向と前記複数の第 2 端子領域の配列方向とが同一方向である請求項 4 記載の半導体装置。

【請求項 6】

前記複数のスイッチング素子の配列方向と前記配線部材の配線方向とが同一方向である請求項 1 から請求項 5 のいずれかに記載の半導体装置。

【請求項 7】

前記配線部材の配線方向と前記他の配線部材の配線方向とが同一方向である請求項 1 から請求項 6 のいずれかに記載の半導体装置。

【請求項 8】

前記複数のスイッチング素子の配列方向、前記配線部材の配線方向、前記第 1 端子領域の配列方向、及び前記第 2 端子領域の配列方向が同一方向である請求項 4 から請求項 7 のいずれかに記載の半導体装置。

【請求項 9】

前記複数のスイッチング素子の配列から近い順に、前記配線部材の配線、前記第 1 端子領域の配列、前記第 2 端子領域の配列が配置される請求項 4 から請求項 8 のいずれかに記載の半導体装置。

【請求項 10】

前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によってアームが構成され、同一アームにおいて異なる導電パターン上に配置されたスイッチング素子のエミッタ電極どうしが前記配線部材によって接続される請求項 1 から請求項 9 のい

10

20

30

40

50

ずれかに記載の半導体装置。

【請求項 1 1】

前記配線部材は、第 1 の配線部材又は第 2 の配線部材を構成し、

前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によって上アーム及び下アームが構成され、

前記基板は、前記スイッチング素子が配置された前記導電パターン毎に複数設けられ、

前記上アームに属する前記基板は、

前記スイッチング素子が配置され、高電位側の入力端子に接続される第 1 の導電パターンと、

中間電位に接続され、前記第 1 の導電パターンを囲むように形成される第 2 の導電パターンと、を有し、

前記第 1 の導電パターンは、平面視 T 字形状を有し、

前記スイッチング素子の並び方向に延びる第 1 長尺部と、

前記第 1 長尺部の延在方向中間部分から前記スイッチング素子の並び方向に直交する方向に延びる第 2 長尺部と、を有し、

前記第 2 の導電パターンは、

前記第 2 長尺部に沿って延び、当該第 2 長尺部を挟むように設けられる一对の第 3 長尺部を有し、

前記一对の第 3 長尺部どうしが第 3 の配線部材によって接続される請求項 1 から請求項 3 のいずれかに記載の半導体装置。

【請求項 1 2】

前記第 2 の導電パターンは、前記一对の第 3 長尺部の一端部どうしを連結する第 4 長尺部を更に有し、前記第 3 長尺部と前記第 4 長尺部によって前記第 2 長尺部を囲むように平面視 U 字形状に形成され、

前記第 4 長尺部が前記第 3 の配線部材を構成する請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記スイッチング素子は、前記第 1 長尺部上に配置され、

前記第 1 長尺部上に配置された前記スイッチング素子と前記第 3 長尺部の他端部とが、第 1 の主電流配線部材によって接続される請求項 1 2 に記載の半導体装置。

【請求項 1 4】

前記下アームに属する前記基板は、

前記スイッチング素子が配置され、中間電位の出力端子に接続される第 3 の導電パターンと、

低電位側の入力端子に接続される第 4 の導電パターンと、を有し、

前記第 3 の導電パターンは、前記第 4 の導電パターンを囲むように平面視 U 字形状を有し、

前記スイッチング素子が配置される主部と、

前記主部から前記上アーム側に向かって延び、前記第 4 の導電パターンを挟むように設けられる一对の第 5 長尺部と、を有する請求項 1 1 から請求項 1 3 のいずれかに記載の半導体装置。

【請求項 1 5】

前記第 5 長尺部の先端は前記第 3 長尺部の基端に対向配置され、

前記第 5 長尺部の先端と前記第 3 長尺部の基端とが第 2 の主電流配線部材によって接続される請求項 1 4 に記載の半導体装置。

【請求項 1 6】

前記第 2 長尺部には、前記高電位側の入力端子に接続される第 1 端子領域が設けられ、

前記第 4 の導電パターンには、前記低電位側の入力端子に接続される第 3 端子領域が設けられ、

前記第 1 端子領域と前記第 3 端子領域とは、対向配置される請求項 1 4 又は請求項 1 5 に記載の半導体装置。

10

20

30

40

50

【請求項 17】

前記上アームにおいて、異なる前記基板上に配置された前記第2の導電パターンどうしが第4の配線部材によって接続される請求項11から請求項16のいずれかに記載の半導体装置。

【請求項 18】

主面を有する基板と、
 前記主面の上に配設された複数の導電パターンと、
 前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、を備え、
 前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によって上アーム及び下アームが構成され、
 前記基板は、前記スイッチング素子が配置された前記導電パターン毎に複数設けられ、前記上アームに属する前記基板は、
 前記スイッチング素子が配置され、高電位側の入力端子に接続される第1の導電パターンと、
 中間電位に接続され、前記第1の導電パターンを囲むように形成される第2の導電パターンと、を有し、
 前記第1の導電パターンは、平面視T字形状を有し、
 前記スイッチング素子の並び方向に延びる第1長尺部と、
 前記第1長尺部の延在方向中間部分から前記スイッチング素子の並び方向に直交する方向に延びる第2長尺部と、を有し、
 前記第2の導電パターンは、
 前記第2長尺部に沿って延び、当該第2長尺部を挟むように設けられる一对の第3長尺部を有し、
 前記一对の第3長尺部どうしが第3の配線部材によって接続され、
 前記上アームにおいて、異なる前記基板上に配置された前記第2の導電パターンの前記第3長尺部どうしが第4の配線部材によって接続される半導体装置。

【請求項 19】

前記第2の導電パターンは、前記一对の第3長尺部の一端部どうしを連結する第4長尺部を更に有し、前記第3長尺部と前記第4長尺部によって前記第2長尺部を囲むように平面視U字形状に形成され、
 前記第4長尺部が前記第3の配線部材を構成する請求項18に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のスイッチング素子を有する半導体装置に関する。

【背景技術】

【0002】

風力・太陽光発電などの新エネルギー分野や車両用分野に適用される電力変換装置において、スイッチング素子としてパワー半導体素子を用いた半導体装置がある。たとえば、電力変換用の半導体装置には、高電圧、大電流、高速スイッチング動作に優れたIGBT (Insulated Gate Bipolar Transistor) がスイッチング素子として用いられている。

【0003】

スイッチング素子にIGBT素子を用いた半導体装置を例に説明する。例えば、電力変換用の半導体装置は、高電源電位(P)と低電源電位(N)との間に、上アームと下アームで構成されるパワーモジュールが介挿される。パワーモジュールは、スイッチング素子にIGBT素子を用いた場合、上アーム及び下アームはそれぞれIGBT素子と還流ダイオード(FWD: Free Wheeling Diode)で構成される。上アームを構成するIGBT素子と下アームを構成するIGBT素子とは直列に接続される。そして、上アーム及び下アームそれぞれにおいて、IGBT素子及びFWDのセットを並列接続

することで、モジュールとしての電流容量の拡大が図られている。

【0004】

ところで、IGBT素子を並列接続する構成では、IGBT素子のゲート容量、並列接続したIGBT素子間のインダクタンス、IGBTゲート間のインダクタンス等の条件によって、スイッチング動作時に発振が起こる可能性があった。パワーモジュールにおいて発振が発生すると、IGBTのゲート端子に耐圧を超える電圧が印加される可能性があるため、種々の対策が採られている。例えば、電力変換用のパワーモジュールにおいて、同一の絶縁基板（導電パターン）上に配置され並列に接続された2つのIGBT素子のエミッタ電極間を導線ワイヤによって電氣的に接続している（特許文献1のFIG1、特許文献2の図24参照）。上記対策により、並列に接続された複数のIGBT素子のエミッタ電極の電位の均一化を図っている。

10

【0005】

一方、同一アームに属する複数のIGBT素子が異なる基板（導電パターン）上に配置され、これらIGBT素子が導電パターン等を介して並列接続される電力変換用のパワーモジュールが提案されている（例えば、特許文献3参照）。特許文献3に記載されたパワーモジュールは、IGBT素子が配置された異なる基板（導電パターン）に沿って導体パターンがそれぞれ近接して配設されている。そして、IGBT素子のエミッタ電極を近接する導体パターンにそれぞれ接続すると共に、導体パターン間を接続している。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】独国特許出願公開第DE19549011 A1号明細書

【特許文献2】特開2002-153079号公報

【特許文献3】特開2016-58515号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、同一アームに属するIGBT素子が異なる基板（導電パターン）上に配置されて並列に接続される場合、エミッタ電極間を接続する導電パターン等に起因するインダクタンスが増大して発振現象を十分に抑制できないことが判明した。この発振現象はIGBT素子以外のスイッチング素子（例えば、MOSFET素子、逆導通型IGBT素子等）であっても同様に生じる課題である。

30

【0008】

本発明はかかる点に鑑みてなされたものであり、スイッチング素子が異なる導電パターン上に配置されて並列に接続される構成であっても、スイッチング動作時の発振現象を抑制できる半導体装置を提供することを目的の1つとする。

【課題を解決するための手段】

【0009】

本実施形態の半導体装置は、主面を有する基板と、前記主面の上に配設された複数の導電パターンと、前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、前記複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どうしを直接に接続する1つ又は複数の配線部材と、を備える。

40

【発明の効果】

【0010】

本発明によれば、スイッチング素子が異なる導電パターン上に配置されて並列に接続される構成であっても、スイッチング素子のエミッタ電極どうしを直接に接続する1つ又は複数の配線部材によって、スイッチング動作時の発振現象を抑制することができる。

【図面の簡単な説明】

【0011】

50

【図 1】本実施の形態に係る半導体装置をパワーモジュールに適用した場合の平面図である。

【図 2】上アームのスイッチング素子配列と出力端子間を繋ぐリードフレームの相対関係を示す平面図である。

【図 3】下アームのスイッチング素子配列と出力端子間を繋ぐリードフレームの相対関係を示す平面図である。

【図 4】図 4 A はリードフレームの構成例を示す図、図 4 B はリードフレームの他の構成例を示す図、図 4 C はリードフレームの他の構成例を示す図である。

【図 5】本実施の形態に係る半導体装置をパワーモジュールに適用した場合の回路図である。

【図 6】発振対策を講じていない半導体装置をパワーモジュールに適用した場合の回路図である。

【図 7】図 7 A は I G B T 素子のエミッタ間ワイヤ接続対策しなかった場合の波形図、図 7 B は I G B T 素子のエミッタ間ワイヤ接続対策した本実施の形態の波形図である。

【図 8】第 2 の実施の形態に係る半導体装置の平面図である。

【図 9】第 2 の実施の形態の変形例に係る半導体装置の平面図である。

【発明を実施するための形態】

【0012】

以下、本実施の形態に係る半導体装置をインバータ回路のパワーモジュールに適用した例について説明するが、半導体装置はインバータ回路に限定されない。本実施の形態の半導体装置は、別導電パターン上に配置されたパワースwitching素子が並列に接続される構成を有するパワーモジュールであればインバータ回路以外にも適用可能である。また、本実施の形態では、スイッチング素子に I G B T 素子を用いた例を説明するが、I G B T 素子以外のパワースwitching素子を用いることができる。例えば、I G B T 素子の代わりに、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) 素子であってもよい。M O S F E T 素子の場合、エミッタ電極がソース電極、コレクタ電極がドレイン電極と読み替えられる。また、本実施の形態では、I G B T と還流ダイオードはそれぞれ別の半導体チップに設けられている例を説明するが、それに限られず、I G B T 部と F W D 部とを組み合わせた単一素子である、逆導通型 I G B T (R C - I G B T) を適用してもよい。スイッチング素子、およびダイオードは、シリコン (S i) 半導体、または、炭化シリコン (S i C) 半導体を用いることができる。

【0013】

図 1 は本実施の形態に係る半導体装置をパワーモジュールに適用した場合の平面図である。本実施の形態に係る半導体装置 1 は、パワーモジュールを収納するパッケージのベース板 2 上に配置される。半導体装置 1 は、4 つに分割された絶縁板 3 ~ 6 と、絶縁板 3 ~ 6 の主面に配設された導電パターン 7 ~ 10 と、導電パターン 7 ~ 10 上に配置されたスイッチング素子となる I G B T 素子 11 ~ 18 とを備える。上アームにおいて並列に接続される複数の I G B T 素子 11 ~ 14 が配置される導電パターン 7、8 に対して、I G B T 素子 11 ~ 14 のエミッタ電極が接続される導電パターン 9、10 は他の導電パターンとなる。

【0014】

本実施の形態は、上アームに属するスイッチング素子 11 ~ 14 のうち、異なる導電パターン 7、8 に配置された I G B T 素子 12、13 のエミッタ電極どうしが配線部材としての導体ワイヤ 19 によって直接接続されている。また、下アームに属するスイッチング素子 15 ~ 18 のうち、異なる導電パターン 9、10 に配置された I G B T 素子 16、17 のエミッタ電極どうしが配線部材としての導体ワイヤ 20 によって直接接続されている。さらに同一導電パターン (7 ~ 10) に配置された I G B T 素子 (11、12)、(13、14)、(15、16)、(17、18) のエミッタ電極どうしが他の配線部材としての導体ワイヤ 21 ~ 24 によってそれぞれ直接接続されている。なお、本実施の形態は、配線部材 (19、20) 及び他の配線部材 (21 ~ 24) として導体ワイヤが用いられ

10

20

30

40

50

ている。導体ワイヤは直径10 μ m～600 μ mのものを配線部材として用いてもよい。導体ワイヤの材質は、金、銅、アルミニウム、金合金、銅合金、アルミニウム合金のいずれか1つ又はそれらの組み合わせを用いることができる。配線部材として導体ワイヤ以外の部材を用いることができる。例えば、配線部材としてリボン（厚さ10～300 μ m、幅0.1～2.0mm）を用いることができる。

【0015】

なお、本実施の形態において、4つに分割された絶縁板3～6が用いられているが、絶縁板の分割数はこれに限定されるものではなく、また1枚の絶縁板を用いることもできる。また、各導電パターン7～10上に2つのIGBT素子（11、12）～（17、18）がそれぞれ配置されているが、1つの導電パターンには少なくとも1つのIGBT素子が配置されていればよい。また、各導電パターン7～10上へのIGBT素子11～18の接続は、はんだ等の接合材料を用いて行われている。

10

【0016】

絶縁板3の主面には導電パターン7を含む複数の導電パターンが島状（電氣的に互いに絶縁された状態）に配設されている。導電パターン7は、絶縁板3主面の中央部の主要領域に配設されている。導電パターン7の絶縁板5側（下アーム側）の一部を切り欠いて形成されたスペースに別の導電パターン31が配設されている。絶縁板3主面の周縁部には、導電パターン7及び31を囲むようにして、複数の導電パターン32～35が配設されている。導電パターン7には、パワーモジュールの高電位側の入力端子（P）に接続される第1端子領域36が設けられている。導電パターン7上に配置される2つのIGBT素子11、12は、コレクタ電極を導電パターン7に接続するように配置される。また、導電パターン7上において2つのIGBT素子11、12に隣接して2つの還流ダイオード37、38が配置されている。還流ダイオード37、38はカソード電極を導電パターン7に接続するように配置される。これにより、2つのIGBT素子11、12に対して還流ダイオード37、38が逆並列に接続されると共に、第1端子領域36（高電位側の入力端子（P））に対してIGBT素子11、12のコレクタ電極、及び還流ダイオード37、38はカソード電極が電氣的に接続された状態となる。

20

【0017】

上記した通り、他方の絶縁板4の主面には、上記IGBT素子11、12に対して並列に接続されるIGBT素子13、14が配置される。絶縁板4の主面には、上記絶縁板3の主面に配置された複数の導電パターン7、31～35及び第1端子領域36と同じ配置で複数の導電パターン8等及び第1端子領域39が設けられている。導電パターン8上に配置される2つのIGBT素子13、14は、コレクタ電極を導電パターン8に接続するように配置され、導還流ダイオード40、41はカソード電極を導電パターン8に接続するように配置される。これにより、2つのIGBT素子13、14に対して還流ダイオード40、41が逆並列に接続されると共に、第1端子領域39（入力端子（P））に対してIGBT素子13、14のコレクタ電極、及び還流ダイオード40、41はカソード電極が電氣的に接続された状態となる。

30

【0018】

また、ベース板2上には絶縁板3及び4に近接して、絶縁板51、52が配置されている。一方の絶縁板51の上には導電パターン53、54が配設されている。導電パターン53には下アーム（IGBT素子15～18）のゲート端子接続位置に接続端子57が設けられている。導電パターン54には下アーム（IGBT素子15～18）のセンスエミッタ端子の接続位置に接続端子58が設けられている。また、他方の絶縁板52の上には導電パターン55、56が配設されている。導電パターン55には上アーム（IGBT素子11～14）のゲート端子接続位置に接続端子59が設けられている。導電パターン56には上アーム（IGBT素子11～14）のセンスエミッタ端子の接続位置に接続端子60が設けられている。

40

【0019】

一方、ベース板2上には絶縁板3に隣接して別の絶縁板5が配置され、絶縁板4に隣接

50

して別の絶縁板 6 が配置されている。絶縁板 5 の主面には導電パターン 9 が配設されている。導電パターン 9 にはパワーモジュールの出力端子 (O) に接続される第 2 端子領域 6 1 が設けられている。また、絶縁板 4 に隣接して配置された絶縁板 6 の主面には導電パターン 10 が配設され、導電パターン 10 にはパワーモジュールの出力端子 (O) に接続される第 2 端子領域 6 2 が設けられている。

【0020】

上アームの一方の導電パターン 7 上に配置された 2 つの IGBT 素子 11、12 は、各々のエミッタ電極が導体ワイヤ W11 を介して隣接する還流ダイオード 37、38 のアノード電極に接続され、さらに導体ワイヤ W12 を介して導電パターン 31 に接続されている。導電パターン 31 は導体ワイヤ W13 を介して隣接する絶縁板 5 上の導電パターン 9 に接続されている。導電パターン 9 には第 2 端子領域 6 1 が接続されているため、2 つの IGBT 素子 11、12 のエミッタ電極は同じ第 2 端子領域 6 1 に電氣的に接続されていることになる。

10

【0021】

上アームの他方の導電パターン 8 上に配置された 2 つの IGBT 素子 13、14 は、上記 IGBT 素子 11、12 と同様に、各々のエミッタ電極が導体ワイヤを介して隣接する還流ダイオード 40、41 のアノード電極に接続され、さらに導体ワイヤ及び導電パターンを介して、隣接する絶縁板 6 上の導電パターン 10 に接続されている。導電パターン 10 には第 2 端子領域 6 2 が接続されているため、2 つの IGBT 素子 13、14 のエミッタ電極は同じ第 2 端子領域 6 2 に電氣的に接続されていることになる。

20

【0022】

下アームの絶縁板 5 は、上アームの 4 つの IGBT 素子 11 ~ 14 の配列方向とは直交する方向に絶縁板 3 に隣接して配置されている。絶縁板 5 の主面には、IGBT 素子 15、16、複数の導電パターン 9、71 ~ 75、還流ダイオード 76、77 が、上記絶縁板 3 の主面に配置された複数の導電パターン 7、31 ~ 35、還流ダイオード 37、38 と線対称の位置に配置されている。また、IGBT 素子 15、16 のエミッタ電極が共通に接続される導電パターン 71 にはパワーモジュールの低電位側の入力端子 (N) に接続される第 3 端子領域 81 が設けられている。

【0023】

導電パターン 9 に配置された 2 つの IGBT 素子 15、16 は、各々のエミッタ電極が導体ワイヤ W21 を介して隣接する還流ダイオード 76、77 のアノード電極に接続され、さらに導体ワイヤ W22 を介して導電パターン 71 に接続されている。導電パターン 71 は低電位側の入力端子 (N) に接続される第 3 端子領域 81 に接続されている。

30

【0024】

一方、絶縁板 6 の主面には、上記 IGBT 素子 15、16 に対して並列に接続される別の IGBT 素子 17、18 が配置される。絶縁板 6 の主面には、上記絶縁板 5 の主面に配置された複数の導電パターン 9、71 ~ 75 及び第 2 端子領域 6 1 と同じ配置で複数の導電パターン 10 等及び第 2 端子領域 6 2 が設けられている。導電パターン 10 上に配置される 2 つの IGBT 素子 17、18 は、コレクタ電極を導電パターン 10 に接続するように配置され、導還流ダイオード 78、79 はカソード電極を導電パターン 10 に接続するように配置される。これにより、2 つの IGBT 素子 17、18 に対して還流ダイオード 78、79 が逆並列に接続されると共に、第 2 端子領域 6 2 (出力端子 (O)) に対して IGBT 素子 17、18 のコレクタ電極、及び還流ダイオード 78、79 はカソード電極が電氣的に接続された状態となる。

40

【0025】

導電パターン 10 上に配置された 2 つの IGBT 素子 17、18 は、上記 IGBT 素子 15、16 と同様に、各々のエミッタ電極が導体ワイヤを介して隣接する還流ダイオード 78、79 のアノード電極に接続され、さらに導体ワイヤ及び導電パターンを介して、低電位側の入力端子 (N) となる第 3 端子領域 82 に電氣的に接続されている。

【0026】

50

次に、上アームにおいて別導電パターン上に配置される第1端子領域36、39、並びに下アームにおいて別導電パターン上に配置される第2端子領域61、62及び第3端子領域81、82についての端子領域間接続構造について、図2、図3及び図4を参照して説明する。図2は、上アームにおける第1端子領域36、39間の接続構造を示している。上アームにおいて、一方の導電パターン7に設けられ第1端子領域36と、他方の導電パターン8に設けられ第1端子領域39との間に第1リードフレーム91が設置されている。図4Aから図4Cはリードフレームの構成例を示している。なお、後述する第2リードフレーム及び第3リードフレームと同様の構成を有するので第2リードフレーム及び第3リードフレームについても図4Aから図4Cを流用して説明する。第1リードフレーム91は、図4Aに示すように第1端子領域36、39にそれぞれ接続する2つの第1脚部101-1、外部と接続する第1接続部102-1、第1脚部101-1と第1接続部102-1との間を接続する第1配線部103-1を有する。図4Aに示す構成例では第1接続部102-1が第1配線部103-1から上方へ突起しているが、図4Bに例示されるように第1配線部103-1から必ずしも突起する必要はない。また、第1配線部103-1は門型に限定されるものではなく、図4Cに例示するように、L字型に分岐した分岐部104-1を形状して、分岐部104-1の先端部近傍に第1接続部102-1を設けても良い。第1リードフレーム91は図4Aから図4Cの構成に限定されるものではなく、適宜変形実施可能である。第1リードフレーム91は、上アームにおいてIGBT素子11~14のエミッタ電極間を接続する導体ワイヤ19、21、22と平行に配置されている。第1リードフレーム91は、第1端子領域36、39間を電氣的に接続する電気伝導度を有すると共に、外部のバスバー等を支持する機械的強度を有する。電気伝導度及び機械的強度に優れたリードフレーム素材として、銅素材、銅合金系素材、アルミニウム合金系素材、鉄合金系素材等の金属素材を用いることができる。

10

20

30

40

50

【0027】

本実施の形態は、上アームに属するIGBT素子11~14のエミッタ電極が接続される第2端子領域61、62(出力端子O)が、下アーム側の導電パターン9、10に設けられている。そして、下アームにおいて、一方の導電パターン9に設けられた第2端子領域61と、他方の導電パターン10に設けられた第2端子領域62との間に第2リードフレーム92が設置されている。第2リードフレーム92は、図4Aから図4Cのいずれかに示す構成を有する。すなわち、第2リードフレーム92は、第2端子領域61、62にそれぞれ接続する2つの第1脚部101-2、外部と接続する第2接続部102-2、第2脚部101-2と第2接続部102-2との間を接続する第2配線部103-2を有する。図4Cに示す構成であれば、分岐部104-2を有する。第2リードフレーム92は、上アームにおいてIGBT素子11~14のエミッタ電極間を接続する導体ワイヤ19、21、22と平行に配置されている。第2リードフレーム92は、第2端子領域61、62間を電氣的に接続する電気伝導度を有すると共に所定の機械的強度を有する。また、基板上において第1リードフレーム91と第2リードフレーム92とが平行に配置される。

【0028】

図3は、下アームにおける第2端子領域61、62間及び第3端子領域81、82間の接続構造を示している。第2端子領域61、62間は上記した通り第2フレーム92によって接続される。一方の第3端子領域81と他方の第3端子領域81との間に第3リードフレーム93が設置されている。第3リードフレーム93は、図4Aから図4Cのいずれかに示す構成を有する。すなわち、第3リードフレーム93は、第3端子領域81、82にそれぞれ接続する2つの第3脚部101-3、外部と接続する第3接続部102-3、第3脚部101-3と第3接続部102-3との間を接続する第3配線部103-3を有する。図4Cに示す構成であれば、分岐部104-3を有する。第3リードフレーム93は、第3端子領域81、82間を電氣的に接続する電気伝導度を有すると共に所定の機械的強度を有する。

【0029】

以上のように、本実施の形態では、上アームに属するスイッチング素子 11 ~ 14 の配列方向と配線部材としての導体ワイヤ 19 の配線方向とが同一方向である。また配線部材としての導体ワイヤ 19 の配線方向と他の配線部材としての導体ワイヤ 21、22 の配線方向とが同一方向である。さらに、スイッチング素子 11 ~ 14 の配列方向、配線部材としての導体ワイヤ 19 の配線方向、第 1 端子領域 36、39 の配列方向、第 2 端子領域 61、62 の配列方向とが同一方向である。そして、スイッチング素子 11 ~ 14 の配列から近い順に、配線部材としての導体ワイヤ 19 の配線、第 1 端子領域 36、39 の配列、第 2 端子領域 61、62 の配列が配置されている。

【0030】

図 5 は、図 1 ~ 図 3 に示す半導体装置 1 の回路構成図を示している。

半導体装置 1 は、上アームと下アームで構成されている。上アームは 4 つの IGBT 素子 11 ~ 14 が属していて、それらの IGBT 素子 11 ~ 14 が互いに並列に接続されている。上アームにおいて、一方の基板（絶縁板 3）に配置される IGBT 素子 11、12 が同一導電パターン 7 上において並列に接続され、IGBT 素子 11、12 に対して導還流ダイオード 37、38 が逆並列に接続されている。同様に、他方の基板（絶縁板 4）に配置される IGBT 素子 13、14 が同一導電パターン 8 上において並列に接続され、IGBT 素子 13、14 に対して還流ダイオード 40、41 が逆並列に接続されている。一方の導電パターン 7 上の IGBT 素子 11、12 のコレクタ電極共通接続点（第 1 端子領域 36）と、他方の導電パターン 8 上の IGBT 素子 13、14 のコレクタ電極共通接続点（第 1 端子領域 39）とに対して、高電位側の入力端子（P）が接続されている。入力端子（P）は、第 1 端子領域 36、39 に対して第 1 リードフレーム 91 を介して分岐して接続されている（図 2 参照）。一方の導電パターン 7 上の IGBT 素子 11、12 のエミッタ電極共通接続点（第 2 端子領域 61）と、他方の基板（導電パターン 8）上の IGBT 素子 13、14 のエミッタ電極共通接続点（第 2 端子領域 62）とに対して、出力端子（O）が接続されている。出力端子（O）は、第 2 端子領域 61、62 に対して第 2 リードフレーム 92 を介して分岐して接続されている（図 2 参照）。

【0031】

さらに、本実施の形態は、発振対策として、一方の導電パターン 7 に配置された IGBT 素子 12 と、他方の導電パターン 8 に配置された IGBT 素子 13 とのエミッタ電極どうしが導体ワイヤ 19 によって直接に接続されている。一方の IGBT 素子 12 は、導電パターン 7 に配置された IGBT 素子（11、12）のうちで最も他方の導電パターン 8 に近い位置に配置されている。他方の IGBT 素子 13 は、導電パターン 8 に配置された IGBT 素子（13、14）のうちで最も導電パターン 7 に近い位置に配置されている。したがって、導体ワイヤ 19 によって接続される 1 組のスイッチング素子は異なる導電パターンに配置された複数のスイッチング素子のうち最も導体ワイヤ 19 の距離が短くなるスイッチング素子の組み合わせであるといえることができる。また、本実施の形態は、発振対策として、同一導電パターン 7 上に配置されて並列接続されている IGBT 素子 11、12 のエミッタ電極間も導体ワイヤ 21 で直接に接続している。また、もう一つの導電パターン 8 上に配置されて並列接続されている IGBT 素子 13、14 のエミッタ電極間も導体ワイヤ 22 で直接に接続している（図 3 参照）。

【0032】

下アームは 4 つの IGBT 素子 15 ~ 18 が属していて、基本的には上記上アームと同様の回路構成を有する。上アームの回路構成と異なる主な点は、IGBT 素子 15 ~ 18 のコレクタ電極共通接続点（第 2 端子領域 61、62）が出力端子（O）に接続され、IGBT 素子 15 ~ 18 のエミッタ電極共通接続点（第 3 端子領域 81、82）に対して、低電位側の入力端子（N）が接続されている点である。入力端子（N）は、第 3 端子領域 81、82 に対して第 3 リードフレーム 93 を介して分岐して接続されている。

【0033】

下アームにおいて、上アームと同様の発振対策が取られている。一方の導電パターン 9 に配置された IGBT 素子 16 と、他方の導電パターン 10 に配置された IGBT 素子 1

10

20

30

40

50

7とのエミッタ電極どうしが導体ワイヤ20によって直接に接続されている。また、同一導電パターン9上に配置されて並列接続されているIGBT素子15, 16のエミッタ電極間も導体ワイヤ23で直接に接続している。また、もう1つの導電パターン10上に配置されて並列接続されているIGBT素子17, 18のエミッタ電極間も導体ワイヤ24で直接に接続している。

【0034】

上記した通り、上アームに属するIGBT素子11、12は、下アームに設けた導電パターン9(第2端子領域61)においてエミッタ電極間が接続される。図5に示す回路図において、IGBT素子11、12のエミッタ電極間のインダクタンスをL1で示している。同様に、上アームに属するIGBT素子13、14のエミッタ電極間のインダクタンスをL2で示している。また、下アームに属するIGBT素子15、16のエミッタ電極間のインダクタンスをL3、IGBT素子17、18のエミッタ電極間のインダクタンスをL4で示している。

10

【0035】

以上のように構成された半導体装置1において、入力端子(P)から第1リードフレーム91を介して第1端子領域36, 39に分岐して高電位電圧が印加され、入力端子(N)から第3リードフレーム93を介して第3端子領域81, 82に分岐して低電位電圧が印加される。そして、接続端子59を介して上アームに属するIGBT素子11~14のゲート端子に制御電圧が印加され、上アームに属するIGBT素子11~14を同時にオンオフ動作させる。一方、接続端子57から下アームに属するIGBT素子15~18のゲート端子に制御電圧が印加され、下アームに属するIGBT素子15~18を同時にオンオフ動作させる。上アームと下アームのオンオフ動作タイミングを制御して、第2端子領域61、62に所定の電力波形が表れるように運転される。

20

【0036】

本実施の形態による発振対策について具体的に説明する。

先ず、上アームに属するIGBT素子11~14のエミッタ電極間を繋いでいる導体ワイヤ19及び導体ワイヤ21、22を設けない構成(未対策ケース)について検証する。図6は未対策ケースに対応した回路構成図である。当該回路図において各構成要素に対する符号は、図5に示す回路構成に示す符号に対応している。このケース場合、同一導電パターン7に配置された2つのIGBT素子11、12は、導体ワイヤW11、導電パターン37、38のアノード電極、導体ワイヤW12、導電パターン31、導体ワイヤW13、別基板上の導電パターン9、第1端子領域81を経由して互いのエミッタ電極が接続される。したがって、2つのIGBT素子11、12のエミッタ電極間のインダクタンスL1は、エミッタ電極から第1端子領域81までに介在する経路のインダクタンス成分からなる大きなインダクタンス値になると考えられる。もう1つの導電パターン8に配置された2つのIGBT素子13、14についても同様にエミッタ電極間のインダクタンスL2はインダクタンスL1と同様の大きなインダクタンス値になると考えられる。

30

【0037】

図7Aは発振対策を講じていないケースでの動作波形の実測結果を示している。具体的には、図1に示すモジュール構成において導体ワイヤ19、21、22を設けないモデル回路において、電源電圧を100Vに設定した結果を示している。図7Aに示すように、ターンオフ時にIGBT素子11~14のゲート-エミッタ間の電位 V_{GE} 及びコレクタ-エミッタ間の電位 V_{CE} が瞬時的に大きく発振することが確認された。

40

【0038】

ここで、同一導電パターン7(8)上に配置されて並列に接続されるIGBT素子11、12(13、14)のエミッタ電極どうしを導体ワイヤ21(22)で接続する一方で、別の導電パターン7、8上に配置されたIGBT素子12とIGBT素子13のエミッタ電極間は導体ワイヤ19で接続しないケースを検討する。同一導電パターン7(8)上に配置されて並列に接続されるIGBT素子11、12(13、14)のエミッタ電極どうしが導体ワイヤ21(22)で接続されることにより、同一導電パターン7(8)上で

50

並列接続される IGBT 素子 11、12 (13、14) のエミッタ電極間の電位が均一化する。これにより、同一導電パターン 7 (8) 上に配置されて並列に接続される IGBT 素子 11、12 (13、14) に着目すれば、ある程度の発振抑制効果が期待される。

【0039】

一方、上アームにおいて別の導電パターン 7、8 上に配置された IGBT 素子 11、12 と IGBT 素子 13、14 との間も並列に接続される。別の導電パターン 7、8 上に配置された IGBT 素子 11、12 と IGBT 素子 13、14 のエミッタ電極間は、導体ワイヤ 19 が設けられないケースでは、距離の離れた下アームにおける第 2 端子領域 61、62 間を接続する第 2 リードフレーム 92 (図 2 参照) によって電氣的に接続される。このため、別の導電パターン 7、8 上に配置された IGBT 素子 11、12 と IGBT 素子 13、14 のエミッタ電極間は、大きなインダクタンスを介して接続されることになる。

10

【0040】

そこで、本実施の形態は、上アームにおいて、別の導電パターン 7、8 上に配置され短い距離に配置された IGBT 素子 12 と IGBT 素子 13 のエミッタ電極間を導体ワイヤ 19 によって電氣的に接続している。これにより、別の導電パターン 7、8 上に配置された IGBT 素子 12 と IGBT 素子 13 のエミッタ電極間の電位が均一化し発振抑制効果の大幅な改善が期待できる。また、下アームにおいて、別の導電パターン 9、10 上に配置され短い距離に配置された IGBT 素子 16 と IGBT 素子 17 のエミッタ電極間を導体ワイヤ 20 によって電氣的に接続している。下アームにおいて、別の導電パターン 9、10 上に配置される IGBT 素子 15、16 と IGBT 素子 17、18 のエミッタ電極は同一アーム内に配置される第 3 リードフレーム 93 で接続される。このため上アームに比べると別の導電パターン 9、10 上に配置される IGBT 素子 15、16 と IGBT 素子 17、18 のエミッタ電極間のインダクタンスは小さくなる。しかし、IGBT 素子 16 と IGBT 素子 17 のエミッタ電極間を導体ワイヤ 20 によって直接に接続することで、上アームと同様に大きな発振抑制効果が期待できる。

20

【0041】

図 7B は本実施の形態 (図 1) の動作波形の実測結果を示している。発振対策となる導体ワイヤ 19、21、22 以外の要素は、図 7A のモデル回路と同じものを使用している。図 7B に示すように、IGBT 素子 11 ~ 14 のゲート - エミッタ間の電位及びコレクタ - エミッタ間の電位は発振していないことが確認された。

30

【0042】

なお、本発明は上記各実施の形態に限定されず、種々変更して実施することが可能である。上記実施の形態において、添付図面に図示されている大きさや形状、向きなどについては、これに限定されず、本発明の効果を発揮する範囲内で適宜変更することが可能である。その他、本発明の目的の範囲を逸脱しない限りにおいて適宜変更して実施することが可能である。

【0043】

上記実施の形態では、4 つに分割された基板 (絶縁板 3 ~ 6、導電パターン 7 ~ 10) を上下左右に配置しているが、一方向に配置した構造としてもよい。また、同一導電パターン 7 ~ 10 上に配置されるスイッチング素子の数は特に限定されない。また、上記実施の形態では、別の導電パターン 7、8 上に配置され最も短い距離に配置された IGBT 素子 12 と IGBT 素子 13 のエミッタ電極間を導体ワイヤ 19 によって電氣的に接続しているが、これに限定されない。別の導電パターン 7、8 上に配置された IGBT 素子のエミッタ電極が導体ワイヤによって直接に接続されていれば良い。例えば、IGBT 素子 11 と IGBT 素子 13 とのエミッタ電極間を導体ワイヤによって接続してもよいし、IGBT 素子 12 と IGBT 素子 14 とのエミッタ電極間を導体ワイヤによって接続してもよい。下アームにおいても、IGBT 素子 15 と IGBT 素子 17 とのエミッタ電極間を導体ワイヤによって接続してもよいし、IGBT 素子 16 と IGBT 素子 18 とのエミッタ電極間を導体ワイヤによって接続してもよい。

40

【0044】

50

次に、図 8 及び図 9 を参照して、第 2 の実施の形態について説明する。図 8 は、第 2 の実施の形態に係る半導体装置の平面図である。図 9 は、第 2 の実施の形態の変形例に係る半導体装置の平面図である。第 2 の実施の形態では、一部の導電パターンの形状及びレイアウト、スイッチング素子のレイアウト、一部の配線構造が上記の実施の形態と相違する。このため、主に相違点について説明し、共通する構成及び対応する構成については同一の符号を付して説明は適宜省略する。また、図 8 及び図 9 は、上下アーム共に絶縁板が 2 つずつ配置されているが、各絶縁板上の各種構成部材のレイアウトは共通するため、符号及び説明は適宜省略する。

【 0 0 4 5 】

上記した実施の形態では、複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どうしを直接に配線部材（導体ワイヤ 19、20）で接続したり、同一の導電パターン上に配置された複数のスイッチング素子のエミッタ電極どうしを直接に他の配線部材（導体ワイヤ 21～24）で接続することで、インダクタンスを低減してスイッチング動作時の発振現象を抑制することが可能になっている。すなわち、複数のチップが複数段（上記の例では 2 段×2 基板）に並んだレイアウトにおいて、エミッタ電極どうしを直接配線することで発振対策に有効であることを見出している。

【 0 0 4 6 】

ところで、上記した実施の形態では、上アーム側で同一導電パターン 7 上に上下 2 段で配列されたスイッチング素子（IGBT 素子 11、12）から導電パターン 31 に配線部材 W12 でワイヤ配線し、導電パターン 13 から下アームの導電パターン 9 の右端部の上下 2 段に配列された部分に配線部材 W13 でワイヤ配線する必要があった。このため、ワイヤ長が長くなっており、配線抵抗によるオン抵抗の上昇を生じていた。また、P 端子（第 1 端子領域 36）と N 端子（第 3 端子領域 81）との間に導電パターン 31 があるために、P 端子と N 端子の近接距離が限られていた。この結果、インダクタンスの低減を阻害していた。すなわち、インダクタンスの低減には、更なる改善の余地があった。

【 0 0 4 7 】

そこで、本件発明者等は、上記の配線構造に加え、導電パターンのレイアウトに着目し、本発明に想到した。詳細は後述するが、第 2 の実施の形態では、上アーム側の P 配線パターン（コレクタ又はドレイン導電パターンに相当する導電パターン 7）を横向きの T 字形状とし、M 配線パターン（エミッタ又はソース導電パターンに相当する導電パターン 31）を上下 2 段（一对の長尺部 31a）に配置するようにした。

【 0 0 4 8 】

この場合、上下 2 段の M 配線パターンにおいて電流不均一（アンバランス）が生じ、発振現象が起こり易くなるおそれがある。そこで、本件発明者等は更に、上下 2 段の M 配線パターンを後述する第 3 の配線部材（長尺部 31b）で接続する構成とした。これにより、発振現象の抑制を図っている。また、T 字形状の P 配線パターンの一部を囲むように M 配線パターンを U 字形状としたことで、P 端子（第 1 端子領域 36）と N 端子（第 3 端子領域 81）とを近づけて配置することができ、より効果的に発振現象を抑制することが可能になっている。

【 0 0 4 9 】

以下、第 2 の実施の形態に係る半導体装置 1 の具体的なレイアウトについて説明する。図 8 に示すように、半導体装置 1 は、パワーモジュールを収納するパッケージのベース板 2 上に配置される。半導体装置 1 は、平面視縦横 2×2 で 4 つに分割された絶縁板 3～6 と、絶縁板 3～6 の主面に配設された導電パターン 7～10 と、導電パターン 7～10 上に配置されたスイッチング素子となる IGBT 素子 11、13、15、17 と、IGBT 素子 11、13、15、17 と対となって導電パターン 7～10 上に配置された還流ダイオード 37、40、76、78 とを備える。

【 0 0 5 0 】

図 8 の紙面右側に位置する絶縁板 3、4 側が上アームを構成し、図 8 の紙面左側に位置

10

20

30

40

50

する絶縁板 5、6 側が下アームを構成する。すなわち、上アームと下アームとは、図 8 の紙面左右方向に並んで配置されている。また、上アームを構成する絶縁板 3、4 は、上下アームの並び方向（左右方向）に対して直交する方向（図 8 の上下方向）に並んで配置されている。同様に、下アームを構成する絶縁板 5、6 は、上下アームの並び方向に対して直交する方向に並んで配置されている。

【0051】

なお、IGBT 素子及び還流ダイオードは、各絶縁板にそれぞれ 3 つずつ配置されており、説明の便宜上、絶縁板毎に同じ符号で示している。また、各絶縁板において、IGBT 素子と対の還流ダイオードは、上下アームの並び方向（左右方向）に沿って並んで配置されている。更に複数（3 つ）の IGBT 素子は絶縁板 7、8 の並び方向（上下方向）に沿って並んで配置されている。同様に複数（3 つ）の還流ダイオードも絶縁板 7、8 の並び方向（上下方向）に沿って並んで配置されている。下アームにおいても同様のレイアウトとなっているため、説明は省略する。

10

【0052】

絶縁板 3 の主面には、導電パターン 7（第 1 の導電パターン）を含む複数の導電パターン（7、31、33）が島状（電氣的に互いに絶縁された状態）に配設されている。導電パターン 7 は、絶縁板 3 主面の中央部の主要領域に配設されている。導電パターン 7 は、平面視 T 字形状を有し、図 8 に示すように T 字を横に傾けて配置されている。具体的に導電パターン 7 は、図 8 の上下方向に延びる長尺部 7a（第 1 長尺部）と、長尺部 7a の上下方向略中央から左方に向かって延びる長尺部 7b（第 2 長尺部）と、を連結して構成される。上記した複数の IGBT 素子 11 及び複数の還流ダイオード 37 は、長尺部 7a 上に配置されている。また、長尺部 7b 上には、パワーモジュールの高電位側の入力端子（P）に接続される第 1 端子領域 36 が設けられている。なお、第 1 端子領域 36 は、単に P 端子と呼ばれてもよい。

20

【0053】

導電パターン 31（第 2 の導電パターン）は、導電パターン 7 の一部を囲むように形成されている。導電パターン 31 は、導電パターン 7 の左端側を囲むように平面視 U 字形状を有し、その開放端が導電パターン 7 側に向けられている。具体的に導電パターン 31 は、長尺部 7b を上下で挟むように配置される一対の長尺部 31a（第 3 長尺部）と、長尺部 7b の左端側で一対の長尺部 31a の一端部どうしを連結する長尺部 31b（第 4 長尺部）と、によって構成される。長尺部 31a は、左右方向に延びており、長尺部 31b は、上下方向に延びている。長尺部 31b の左右方向の幅は、長尺部 31a の上下方向の幅に比べて十分に小さく設定されている。長尺部 31b は、第 3 の配線部材を構成する。なお、図 8 では、第 3 の配線部材を導電パターンで形成する構成としたが、この構成に限定されない。第 3 の配線部材は、導体ワイヤや金属配線板（リードフレーム）で構成されてもよい。また、一対の長尺部 31a に対する第 3 の配線部材の接続箇所も適宜変更が可能である。第 3 の配線部材は、例えば、長尺部 7b の上方を跨ぐような門型またはアーチ状の金属配線板又は導体ワイヤによって形成されてもよい。導電パターン 33 は、長尺部 7a の右方において、当該長尺部 7a に沿って上下に延びる長尺体で構成される。また、導電パターン 31 は、中間電位に接続される第 2 の導電パターンを構成する。

30

40

【0054】

絶縁板 3 の下側に隣接して配置された絶縁板 4 の主面には、導電パターン 8（第 1 の導電パターン）を含む複数の導電パターン（8、31、33）が島状（電氣的に互いに絶縁された状態）に配設されている。導電パターン 8 は、絶縁板 4 主面の中央部の主要領域に配設されている。導電パターン 8 は、平面視 T 字形状を有し、図 8 に示すように T 字を横に傾けて配置されている。具体的に導電パターン 8 は、図 8 の上下方向に延びる長尺部 8a（第 1 長尺部）と、長尺部 8a の上下方向略中央から左方に向かって延びる長尺部 8b（第 2 長尺部）と、を連結して構成される。上記した複数の IGBT 素子 13 及び複数の還流ダイオード 40 は、長尺部 8a 上に配置されている。また、長尺部 8b 上には、パワーモジュールの高電位側の入力端子（P）に接続される第 1 端子領域 39 が設けられてい

50

る。なお、第1端子領域39は、単にP端子と呼ばれてもよい。

【0055】

絶縁板4上の導電パターン31(第2の導電パターン)は、導電パターン8の一部を囲むように形成されている。導電パターン31は、導電パターン8の左端側を囲むように平面視U字形状を有し、その開放端が導電パターン8側に向けられている。具体的に導電パターン31は、長尺部8bを上下で挟むように配置される一対の長尺部31a(第3長尺部)と、長尺部8bの左端側で一対の長尺部31aの一端部どうしを連結する長尺部31b(第4長尺部)と、によって構成される。上記したように、長尺部31bは、第3の配線部材を構成する。

【0056】

絶縁板3の左側に隣接して配置された絶縁板5の主面には、導電パターン9(第3の導電パターン)を含む複数の導電パターン(9、71、73)が島状(電氣的に互いに絶縁された状態)に配設されている。導電パターン9は、絶縁板5主面の中央部の主要領域に配設されている。導電パターン9は、右端側が開放された平面視U字形状を有している。具体的に導電パターン9は、絶縁板5の中央領域に位置する主部9aと、主部9aの上下端部から絶縁板5の右端部へ向かって右方に延びる一対の長尺部9b(第5長尺部)と、を連結して構成される。主部9aの中央には、上記した複数のIGBT素子15及び複数の還流ダイオード76が配置されている。IGBT素子15が左側に配置され、還流ダイオード76が右側に配置されている。主部9aの左側は、左方に向かつて段状に突出している。突出した主部9aの上面には、パワーモジュールの中間電位の出力端子(O)に接続される第2端子領域61が設けられている。第2端子領域61は、IGBT素子15の左方に配置されている。なお、第2端子領域61は、単に中間電位に接続される中間端子(M端子)と呼ばれてもよい。

【0057】

導電パターン71(第4の導電パターン)は、長尺部31bを挟んで導電パターン7の反対側に対向する位置に設けられている。導電パターン71は、平面視横向き(T字形状)を有している。導電パターン71は、主部9aの右方に配置され、上下方向で一対の長尺部9bによって挟まれている。導電パターン71上には、パワーモジュールの低電位側の入力端子(N)に接続される第3端子領域81が設けられている。第3端子領域81は、第1端子領域36に対向配置されている。なお、第3端子領域81は、単にN端子と呼ばれてもよい。主部9aの左方には、当該主部9aに沿って上下に延びる導電パターン73が配置されている。

【0058】

絶縁板5の下側に隣接して且つ絶縁板4の左側に隣接して配置された絶縁板6の主面には、導電パターン10(第3の導電パターン)を含む複数の導電パターン(10、71、73)が島状(電氣的に互いに絶縁された状態)に配設されている。導電パターン10は、絶縁板6主面の中央部の主要領域に配設されている。導電パターン10は、右端側が開放された平面視U字形状を有している。具体的に導電パターン10は、絶縁板6の中央領域に位置する主部10aと、主部10aの上下端部から絶縁板6の右端部へ向かって右方に延びる一対の長尺部10b(第5長尺部)と、を連結して構成される。主部10aの中央には、上記した複数のIGBT素子17及び複数の還流ダイオード78が配置されている。IGBT素子17が左側に配置され、還流ダイオード78が右側に配置されている。主部10aの左側は、左方に向かつて段状に突出している。突出した主部10aの上面には、パワーモジュールの中間電位の出力端子(O)に接続される第2端子領域62が設けられている。第2端子領域62は、IGBT素子17の左方に配置されている。なお、第2端子領域62は、単に中間電位に接続される中間端子(M端子)と呼ばれてもよい。

【0059】

絶縁板6上の導電パターン71(第4の導電パターン)は、絶縁板4の長尺部31bを挟んで導電パターン8の反対側に対向する位置に設けられている。導電パターン71は、平面視横向き(T字形状)を有している。導電パターン71は、主部10aの右方に配置さ

10

20

30

40

50

れ、上下方向で一对の長尺部 10 b によって挟まれている。導電パターン 7 1 上には、パワーモジュールの低電位側の入力端子 (N) に接続される第 3 端子領域 8 2 が設けられている。第 3 端子領域 8 2 は、第 1 端子領域 3 9 に対向配置されている。なお、第 3 端子領域 8 2 は、単に N 端子と呼ばれてもよい。主部 10 a の左方には、当該主部 10 a に沿って上下に延びる導電パターン 7 3 が配置されている。

【0060】

上アームでは、絶縁板 3 において、対になって配置された IGBT 素子 1 1 及び還流ダイオード 3 7 は、導体ワイヤ W 1 1 (第 1 の主電流配線部材) によって電氣的に接続されている。また、各還流ダイオード 3 7 は、導体ワイヤ W 1 2 (第 1 の主電流配線部材) を介して導電パターン 3 1 に接続される。具体的に各導体ワイヤ W 1 2 は、長尺部 3 1 a の右端部 (他端部) に接続される。絶縁板 4 においても同様に、対になって配置された IGBT 素子 1 3 及び還流ダイオード 3 9 は、導体ワイヤ W 1 1 によって電氣的に接続されている。また、各還流ダイオード 3 9 は、導体ワイヤ W 1 2 を介して導電パターン 3 1 に接続される。具体的に各導体ワイヤ W 1 2 は、長尺部 3 1 a の右端部に接続される。

10

【0061】

下アームでは、絶縁板 5 において、対になって配置された IGBT 素子 1 5 及び還流ダイオード 7 6 は、導体ワイヤ W 2 1 (第 1 の主電流配線部材) によって電氣的に接続されている。また、各還流ダイオード 7 6 は、導体ワイヤ W 2 2 (第 1 の主電流配線部材) を介して導電パターン 7 1 の左端部に接続される。絶縁板 6 においても同様に、対になって配置された IGBT 素子 1 7 及び還流ダイオード 7 8 は、導体ワイヤ W 2 1 によって電氣的に接続されている。また、各還流ダイオード 7 8 は、導体ワイヤ W 2 2 を介して導電パターン 7 1 の左端部に接続される。

20

【0062】

また、第 2 の実施の形態では、上アームに属する複数のスイッチング素子 1 1、1 3 のうち、異なる導電パターン 7、8 に配置された IGBT 素子 1 1、1 3 のエミッタ電極どうしが配線部材としての導体ワイヤ 1 9 (第 1 の配線部材) によって直接接続されている。また、下アームに属する複数の IGBT 素子 1 5、1 7 のうち、異なる導電パターン 9、1 0 に配置された IGBT 素子 1 5、1 7 のエミッタ電極どうしが配線部材としての導体ワイヤ 2 0 (第 1 の配線部材) によって直接接続されている。また、上記したように同一導電パターン (7 ~ 1 0) に配置された IGBT 素子 (1 1)、(1 3)、(1 5)、(1 7) のエミッタ電極どうしが他の配線部材としての導体ワイヤ 2 1 ~ 2 4 (第 2 の配線部材) によってそれぞれ直接接続されている。なお、上記したように、配線部材である導体ワイヤ 1 9、2 0 は第 1 の配線部材を構成し、他の配線部材である導体ワイヤ 2 1 ~ 2 4 は第 2 の配線部材を構成する。

30

【0063】

更に、上アームを構成する絶縁板 3 上の導電パターン 3 1 は、下アームを構成する絶縁板 5 上の導電パターン 9 に導体ワイヤ W 1 3 (第 2 の主電流配線部材) を介して接続される。具体的に導体ワイヤ W 1 3 は、一端が長尺部 3 1 a の基端部 (長尺部 3 1 a と長尺部 3 1 b との接続部分) に接続され、他端が長尺部 9 b の右端部に接続されている。同様に、上アームを構成する絶縁板 4 上の導電パターン 3 1 は、下アームを構成する絶縁板 6 上の導電パターン 1 0 に導体ワイヤ W 1 3 を介して接続される。具体的に導体ワイヤ W 1 3 は、一端が長尺部 3 1 a の基端部 (長尺部 3 1 a と長尺部 3 1 b との接続部分) に接続され、他端が長尺部 1 0 b の右端部に接続されている。

40

【0064】

図 9 に示す変形例では、スイッチング素子のエミッタ電極どうしを配線部材で接続する代わりに、上アームにおいて、異なる基板 3、4 上に配置された第 2 の導電パターン 3 1 どうしを第 4 の配線部材 (導体ワイヤ 2 5) で接続している点で図 8 の構成と相違する。上記したように、第 2 の導電パターンを平面視 U 字形状としたことで、隣接する異なる基板 3、4 上に配置された第 2 の導電パターン 3 1 どうしを最短距離で結ぶことが可能である。なお、図 8 の特徴と図 9 の特徴は組み合わせで構成されてもよい。すなわち、図 8 に

50

において、異なる基板 3、4 上に配置された第 2 の導電パターン 31 どちらを第 4 の配線部材（導体ワイヤ 25）で接続してもよい。

【0065】

このように、第 2 の実施の形態においても、複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どちらを直接に配線部材（導体ワイヤ 19、20）で接続したり、同一の導電パターン上に配置された複数のスイッチング素子のエミッタ電極どちらを直接に他の配線部材（導体ワイヤ 21～24）で接続することで、インダクタンスを低減してスイッチング動作時の発振現象を抑制することが可能になっている。

【0066】

第 2 の実施の形態では、上アームにおいて、第 1 の導電パターン（導電パターン 7、8）を平面視 T 形状にし、第 1 の導電パターンの一部（長尺部 7b、8b）を一对の長尺部 31a で挟むように配置している。更に、一对の長尺部 31a どちらを第 3 の配線部材である長尺部 31b で接続している。これにより、発振現象の抑制効果をより高めることが可能である。また、T 形状の第 1 導電パターンの根端部分を囲むように第 2 の導電パターン（導電パターン 31）を平面視 U 形状とし、第 2 の導電パターンが第 1 の導電パターンを囲うことで、第 1 の導電パターン上のスイッチング素子（長尺部 7a 上の還流ダイオード 37 及び長尺部 8a 上の還流ダイオード 40）と第 2 の導電パターン（長尺部 31a）とを第 1 の配線部材（導体ワイヤ W12）によって最短距離で接続することが可能である。これにより、導体ワイヤ W12 の電圧降下が小さくなり、オン抵抗を低減することが可能である。また、一对の長尺部 31a 同士を長尺部 31b とは別の第 2 の配線部材（導電パターン 31c）で接続したことで、一对の長尺部 31a をより短い導通経路で結ぶことが可能である。

【0067】

また、下アームにおいて、第 4 の導電パターン（導電パターン 71）を囲むように第 3 の導電パターン（導電パターン 9、10）を平面視 U 形状としたことで、第 3 の導電パターンの一部を上アーム側に近づけると共に、第 4 の導電パターンを上アーム側に近づけて配置することが可能である。また、第 3 の導電パターンの一部（長尺部 9b、10b）の先端が、第 2 の導電パターン（長尺部 31a）の基端に対向配置されることで、長尺部 9b、10b と長尺部 31a とを第 3 の配線部材（導体ワイヤ W13）によって最短距離で接続することが可能である。更に、長尺部 7b（8b）と第 4 の導電パターンとが対向配置されることで、第 1 端子領域 36（39）と第 3 端子領域 81（82）とが対向配置されることになる。この結果、P 端子と N 端子とをより近づけて配置することができ、インダクタンスを更に低減してサージ電圧の発生を抑制でき、発振抑制効果を更に高めることが可能である。以上のように、第 2 の実施の形態によれば、上下アームの大電流に対応したパワーモジュールを低オン抵抗で実現できると共に、スイッチング素子間の発振を抑制することが可能である。

【0068】

下記に、上記の実施の形態における特徴点を整理する。

上記実施の形態に記載の半導体装置は、主面を有する基板と、前記主面の上に配設された複数の導電パターンと、前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、前記複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どちらを直接に接続する 1 つ又は複数の配線部材と、を備える。この構成により、異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どちらを直接に接続されるので、並列に接続される IGBT 素子のゲート - エミッタ間の電位及びコレクタ - エミッタ間の電位が発振する現象を防止できる。

【0069】

上記半導体装置において、前記配線部材によってエミッタ電極どちらが直接に接続された 2 つのスイッチング素子は、一方の前記導電パターン上に配置された複数のスイッチン

10

20

30

40

50

グ素子と他方の前記導電パターン上に配置された複数のスイッチング素子との間で、最も距離が短い2つのスイッチング素子である。この構成により、最も距離が短い2つのスイッチング素子のエミッタ電極間が直接に接続されるので、配線部材に含まれるインダクタンス成分を最小化でき、発振抑制効果を改善できる。

【0070】

上記半導体装置において、同一導電パターン上に配置された複数のスイッチング素子のエミッタ電極どうしを直接に接続する他の配線部材を有する。この構成により、同一導電パターン上に配置された複数のスイッチング素子及び異なる導電パターン上に配置された複数のスイッチング素子のエミッタ電極間が他の配線部材で接続されることから、発振抑制効果をさらに改善できる。

10

【0071】

上記半導体装置において、前記複数のスイッチング素子がコレクタ電極を接続するように配置される前記各導電パターンに設けられた複数の第1端子領域に接続された複数の第1脚部と、外部と接続する第1接続部と、前記各第1脚部と前記第1接続部との間を接続する第1配線部と、を有する第1リードフレームと、前記複数の導電パターンに対応して前記主面に上に配設され、それぞれ対応する前記導電パターン上に配置された前記スイッチング素子のエミッタ電極が接続された複数の他の導電パターンと、前記各他の導電パターンに設けられた複数の第2端子領域に接続された複数の第2脚部、外部と接続する第2接続部及び前記各第2脚部と前記第2接続部との間を接続する第2配線部を有する第2リードフレームとを備える。

20

【0072】

上記半導体装置において、前記複数のスイッチング素子の配列方向と前記複数の第2端子領域の配列方向とが同一方向であるように構成される。上記半導体装置において、前記複数のスイッチング素子の配列方向と前記配線部材の配線方向とが同一方向となるように構成される。また、上記半導体装置において、前記配線部材の配線方向と前記他の配線部材の配線方向とが同一方向となるように構成される。また、上記半導体装置において、前記複数のスイッチング素子の配列方向、前記配線部材の配線方向、前記第1端子領域の配列方向、及び前記第2端子領域の配列方向が同一方向であるように構成してもよい。また、上記半導体装置において、前記複数のスイッチング素子の配列から近い順に、前記配線部材の配線、前記第1端子領域の配列、前記第2端子領域の配列が配置されてもよい。

30

【0073】

上記半導体装置において、前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によってアームが構成され、同一アームにおいて異なる導電パターン上に配置されたスイッチング素子のエミッタ電極どうしが前記配線部材によって接続される。

【0074】

上記半導体装置において、前記配線部材は、第1の配線部材又は第2の配線部材を構成し、前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によって上アーム及び下アームが構成され、前記基板は、前記スイッチング素子が配置された前記導電パターン毎に複数設けられ、前記上アームに属する前記基板は、前記スイッチング素子が配置され、高電位側の入力端子に接続される第1の導電パターンと、中間電位に接続され、前記第1の導電パターンを囲むように形成される第2の導電パターンと、を有し、前記第1の導電パターンは、平面視T字形状を有し、前記スイッチング素子の並び方向に延びる第1長尺部と、前記第1長尺部の延在方向中間部分から前記スイッチング素子の並び方向に直交する方向に延びる第2長尺部と、を有し、前記第2の導電パターンは、前記第2長尺部に沿って延び、当該第2長尺部を挟むように設けられる一対の第3長尺部を有し、前記一対の第3長尺部どうしが第3の配線部材によって接続される。

40

【0075】

上記半導体装置において、前記第2の導電パターンは、前記一対の第3長尺部の一端部どうしを連結する第4長尺部を更に有し、前記第3長尺部と前記第4長尺部によって前記

50

第2長尺部を囲むように平面視U字形状に形成され、前記第4長尺部が前記第3の配線部材を構成する。

【0076】

上記半導体装置において、前記スイッチング素子は、前記第1長尺部上に配置され、前記第1長尺部上に配置された前記スイッチング素子と前記第3長尺部の他端部とが、第1の主電流配線部材によって接続される。

【0077】

上記半導体装置において、前記下アームに属する前記基板は、前記スイッチング素子が配置され、中間電位の出力端子に接続される第3の導電パターンと、低電位側の入力端子に接続される第4の導電パターンと、を有し、前記第3の導電パターンは、前記第4の導電パターンを囲むように平面視U字形状を有し、前記スイッチング素子が配置される主部と、前記主部から前記上アーム側に向かって延び、前記第4の導電パターンを挟むように設けられる一対の第5長尺部と、を有する。

10

【0078】

上記半導体装置において、前記第5長尺部の先端は前記第3長尺部の基端に対向配置され、前記第5長尺部の先端と前記第3長尺部の基端とが第2の主電流配線部材によって接続される。

【0079】

上記半導体装置において、前記第2長尺部には、前記高電位側の入力端子に接続される第1端子領域が設けられ、前記第4の導電パターンには、前記低電位側の入力端子に接続される第3端子領域が設けられ、前記第1端子領域と前記第3端子領域とは、対向配置される。

20

【0080】

上記半導体装置では、前記上アームにおいて、異なる前記基板上に配置された前記第2の導電パターンどうしが第4の配線部材によって接続される。

【0081】

上記実施の形態に記載の他の半導体装置は、主面を有する基板と、前記主面の上に配設された複数の導電パターンと、前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、を備え、前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によって上アーム及び下アームが構成され、前記基板は、前記スイッチング素子が配置された前記導電パターン毎に複数設けられ、前記上アームに属する前記基板は、前記スイッチング素子が配置され、高電位側の入力端子に接続される第1の導電パターンと、中間電位に接続され、前記第1の導電パターンを囲むように形成される第2の導電パターンと、を有し、前記第1の導電パターンは、平面視T字形状を有し、前記スイッチング素子の並び方向に延びる第1長尺部と、前記第1長尺部の延在方向中間部分から前記スイッチング素子の並び方向に直交する方向に延びる第2長尺部と、を有し、前記第2の導電パターンは、前記第2長尺部に沿って延び、当該第2長尺部を挟むように設けられる一対の第3長尺部を有し、前記一対の第3長尺部どうしが第3の配線部材によって接続され、前記上アームにおいて、異なる前記基板上に配置された前記第2の導電パターンの前記第3長尺部どうしが第4の配線部材によって接続される。

30

40

【0082】

上記他の半導体装置において、前記第2の導電パターンは、前記一対の第3長尺部の一端部どうしを連結する第4長尺部を更に有し、前記第3長尺部と前記第4長尺部によって前記第2長尺部を囲むように平面視U字形状に形成され、前記第4長尺部が前記第3の配線部材を構成する。

【産業上の利用可能性】

【0083】

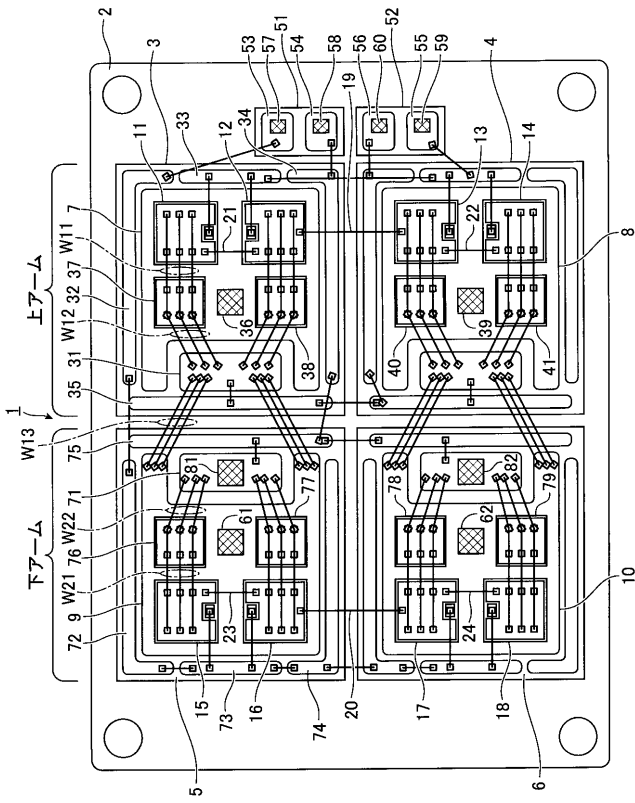
本発明の半導体装置は、複数のスイッチング素子が並列接続されるパワーモジュールに好適である。

【0084】

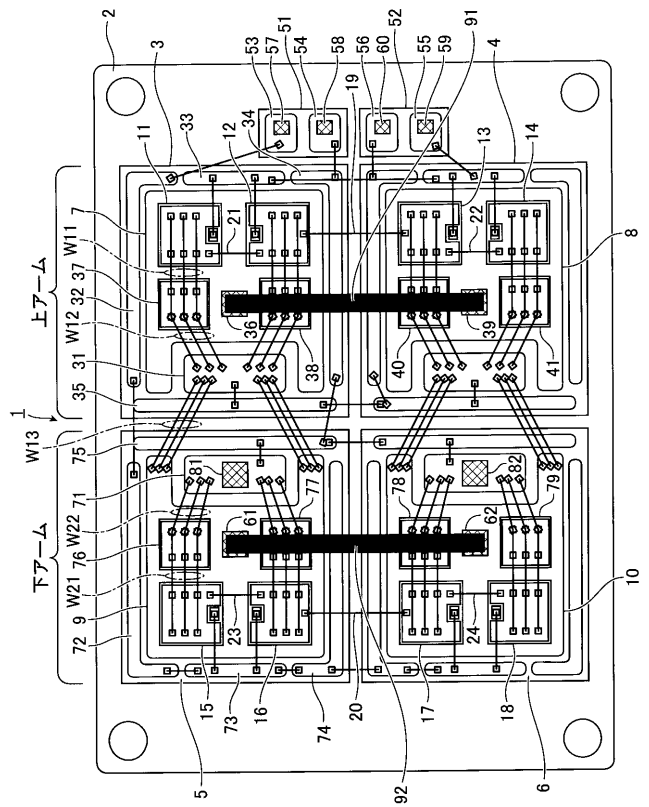
50

本出願は、2018年9月14日出願の特願2018-172440に基づく。この内容は、すべてここに含めておく。

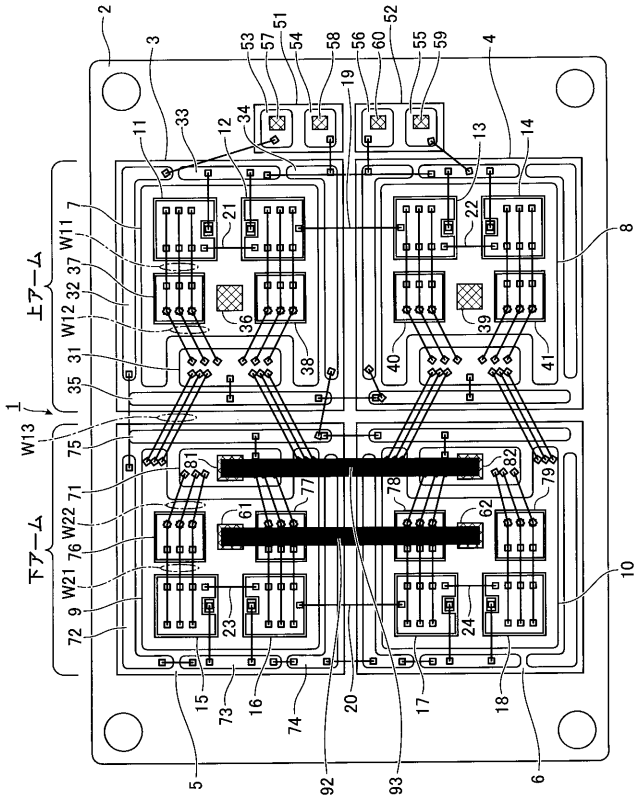
【図1】



【図2】



【 図 3 】



【 図 4 】

図4A

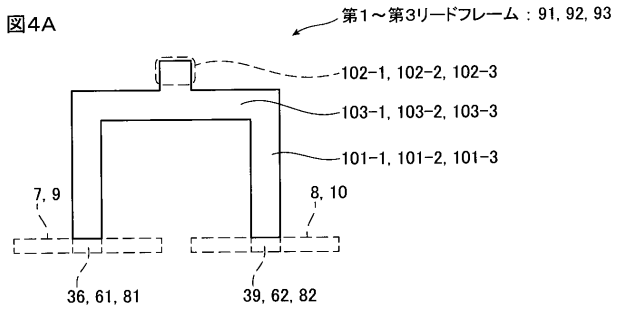


図4B

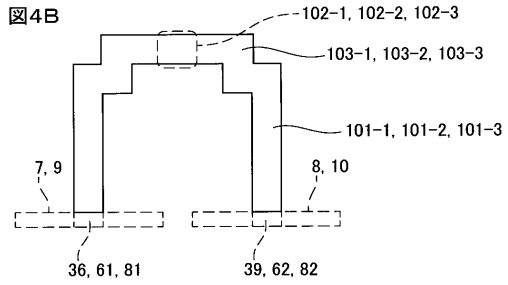
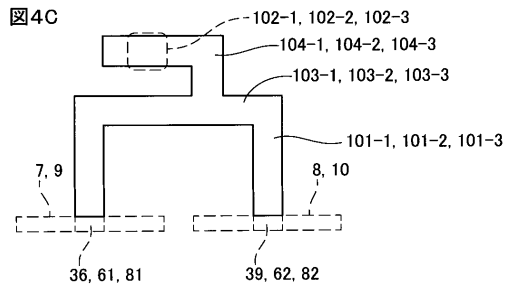
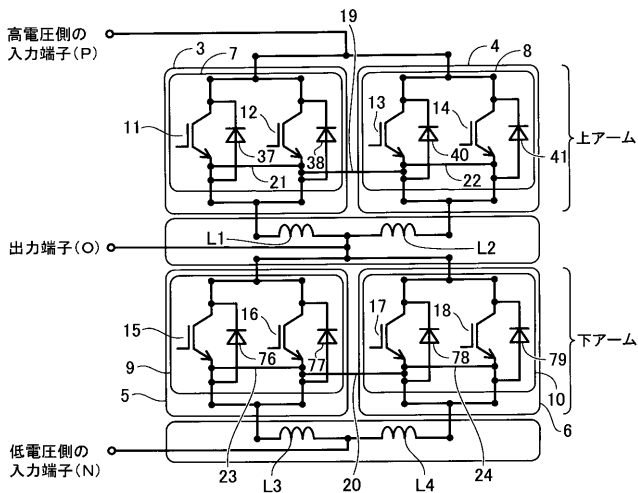


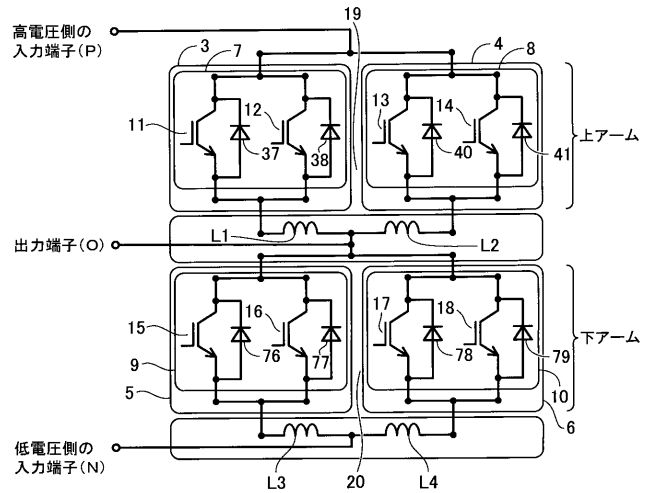
図4C



【 図 5 】



【 図 6 】



【 図 7 】

図7A

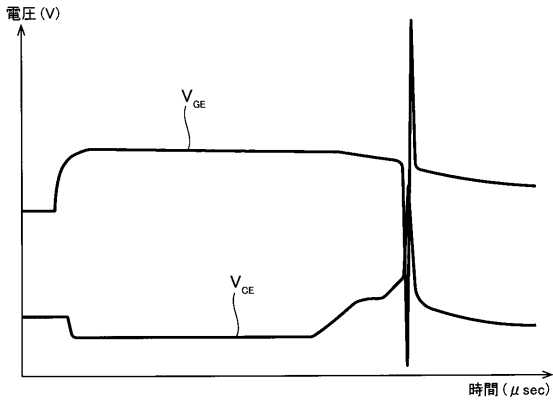
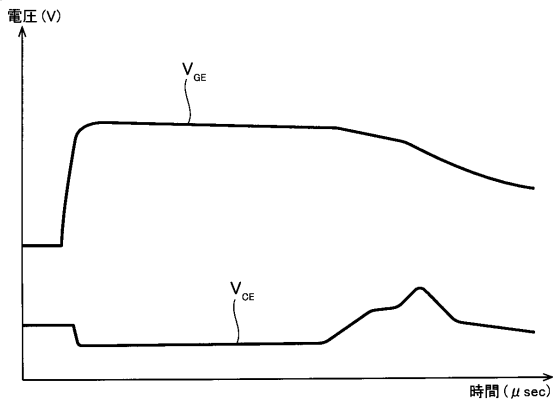
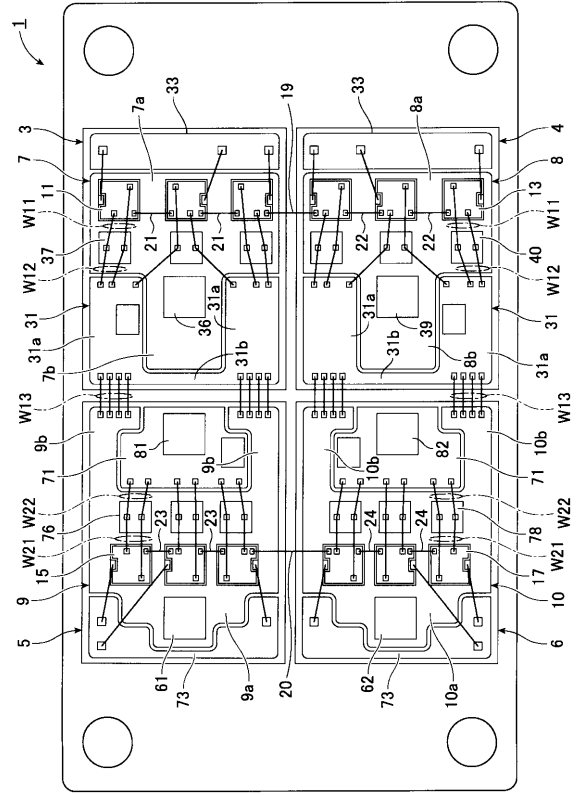


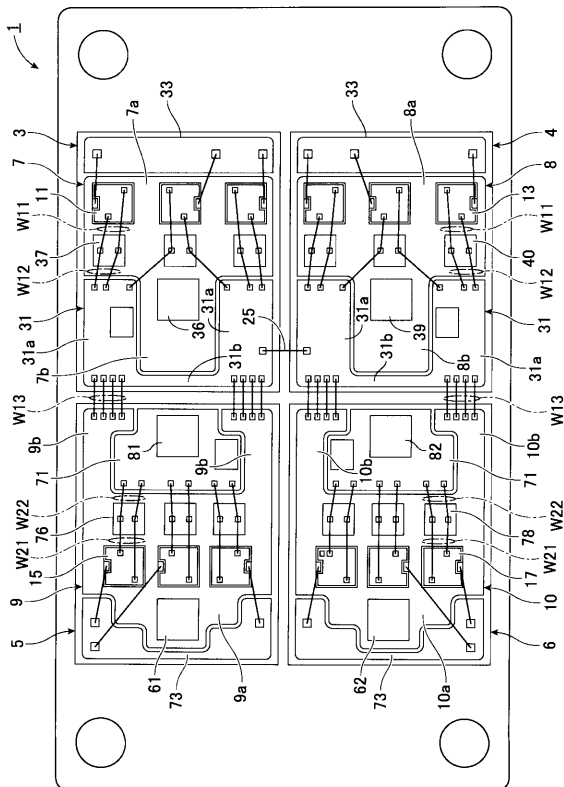
図7B



【 図 8 】



【 図 9 】



【手続補正書】

【提出日】令和2年1月24日(2020.1.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主面を有する基板と、
前記主面の上に配設された複数の導電パターンと、
前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、
前記複数のスイッチング素子のうち異なる導電パターン上に配置され並列に接続されたスイッチング素子のエミッタ電極どうしを直接に接続する1つ又は複数の第1の配線部材と、
を備える半導体装置。

【請求項2】

前記第1の配線部材によってエミッタ電極どうしが直接に接続された2つのスイッチング素子は、一方の前記導電パターン上に配置された複数のスイッチング素子と他方の前記導電パターン上に配置された複数のスイッチング素子との間で、最も距離が短い2つのスイッチング素子である請求項1記載の半導体装置。

【請求項3】

同一導電パターン上に配置された複数のスイッチング素子のエミッタ電極どうしを直接に接続する第2の配線部材を有する請求項1又は請求項2記載の半導体装置。

【請求項4】

前記複数のスイッチング素子がコレクタ電極を接続するように配置される前記各導電パターンに設けられた複数の第1端子領域に接続された複数の第1脚部と、外部と接続する第1接続部と、前記各第1脚部と前記第1接続部との間を接続する第1配線部と、を有する第1リードフレームと、

前記複数の導電パターンに対応して前記主面に上に配設され、それぞれ対応する前記導電パターン上に配置された前記スイッチング素子のエミッタ電極が接続された複数の他の導電パターンと、

前記各他の導電パターンに設けられた複数の第2端子領域に接続された複数の第2脚部と、外部と接続する第2接続部と、前記各第2脚部と前記第2接続部との間を接続する第2配線部と、を有する第2リードフレームと、

を備えた請求項1から請求項3のいずれかに記載の半導体装置。

【請求項5】

(削除)

【請求項6】

前記複数のスイッチング素子の配列方向と前記第1の配線部材の配線方向とが同一方向である請求項1から請求項4のいずれかに記載の半導体装置。

【請求項7】

前記第1の配線部材の配線方向と前記第2の配線部材の配線方向とが同一方向である請求項1から請求項6のいずれかに記載の半導体装置。

【請求項8】

前記複数のスイッチング素子の配列方向、前記第1の配線部材の配線方向、前記第2の配線部材の配線方向、前記第1端子領域の配列方向、及び前記第2端子領域の配列方向が同一方向である請求項4から請求項7のいずれかに記載の半導体装置。

【請求項9】

前記複数のスイッチング素子のエミッタ電極と、前記複数のスイッチング素子と異なる前記導電パターンである出力パターンとを電氣的に接続する第1の主電流配線部材を、さらに備え、

前記第1の配線部材は、前記スイッチング素子の幅方向中央から前記出力パターンに近い側に接続されている請求項1に記載の半導体装置。

【請求項10】

(削除)

【請求項11】

前記複数のスイッチング素子と同一の前記導電パターン上の端子領域に配置された入力端子又は出力端子をさらに備え、

前記第1の配線部材は、前記スイッチング素子の幅方向中央から前記端子領域に近い側に接続されている請求項9に記載の半導体装置。

【請求項12】

(削除)

【請求項13】

前記複数のスイッチング素子のエミッタ電極と、前記複数のスイッチング素子と異なる前記導電パターンである出力パターンとを電氣的に接続する第1の主電流配線部材を、さらに備え、

前記第2の配線部材は、前記スイッチング素子の前記出力パターンに近い側に接続されている請求項3に記載の半導体装置。

【請求項14】

前記複数のスイッチング素子と同一の前記導電パターン上の端子領域に配置された入力端子又は出力端子をさらに備え、

前記第2の配線部材は、前記スイッチング素子の前記端子領域に近い側に接続されている請求項13に記載の半導体装置。

【請求項15】

前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によって上アーム及び下アームが構成され、

前記基板は、前記スイッチング素子が配置された前記導電パターン毎に複数設けられ、前記上アームに属する前記基板は、

前記スイッチング素子が配置され、高電位側の入力端子に接続される第1の導電パターンと、

中間電位に接続され、前記第1の導電パターンを囲むように形成される第2の導電パターンと、を有し、

前記第1の導電パターンは、平面視T字形状を有し、

前記スイッチング素子の並び方向に延びる第1長尺部と、

前記第1長尺部の延在方向中間部分から前記スイッチング素子の並び方向に直交する方向に延びる第2長尺部と、を有し、

前記第2の導電パターンは、

前記第2長尺部に沿って延び、当該第2長尺部を挟むように設けられる一对の第3長尺部を有し、

前記一对の第3長尺部どうしが第3の配線部材によって接続される請求項1から請求項3のいずれかに記載の半導体装置。

【請求項16】

前記第2の導電パターンは、前記一对の第3長尺部の一端部どうしを連結する第4長尺部を更に有し、前記第3長尺部と前記第4長尺部によって前記第2長尺部を囲むように平面視U字形状に形成され、

前記第4長尺部が前記第3の配線部材を構成する請求項15に記載の半導体装置。

【請求項17】

前記スイッチング素子は、前記第1長尺部上に配置され、

前記第 1 長尺部上に配置された前記スイッチング素子と前記第 3 長尺部の他端部とが、第 1 の主電流配線部材によって接続される請求項 16 に記載の半導体装置。

【請求項 18】

前記下アームに属する前記基板は、
前記スイッチング素子が配置され、中間電位の出力端子に接続される第 3 の導電パターンと、
低電位側の入力端子に接続される第 4 の導電パターンと、を有し、
前記第 3 の導電パターンは、前記第 4 の導電パターンを囲むように平面視 U 字形状を有し、
前記スイッチング素子が配置される主部と、
前記主部から前記上アーム側に向かって伸び、前記第 4 の導電パターンを挟むように設けられる一対の第 5 長尺部と、を有する請求項 15 から請求項 17 のいずれかに記載の半導体装置。

【請求項 19】

前記第 5 長尺部の先端は前記第 3 長尺部の基端に対向配置され、
前記第 5 長尺部の先端と前記第 3 長尺部の基端とが第 2 の主電流配線部材によって接続される請求項 18 に記載の半導体装置。

【請求項 20】

前記第 2 長尺部には、前記高電位側の入力端子に接続される第 1 端子領域が設けられ、
前記第 4 の導電パターンには、前記低電位側の入力端子に接続される第 3 端子領域が設けられ、
前記第 1 端子領域と前記第 3 端子領域とは、対向配置される請求項 18 又は請求項 19 に記載の半導体装置。

【請求項 21】

前記上アームにおいて、異なる前記基板上に配置された前記第 2 の導電パターンどうしが第 4 の配線部材によって接続される請求項 15 から請求項 20 のいずれかに記載の半導体装置。

【請求項 22】

主面を有する基板と、
前記主面の上に配設された複数の導電パターンと、
前記複数の導電パターン上にコレクタ電極が接続するように配置された複数のスイッチング素子と、を備え、
前記複数のスイッチング素子のうち同時にオンオフ動作するスイッチング素子によって上アーム及び下アームが構成され、
前記基板は、前記スイッチング素子が配置された前記導電パターン毎に複数設けられ、
前記上アームに属する前記基板は、
前記スイッチング素子が配置され、高電位側の入力端子に接続される第 1 の導電パターンと、
中間電位に接続され、前記第 1 の導電パターンを囲むように形成される第 2 の導電パターンと、を有し、
前記第 1 の導電パターンは、平面視 T 字形状を有し、
前記スイッチング素子の並び方向に伸びる第 1 長尺部と、
前記第 1 長尺部の延在方向中間部分から前記スイッチング素子の並び方向に直交する方向に伸びる第 2 長尺部と、を有し、
前記第 2 の導電パターンは、
前記第 2 長尺部に沿って伸び、当該第 2 長尺部を挟むように設けられる一対の第 3 長尺部を有し、
前記一対の第 3 長尺部どうしが第 3 の配線部材によって接続され、
前記上アームにおいて、異なる前記基板上に配置された前記第 2 の導電パターンの前記第 3 長尺部どうしが第 4 の配線部材によって接続される半導体装置。

【請求項 2 3】

前記第 2 の導電パターンは、前記一対の第 3 長尺部の一端部どうしを連結する第 4 長尺部を更に有し、前記第 3 長尺部と前記第 4 長尺部によって前記第 2 長尺部を囲むように平面視 U 字形状に形成され、

前記第 4 長尺部が前記第 3 の配線部材を構成する請求項 2 2 に記載の半導体装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2019/035919
A. CLASSIFICATION OF SUBJECT MATTER		
Int.Cl. H01L25/07(2006.01)i, H01L23/48(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L25/07, H01L23/48, H01L25/18, H02M7/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan		1922-1996
Published unexamined utility model applications of Japan		1971-2019
Registered utility model specifications of Japan		1996-2019
Published registered utility model applications of Japan		1994-2019
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-12560 A (HITACHI, LTD.) 17 January 2013, paragraphs [0018]-[0027], fig. 1-2 & US 2013/0001805 A1, paragraphs [0026]-[0035], fig. 1-2 & EP 2541596 A1 & CN 102856308 A	1, 10 2-9 11-19
Y A	WO 2015/121899 A1 (MITSUBISHI ELECTRIC CORP.) 20 August 2015, paragraphs [0013]-[0023], fig. 1-5 & US 2016/0351505 A1, paragraphs [0032]-[0042], fig. 1-5 & CN 105981274 A	2-9 11-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 November 2019 (14.11.2019)		Date of mailing of the international search report 26 November 2019 (26.11.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/035919

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-153079 A (MITSUBISHI ELECTRIC CORP.) 24 May 2002, paragraphs [0136]-[0137], fig. 24 & US 2002/0024135 A1, paragraphs [0211]-[0213], fig. 24	2-9 11-19

国際調査報告		国際出願番号 PCT/J P 2 0 1 9 / 0 3 5 9 1 9													
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L25/07(2006,01)i, H01L23/48(2006,01)i, H01L25/18(2006,01)i, H02M7/48(2007,01)i															
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L25/07, H01L23/48, H01L25/18, H02M7/48															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2019年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2019年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2019年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2019年	日本国実用新案登録公報	1996-2019年	日本国登録実用新案公報	1994-2019年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2019年														
日本国実用新案登録公報	1996-2019年														
日本国登録実用新案公報	1994-2019年														
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号													
X Y A	JP 2013-12560 A (株式会社日立製作所) 2013.01.17, 段落[0018]-[0027]、図 1-2 & US 2013/0001805 A1、段落[0026]-[0035]、図 1-2 & EP 2541596 A1 & CN 102856308 A	1, 10 2-9 11-19													
Y A	WO 2015/121899 A1 (三菱電機株式会社) 2015.08.20, 段落[0013]-[0023]、図 1-5 & US 2016/0351505 A1、段落[0032]-[0042]、図 1-5 & CN 105981274 A	2-9 11-19													
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献														
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 14. 11. 2019		国際調査報告の発送日 26. 11. 2019													
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 豊島 洋介 電話番号 03-3581-1101 内線 3516	5 F 9850												

国際調査報告		国際出願番号 PCT/JP2019/035919
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2002-153079 A (三菱電機株式会社) 2002.05.24, 段落[0136]-[0137]、図 24 & US 2002/0024135 A1、段落[0211]-[0213]、図 24	2-9 11-19

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

Fターム(参考) 5H770 CA04 CA05 DA46 JA19X QA01 QA05 QA08

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。