



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/4074 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월14일 10-0718046 2007년05월08일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0051223 2006년06월08일 2006년06월08일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 박상일
 경기 이천시 부발읍 아미리 753번지 현대7차아파트 703동 1001호

 추신호
 경기 이천시 고담동 고담기숙사 101동 506호

(74) 대리인 김성남

(56) 선행기술조사문헌 JP07105681 A KR1019980022291 A KR1019990053727 A	JP09147553 A KR1019990013050 A KR1020050049631 A
---	--

심사관 : 김세영

전체 청구항 수 : 총 33 항

(54) 반도체 메모리 장치

(57) 요약

본 발명의 일 실시예에 따른 반도체 메모리 장치는, 셀프 리프레시 신호 및 액티브 신호를 입력받아 제 1 제어 신호를 출력하는 제 1 신호 입력 수단; 상기 셀프 리프레시 신호 및 상기 액티브 신호를 입력으로 하여 제 2 제어 신호를 출력하는 제 2 신호 입력 수단; 상기 제 1 제어 신호에 응답하여 제 1 공급 전압을 출력단에 인가하는 전원 공급 수단; 및 상기 제 1 제어 신호 및 상기 제 2 제어 신호에 응답하여, 제 2 공급 전압을 펌핑하여 고전위 전압을 생성하고, 상기 고전위 전압을 상기 출력단에 인가하는 고전위 전압 발생 수단을 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

셀프 리프레시 신호 및 액티브 신호를 입력받아 제 1 제어 신호를 출력하는 제 1 신호 입력 수단;

상기 셀프 리프레시 신호 및 상기 액티브 신호를 입력으로 하여 제 2 제어 신호를 출력하는 제 2 신호 입력 수단;

상기 제 1 제어 신호에 응답하여 제 1 공급 전압을 출력 단에 인가하는 전원 공급 수단; 및

상기 제 1 제어 신호 및 상기 제 2 제어 신호에 응답하여, 제 2 공급 전압을 펌핑하여 고전위 전압을 생성하고, 상기 고전위 전압을 상기 출력 단에 인가하는 고전위 전압 발생 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 공급 전압 및 상기 제 2 공급 전압은 외부에서 인가되는 전압임을 특징으로 하는 반도체 메모리 장치.

청구항 3.

제 2 항에 있어서,

상기 제 1 공급 전압은 상기 제 2 공급 전압보다 높은 레벨임을 특징으로 하는 반도체 메모리 장치.

청구항 4.

제 3 항에 있어서,

상기 제 1 공급 전압은 $0.7 * \text{상기 고전위 전압 레벨}$ 과 $1.3 * \text{상기 고전위 전압 레벨}$ 사이의 전위를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5.

제 4 항에 있어서,

상기 제 1 신호 입력 수단은 오어 연산을 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6.

제 4 항에 있어서,

상기 제 2 신호 입력 수단은 노어 연산을 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제 4 항에 있어서,

상기 전원 공급 수단은 상기 제 1 제어 신호에 응답하여 상기 제 1 공급 전압을 상기 출력 단에 인가하는 스위칭 소자임을 특징으로 하는 반도체 메모리 장치.

청구항 8.

제 4 항에 있어서,

상기 고전위 전압 발생 수단은 상기 전원 공급 수단이 활성화 되면 비활성화되고, 상기 전원 공급 수단이 비활성화 되면 활성화되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9.

제 5 항에 있어서,

상기 제 1 신호 입력 수단은 상기 셀프 리프레시 신호 및 상기 액티브 신호를 입력받는 노어 게이트 및 상기 노어 게이트의 출력신호를 반전시키는 반전 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10.

제 4 항에 있어서,

상기 전원 공급 수단은 상기 셀프 리프레시 신호 및 상기 액티브 신호가 모두 비활성화 될 때 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11.

제 10 항에 있어서,

상기 고전위 전압 발생 수단은 상기 셀프 리프레시 신호 또는 상기 액티브 신호 중 어느 하나라도 활성화 될 때 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12.

제 6 항에 있어서,

상기 제 2 신호 입력 수단은 상기 셀프 리프레시 신호 및 상기 액티브 신호를 입력받는 노어 게이트를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13.

제 7 항에 있어서,

상기 스위칭 소자는 게이트 단에 상기 제 1 제어 신호가 입력되고, 소스 단이 상기 제 2 공급 전압을 인가받고 드레인 단이 상기 출력 단과 연결되는 피모스 트랜지스터임을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제 8 항에 있어서,

상기 고전위 전압 발생 수단은 상기 제 2 제어 신호에 응답하여 인에이블 되고 피드백된 상기 고전위 전압 및 기준 전압을 비교하여 비교 신호를 출력하는 디텍터부, 상기 비교 신호 및 상기 제 1 제어 신호에 응답하여 펌프 인에이블 신호를 활성화 시키는 동작 제어부, 상기 펌프 인에이블 신호에 응답하여 발진 신호를 출력하는 발진부 및 상기 발진 신호에 응답하여 상기 제 2 공급 전압을 펌핑하여 상기 고전위 전압을 생성하는 펌핑부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제 14 항에 있어서,

상기 동작 제어부는 상기 제 1 제어 신호 및 상기 비교 신호를 입력으로 하여 앤드 연산을 하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16.

제 14 항에 있어서

상기 디텍터부는 상기 제 2 제어 신호에 응답하여 상기 디텍터부의 구동을 결정하는 스위칭부 및 상기 고전위 전압과 상기 기준 전압을 비교하여 상기 비교 신호를 출력하는 비교부를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 17.

제 15 항에 있어서,

상기 동작 제어부는 상기 제 1 제어 신호 및 상기 비교 신호를 입력으로 하는 낸드 게이트 및 상기 낸드 게이트의 출력 신호를 반전 시키는 반전 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18.

제 16 항에 있어서,

상기 스위칭부는 상기 제 2 제어 신호에 응답하여 상기 제 2 공급 전압을 상기 비교부로 인가하는 스위칭 소자임을 특징으로 하는 반도체 메모리 장치.

청구항 19.

제 18 항에 있어서,

상기 스위칭 소자는 게이트 단에 상기 제 2 제어 신호가 입력되고, 소스 단이 상기 제 2 공급 전압을 인가받고 드레인 단이 상기 비교부와 연결되는 피모스 트랜지스터임을 특징으로 하는 반도체 메모리 장치.

청구항 20.

셀프 리프레시 신호 및 액티브 신호에 응답하여, 제 1 공급 전압을 출력 단에 인가하는 전원 공급 수단; 및

상기 셀프 리프레시 신호 및 상기 액티브 신호에 응답하여, 제 2 공급 전압을 펌핑하여 생성된 고전위 전압을 상기 출력 단에 인가하는 고전위 전압 발생 수단;

을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 21.

제 20 항에 있어서,

상기 제 1 공급 전압 및 상기 제 2 공급 전압은 외부에서 인가되는 전압임을 특징으로 하는 반도체 메모리 장치.

청구항 22.

제 21 항에 있어서,

상기 제 1 공급 전압은 상기 제 2 공급 전압보다 높은 레벨임을 특징으로 하는 반도체 메모리 장치.

청구항 23.

제 22 항에 있어서,

상기 제 1 공급 전압은 $0.7 * \text{상기 고전위 전압 레벨}$ 과 $1.3 * \text{상기 고전위 전압 레벨}$ 사이의 전위를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 24.

제 23 항에 있어서,

상기 전원 공급 수단은 상기 셀프 리프레시 신호 및 상기 액티브 신호가 모두 비활성화 될 때 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 25.

제 24 항에 있어서,

상기 고전위 전압 발생 수단은 상기 셀프 리프레시 신호 또는 상기 액티브 신호 중 어느 하나라도 활성화 될 때 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 26.

멀티 칩 패키지 구조를 갖는 반도체 메모리 장치로서,

제 1 공급 전압을 인가받는 제 1 메모리; 및

제 1 공급 전압 및 제 2 공급 전압을 인가받고, 셀프 리프레시 신호와 액티브 신호에 응답하여, 상기 제 1 공급 전압을 출력단에 인가하는 전원 공급 수단 및 상기 셀프 리프레시 신호와 상기 액티브 신호에 응답하여, 상기 제 2 공급 전압을 펌핑하여 생성된 고전위 전압을 상기 출력단에 인가하는 고전위 전압 발생 수단을 구비하는 제 2 메모리;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 27.

제 26 항에 있어서,

상기 제 1 공급 전압 및 상기 제 2 공급 전압은 외부에서 인가되는 전압임을 특징으로 하는 반도체 메모리 장치.

청구항 28.

제 27 항에 있어서,

상기 제 1 공급 전압은 상기 제 2 공급 전압 보다 높은 레벨임을 특징으로 하는 반도체 메모리 장치.

청구항 29.

제 28 항에 있어서,

상기 제 1 공급 전압은 $0.7 * \text{상기 고전위 전압 레벨}$ 과 $1.3 * \text{상기 고전위 전압 레벨}$ 사이의 전위를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 30.

제 29 항에 있어서,

상기 전원 공급 수단은 상기 셀프 리프레시 신호 및 상기 액티브 신호가 모두 비활성화 될 때 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 31.

제 30 항에 있어서,

상기 고전위 전압 발생 수단은 상기 셀프 리프레시 신호 또는 상기 액티브 신호 중 어느 하나라도 활성화 될 때 활성화 되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 32.

제 31 항에 있어서,

상기 제 2 메모리의 패드에 상기 제 1 공급 전압을 인가받는 입력 단을 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 33.

제 32 항에 있어서,

상기 제 1 메모리는 플래시 메모리임을 특징으로 하는 반도체 메모리 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 스탠바이 모드시 고전위 전압을 생성하지 않고, 고전위 전압 레벨과 비슷한 레벨의 외부 전압을 인가함으로써, 고전위 전압을 사용하는 메모리의 전류 소모를 줄일 수 있는 반도체 메모리 장치에 관한 것이다.

반도체 메모리 장치에서 외부 공급 전압(VDD)보다 높은 전압을 요구하는 반도체 메모리 장치 내의 회로에 일정한 고전위 전압(VPP)을 공급하기 위하여 고전위 전압 발생 장치를 구비한다. 상기 고전위 전압(VPP)은 메모리 소자의 셀 트랜지스터의 게이트 전압을 형성하는 중요한 내부 전원으로서, 액티브 동작시 워드 라인(Word Line)을 액티브(Active) 시키고, 트랜지스터 구동형 데이터 출력 버퍼에서 사용되어, 트랜지스터의 문턱 전압(Vt) 손실을 보상할 수 있다.

종래의 반도체 메모리는 외부 공급 전압을 펌핑(pumping)하여 워드 라인(Word Line)을 구동시키는 고전위 전압(VPP)을 생성하지만, 실제 외부 공급 전압(VDD)을 펌핑하여 상기 고전위 전압(VPP)을 형성시키는 펌핑(pumping) 효율이 25% 정도이다. 예를 들어 설명하면, 상기 고전위 전압을 만들 때 흐르는 전류가 40uA였다면 실질적으로 상기 외부 공급 전압(VDD)에서 흐르는 전류는 160uA가 흐른다.

반도체 메모리가 스탠바이 모드(standby mode)일 경우에도 상기 외부 공급 전압을 펌핑(pumping)하여 상기 고전위 전압(VPP) 전압을 유지하기 때문에, 낮은 펌핑(pumping) 효율로 인해 많은 전류 소모가 발생하게 된다.

또한, 기술이 발달해 갈수록 게이트 채널 랭스(channel length)가 작아짐으로 트랜지스터의 오프 리키지(off leakage)가 점점 증가한다. 따라서, 스탠바이 모드(standby mode)시 스탠바이 전류(standby current)가 스펙(specification)을 충족시키는데 문제점이 있다. 특히 소모 전력을 최소화하여야만 경쟁력을 갖추는 모바일(mobile) 기기에 사용되는 반도체 메모리의 개발에 커다란 문제점이 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 스탠바이 모드시 고전위 전압을 생성하여 인가하는 대신에 상기 고전위 전압 레벨과 비슷한 레벨의 전압을 외부에서 인가하고, 액티브 모드시 상기 고전위 전압을 생성하여 인가할 수 있는 반도체 메모리 장치를 제공하는데 그 기술적 과제가 있다.

발명의 구성

상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 메모리 장치는, 셀프 리프레시 신호 및 액티브 신호를 입력받아 제 1 제어 신호를 출력하는 제 1 신호 입력 수단; 상기 셀프 리프레시 신호 및 상기 액티브 신호를 입력으로 하여 제 2 제어 신호를 출력하는 제 2 신호 입력 수단; 상기 제 1 제어 신호에 응답하여 제 1 공급 전압을 출력 단에 인가하는 전원 공급 수단; 및 상기 제 1 제어 신호 및 상기 제 2 제어 신호에 응답하여, 제 2 공급 전압을 펌핑하여 고전위 전압을 생성하고, 상기 고전위 전압을 상기 출력 단에 인가하는 고전위 전압 발생 수단을 포함한다.

바람직하게는 상기 셀프 리프레시 신호 및 상기 액티브 신호가 모두 비활성화 될 때 상기 제 1 공급 전압이 상기 출력 단에 인가되고, 상기 셀프 리프레시 신호 및 상기 액티브 신호 중 어느 하나가 활성화 되면 상기 고전위 전압이 상기 출력 단에 인가되는 것을 특징으로 한다.

본 발명의 다른 실시예에 따른 반도체 메모리 장치는 셀프 리프레시 신호 및 액티브 신호에 응답하여, 제 1 공급 전압을 출력 단에 인가하는 전원 공급 수단; 및 상기 셀프 리프레시 신호 및 상기 액티브 신호에 응답하여, 제 2 공급 전압을 펌핑하여 생성된 고전위 전압을 상기 출력 단에 인가하는 고전위 전압 발생 수단;을 포함한다.

바람직하게는 상기 셀프 리프레시 신호 및 상기 액티브 신호가 모두 비활성화 될 때 상기 전원 공급 수단이 활성화 되고, 상기 셀프 리프레시 신호 또는 상기 액티브 신호 중 어느 하나라도 활성화 될 때 상기 고전위 전압 발생 수단이 활성화 되는 것을 특징으로 한다.

본 발명의 또 다른 실시예에 따른 반도체 메모리 장치는 멀티 칩 패키지 구조를 갖는 반도체 메모리 장치로서, 제 1 공급 전압을 인가받는 제 1 메모리; 및 제 1 공급 전압 및 제 2 공급 전압을 인가받고, 셀프 리프레시 신호와 액티브 신호에 응답하여, 상기 제 1 공급 전압을 출력 단에 인가하는 전원 공급 수단 및 상기 셀프 리프레시 신호와 상기 액티브 신호에 응답하여, 상기 제 2 공급 전압을 펌핑하여 생성된 고전위 전압을 상기 출력 단에 인가하는 고전위 전압 발생 수단을 구비하는 제 2 메모리;를 포함한다.

이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

도 1은 본 발명에 따른 반도체 메모리 장치를 나타내는 블록도이다.

본 발명에 따른 반도체 메모리 장치는 셀프 리프레시 신호(SREF) 및 액티브 신호(ACT)를 입력으로 하여 제 1 제어 신호(CTRL_SIG1)를 출력하는 제 1 신호 입력부(110), 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)를 입력으로 하여 제 2 제어 신호(CTRL_SIG2)를 출력하는 제 2 신호 입력부(130), 상기 제 1 제어 신호(CTRL_SIG1)에 응답하여 제 1 공급 전압(NVDD)을 출력 단(OUT)에 인가하는 전원 공급부(150) 및 상기 제 1 제어 신호(CTRL_SIG1) 및 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 제 2 공급 전압을 펌핑하여 고전위 전압(VPP)을 생성하고, 상기 고전위 전압(VPP)을 상기 출력 단(OUT)에 인가하는 고전위 전압 발생부(170)로 구성된다.

상기 셀프 리프레시 신호(SREF)는 메모리 셀을 리프레시(refresh) 시키기 위한 신호이며, 상기 액티브 신호(ACT)는 뱅크를 활성화시켜 데이터 입출력 동작을 가능하게 하는 신호이다.

본 발명에 따른 반도체 메모리 장치는 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)가 비활성화 될 때 상기 제 1 공급 전압(NVDD)이 상기 출력 단(OUT)에 인가되게 하여 상기 고전위 전압(VPP)을 대체하고, 상기 셀프 리프레시 신호(SREF) 또는 상기 액티브 신호(ACT) 중 어느 하나가 활성화 되면 상기 고전위 전압(VPP)을 상기 출력 단(OUT)에 인가하여 메모리 장치를 구동하는 것을 특징으로 한다.

상기 제 1 신호 입력부(110)는 오어(OR) 연산을 하여, 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT) 중 어느 하나가 활성화 되면 활성화 되는 상기 제 1 제어 신호(CTRL_SIG1)를 출력한다.

상기 제 2 신호 입력부(130)는 노어(NOR) 연산을 하여, 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)가 모두 비활성화 될 때 활성화 되는 상기 제 2 제어 신호(CTRL_SIG2)를 출력한다.

상기 제 1 공급 전압(NVDD) 및 상기 제 2 공급 전압(VDD)은 외부에서 공급되는 전압이며, 상기 제 1 공급 전압(NVDD)은 상기 제 2 공급 전압(VDD)보다 높은 레벨 값을 가지며 상기 고전위 전압(VPP)과 비슷한 레벨 값을 갖는다. 바람직하게는 상기 제 1 공급 전압(NVDD)은 $0.7 * \text{상기 고전위 전압(VPP)}$ 레벨과 $1.3 * \text{상기 고전위 전압(VPP)}$ 레벨 사이의 전위를 갖는다.

도 2는 도 1에 도시된 반도체 메모리 장치를 나타내는 회로도이다.

도 2에 도시된 바와 같이, 상기 제 1 신호 입력부(110)는 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)를 입력받는 제 1 노어(NOR) 게이트(NR1) 및 상기 제 1 노어 게이트(NR1)의 출력신호를 반전시켜 상기 제 1 제어 신호(CTRL_SIG1)를 출력하는 제 1 반전 수단(IV1)으로 구성된다.

상기 제 2 신호 입력부(130)는 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)를 입력받아 상기 제 2 제어 신호(CTRL_SIG2)를 출력하는 제 2 노어 게이트(NR2)로 구성된다.

상기 전원 공급부(150)는 게이트 단에 상기 제 1 제어 신호(CTRL_SIG1)가 입력되고 소스 단이 상기 제 1 공급 전압(NVDD)을 인가받고 드레인 단이 상기 출력 단(OUT)과 연결되는 제 1 피모스(PMOS) 트랜지스터(P1)로 구성되며, 상기 제 1 제어 신호(CTRL_SIG1)에 응답하는 스위칭 소자로 대체하여 실시하는 것도 가능하다.

상기 고전위 전압 발생부(170)는 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 인에이블 되고, 피드백된 상기 고전위 전압(VPP) 및 기준 전압(VREF)을 비교하여 비교 신호(COM_LEV)를 출력하는 디텍터부(171), 상기 비교 신호(COM_LEV) 및 상기 제 1 제어 신호(CTRL_SIG1)가 활성화 될 때만 활성화된 펌프 인에이블 신호를 출력하는 동작 제어부(173), 상기 펌프 인에이블 신호를 입력으로 하여 발진 신호를 출력하는 발진부(175) 및 상기 발진 신호에 응답하여 상기 제 2 공급 전압(VDD)을 펌핑(pumping)하여 상기 고전위 전압(VPP)을 생성하는 펌핑부(177)로 구성된다.

상기 동작 제어부(173)는 앤드(AND) 연산을 하며, 상기 제 1 제어 신호(CTRL_SIG1) 및 상기 비교 신호(COM_LEV)를 입력으로 하는 낸드(NAND) 게이트(ND1) 및 상기 낸드 게이트(ND1)의 출력 신호를 반전 시키는 제 2 반전 수단(IV2)으로 구성된다.

도 3은 도 2에 도시된 디텍터부를 나타내는 회로도이다.

도 3에 도시된 바와 같이, 상기 디텍터부(171)는 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 상기 디텍터부(171)의 활성화 또는 비활성화를 결정하는 스위칭부(171-1) 및 피드백(feedback)된 상기 고전위 전압(VPP)과 상기 기준 전압(VREF)을 비교하여 상기 비교 신호(COM_LEV)를 출력하는 비교부(171-3)로 구성된다.

상기 스위칭부(171-1)는 게이트 단이 상기 제 2 제어 신호(CTRL_SIG2)를 입력받고 소스 단이 상기 제 2 공급 전압(VDD)을 인가받고 드레인 단이 상기 비교부(171-3)에 연결되는 제 2 피모스 트랜지스터(P2)로 구성되며, 상기 제 2 제어 신호(CTRL_SIG2)에 응답하는 스위칭 소자로도 실시 가능하다.

상기 비교부(171-3)는 상기 제 2 피모스 트랜지스터(P2)의 드레인 단에 각각 소스 단이 연결되고 게이트 단이 서로 연결되어 전류 미러 형태로 구성된 제 3 피모스 트랜지스터(P3)와 제 4 피모스 트랜지스터(P4), 인에이블 신호(EN)를 게이트 단에 입력받고 소스 단이 접지 단(VSS)에 연결된 제 1 엔모스(NMOS) 트랜지스터(N1), 게이트 단이 상기 고전위 전압(VPP)을 인가받고 드레인 단이 상기 제 3 피모스 트랜지스터(P3)의 드레인 단과 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터(N1)의 드레인 단과 연결되는 제 2 엔모스 트랜지스터(N2) 및 게이트 단이 상기 기준 전압(VREF)을 인가받고 드레인 단이 상기 제 4 피모스 트랜지스터(P4)의 드레인 단과 연결되고 소스 단이 상기 제 1 엔모스 트랜지스터(N1)의 드레인 단과 연결되는 제 3 엔모스 트랜지스터(N3)로 구성되며, 상기 제 4 피모스 트랜지스터(P4)와 상기 제 3 엔모스 트랜지스터(N3)가 연결되는 공통 노드가 상기 제 3 피모스 트랜지스터(P3)의 게이트 단에 연결되고 상기 제 3 피모스 트랜지스터(P3)와 상기 제 2 엔모스 트랜지스터(N2)가 연결되는 공통 노드에서 상기 비교 신호(COM_LEV)가 출력된다.

도 3에 도시된 상기 디텍터부(171)에 구비되어 상기 고전위 전압(VPP)과 상기 기준 전압(VREF)을 비교하는 상기 비교부(171-3)는 다른 형태로도 실시 가능하며, 상기 비교부(171-3)가 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 구동이 결정되는 것이 특징이다.

이하 첨부된 도면을 참조하여 본발명에 따른 반도체 메모리 장치의 동작을 설명하면 다음과 같다.

상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)가 모두 비활성화 될 때, 상기 제 1 제어 신호(CTRL_SIG1)에 응답하여 상기 제 1 공급 전압(NVDD)이 상기 출력 단(OUT)에 인가되고, 상기 제 1 제어 신호(CTRL_SIG1) 및 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 상기 고전위 전압 발생부(170)는 비활성화 되어 상기 고전위 전압(VPP)을 생성하지 않는다.

이와는 달리, 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT) 중 어느 하나가 활성화 되면, 상기 제 1 제어 신호(CTRL_SIG1)에 응답하여 상기 전원 공급부(150)는 상기 제 1 공급 전압(NVDD)이 상기 출력 단(OUT)으로 인가되는 것을 차단하고, 상기 제 1 제어 신호(CTRL_SIG1) 및 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 상기 고전위 전압 발생부(170)는 상기 고전위 전압(VPP)을 상기 출력 단(OUT)에 인가하게 된다.

즉, 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)가 모두 비활성화 되는 스탠바이 모드(standby mode)일 경우 상기 제 1 공급 전압(NVDD)이 상기 출력 단(OUT)으로 인가되게 하고, 동작 모드(active mode)일 경우 상기 고전위 전압(VPP)이 상기 출력 단(OUT)으로 인가되게 하여, 스탠바이 모드(standby mode)일 경우 상기 제 2 공급 전압(VDD)을 펌핑(pumping)하여 상기 고전위 전압(VPP)을 형성할 때 펌핑(pumping) 효율이 나빠 소모되는 전류를 줄일 수 있다.

도 2 및 도 3을 참조하여 더욱 상세히 설명하면, 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT) 중 어느 하나가 하이 레벨로 활성화 되는 동작 모드(active mode)시, 상기 제 1 공급 전압(NVDD)을 사용하면 메모리 동작이 불안정해 지므로 상기 고전위 전압 발생부(170)에서 생성된 상기 고전위 전압(VPP)을 사용하게 된다.

즉, 상기 제 1 신호 입력부(110)에서는 하이 레벨의 상기 제 1 제어 신호(CTRL_SIG1)를 출력하게 되고, 상기 제 2 신호 입력부(130)에서는 로우 레벨의 제 2 제어 신호(CTRL_SIG2)를 출력하게 된다.

상기 제 1 제어 신호(CTRL_SIG1)를 입력받는 상기 전원 공급부(150)의 제 1 피모스 트랜지스터(P1)는 턴오프(turn-off)되어 상기 제 1 공급 전압(NVDD)이 상기 출력 단(OUT)으로 인가되는 것을 차단한다.

상기 제 2 제어 신호(CTRL_SIG2)를 입력받는 상기 디텍터부(171)는 상기 스위칭부(171-1)의 제 2 피모스 트랜지스터(P2)를 턴온(turn-on)시켜 상기 제 2 공급 전압(VDD)이 상기 비교부(171-3)로 입력되게 하여 상기 비교부(171-3)를 구동시켜, 상기 고전위 전압(VPP) 및 상기 기준 전압(VREF)을 비교하여 상기 비교 신호(COM_LEV)를 출력하게 된다.

하이 레벨의 상기 제 1 제어 신호(CTRL_SIG1)를 입력받는 상기 동작 제어부(173)는 상기 비교 신호(COM_LEV)가 하이 레벨이면 활성화된 펌프 인에이블 신호를 출력하여 상기 발진부(175)에서 활성화된 발진 신호를 출력한다.

상기 발진 신호에 응답하여, 상기 펌핑부(177)가 상기 제 2 공급 전압(VDD)을 펌핑(pumping)하여 생성된 상기 고전위 전압(VPP)을 상기 출력 단(OUT)에 인가하고, 상기 비교 신호(COM_LEV)가 로우 레벨이면 상기 발진부(175)를 디스에이블 시키므로, 정상적인 고전위 전압 발생 동작을 하게 된다.

다른 한편으로, 상기 셀프 리프레시 신호(SREF) 및 상기 액티브 신호(ACT)가 모두 로우 레벨로 비활성화 되는 스탠바이 모드(standby mode)시, 상기 제 1 공급 전압(NVDD)을 사용함으로써 워드 라인(Word Line)등이 상기 고전위 전압(VPP)에 가까운 전압 레벨을 유지하여 상기 스탠바이 모드(standby mode)에서 상기 액티브 모드(active mode)로 진입시 정상적인 동작이 이루어지게 한다.

즉, 상기 제 1 신호 입력부(110)에서는 로우 레벨의 상기 제 1 제어 신호(CTRL_SIG1)를 출력하게 되고, 상기 제 2 신호 입력부(130)에서는 하이 레벨의 상기 제 2 제어 신호(CTRL_SIG2)를 출력하게 된다.

상기 제 1 제어 신호(CTRL_SIG1)를 입력받는 상기 제 1 전원 공급부(150)의 제 1 피모스 트랜지스터(P1)는 턴온(turn-on)되어 상기 제 1 공급 전압(NVDD)이 상기 출력 단(OUT)으로 인가되게 한다.

상기 제 2 제어 신호(CTRL_SIG2)를 입력받는 상기 디텍터부(171)는 상기 스위칭부(171-1)의 제 2 피모스 트랜지스터(P2)를 턴오프(turn-off)시켜 상기 제 2 공급 전압(VDD)이 상기 비교부(171-3)로 인가되는 것을 차단하여 상기 비교부(171-3)를 디스에이블 시켜, 상기 디텍터부(171)에서 불필요하게 소모되는 전류를 줄일 수 있다.

로우 레벨의 상기 제 1 제어 신호(CTRL_SIG1)를 입력받는 상기 동작 제어부(173)는 상기 비교 신호(COM_LEV)에 관계없이 항상 비활성화된 펌프 인에이블 신호를 출력함으로써 상기 발진부(175)를 디스에이블 시켜 상기 고전위 전압 발생부(170)에 구비되는 상기 펌핑부(177)가 펌핑(pumping) 동작을 하지 못하게 하여 펌핑(pumping) 효율이 나빠 소모되는 전류를 줄일 수 있다.

상기 설명한 바와 같이, 본 발명에 따른 반도체 메모리 장치는 종래에 스탠바이 모드(standby mode)시에도 고전위 전압 발생부(170)가 펌핑 동작을 하는 것을 제어하여, 고전위 전압 발생부(170)가 제 2 공급 전압(VDD)을 펌핑할 때 펌핑 효율이 나빠 불필요하게 소모되는 전류를 감소 시킬 수 있고, 스탠바이 모드(standby mode)에서 상기 고전위 전압(VPP)과 비슷한 레벨의 상기 제 1 공급 전압(NVDD)을 공급함으로써, 스탠바이 모드(standby mode)에서 동작 모드(active mode)로 바뀔 때에도 반도체 메모리의 동작이 정상적으로 이루어지게 할 수 있다.

도 4는 일반적인 멀티 칩 패키지 구조를 갖는 반도체 메모리 장치의 구조도이다.

멀티 칩 패키지(MCP; Multi Chip Package) 기술은 두 개 이상의 반도체 칩을 적층하여 하나의 패키지로 만들어 제품의 크기를 대폭 축소하는 패키지 기술로서, 휴대폰과 같은 정보기기의 소형화 및 경량화 추세에 따라, 그 중요성이 크게 증가하고 있다.

도 4에 도시된 바와 같이, 종래의 멀티 칩 패키지(MCP) 구조를 갖는 반도체 메모리 장치는 기판(substrate)위에 상기 제 1 공급 전압(NVDD)을 인가받는 제 1 메모리(10)와 상기 제 2 공급 전압(VDD)을 인가받는 제 2 메모리(20)가 적층된 구조로 되어있다.

도 5는 본 발명에 따른 반도체 메모리 장치의 일 예로서, 제 1 공급 전압 및 제 2 공급 전압을 인가할 수 있는 멀티 칩 패키지 구조를 갖는 반도체 메모리 장치를 나타내는 구조도이다.

도 5에 도시된 바와 같이, 본 발명에 따른 반도체 메모리 장치는 멀티 칩 패키지 구조의 반도체 메모리 장치로서, 상기 제 1 공급 전압(NVDD)을 인가받는 제 1 메모리(30) 및 상기 제 1 공급 전압(NVDD) 및 상기 제 2 공급 전압(VDD)을 인가받는 제 2 메모리(40)로 구성될 수 있다.

상기 제 2 메모리(40)는, 도 1의 구성을 갖춘 메모리로서, 셀프 리프래시 신호(SREF) 및 액티브 신호(ACT)를 입력으로 하여 제 1 제어 신호(CTRL_SIG1)를 출력하는 제 1 신호 입력부(110), 상기 셀프 리프래시 신호(SREF) 및 상기 액티브 신호(ACT)를 입력으로 하여 제 2 제어 신호(CTRL_SIG2)를 출력하는 제 2 신호 입력부(130), 상기 제 1 제어 신호(CTRL_SIG1)에 응답하여 제 1 공급 전압(NVDD)을 출력 단(OUT)에 인가하는 전원 공급부(150) 및 상기 제 1 제어 신호(CTRL_SIG1) 및 상기 제 2 제어 신호(CTRL_SIG2)에 응답하여 제 2 공급 전압을 펌핑하여 고전위 전압(VPP)을 생성하고, 상기 고전위 전압(VPP)을 상기 출력 단(OUT)에 인가하는 고전위 전압 발생부(170)로 구성된다.

상기 제 1 메모리(30)는 메모리 셀에 리드(Read) 및 라이트(Write)를 할 수 있는 비휘발성 메모리이며, 예를 들어 플래시 램(Flash RAM)등으로 실시 할 수 있다.

상기 제 2 메모리(40)는 메모리 셀에 리드(Read) 및 라이트(Write)를 할 수 있는 휘발성 메모리이며, 예를 들어 디램(DRAM, Dynamic Random Access Memory)으로 실시 할 수 있다.

상기 제 1 공급 전압(NVDD) 및 상기 제 2 공급 전압(VDD)은 외부에서 공급되는 전압이며, 상기 제 1 공급 전압(NVDD)이 상기 제 2 공급 전압(VDD)보다 높다. 즉, 예를 들어, 제 2 공급 전압(VDD)은 상기 제 2 메모리(40)와 같은 디램 전원인 경우 1.8V를 사용하며, 상기 제 1 공급 전압(NVDD)은 제 1 메모리(30)와 같은 플래시 램의 전원인 경우 2.7 ~ 3.3V를 사용한다.

도 6은 도 5에 도시된 제 2 메모리의 패드를 나타내는 구조도이다.

도 6에 도시된 바와 같이, 본 발명에 따른 반도체 메모리 장치의 제 2 메모리의 패드(40)는 상기 제 1 공급 전압(NVDD)을 인가받는 입력 단(41)을 추가로 포함하여 상기 제 2 공급 전압(VDD)보다 높은 상기 제 1 공급 전압(NVDD)을 입력받을 수 있다.

상기 설명한 바와 같이, 본 발명에 따른 반도체 메모리 장치는 멀티 칩 패키지 구조(MCP)를 갖는 반도체 메모리 장치에서도 사용될 수 있다. 즉, 도 4와 같은 종래의 멀티 칩 패키지 구조(MCP)를 도 5와 같이 구조를 변경함으로써, 제 2 공급 전압(VDD)을 펌핑하여 상기 고전위 전압(VPP)을 생성하는 상기 고전위 전압 발생부(170)가 구비되는 제 2 메모리(40)에 상기 제 2 공급 전압(VDD) 보다 높은 레벨의 상기 제 1 공급 전압(NVDD)이 인가되게 하여 상기 제 2 메모리(40)가 스탠바이 모드(standby mode)일 때 상기 제 2 공급 전압(VDD)을 펌핑(pumping)하여 상기 고전위 전압(VPP)을 생성하는 대신에 상기 제 1 공급 전압(NVDD)을 인가하여 스탠바이 모드(standby mode)시에 전류 소모를 줄일 수 있다.

상기 설명에서는 상기 제 1 공급 전압(NVDD)이 상기 고전위 전압(VPP)보다 높은 레벨인 것을 예로 하였지만, 상기 제 1 공급 전압(NVDD)이 상기 고전위 전압(VPP)보다 소정 레벨 만큼 작은 외부 공급 전압으로도 실시하는 것이 가능함으로 이에 한정하지 않는다.

또한, 상기 멀티 칩 패키지 구조의 반도체 메모리 장치는 단지 본 발명에 따른 반도체 메모리 장치의 일예를 나타내며, 본 발명에 따른 반도체 메모리 장치가 상기 일예에 한정되지 않음을 밝혀둔다.

발명의 효과

본 발명에 따른 반도체 메모리 장치는 스텝 바이 모드시 고전압 발생 수단에 의해 소모되는 전류 소모를 줄일 수 있는 효과를 수반한다.

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 메모리 장치를 나타내는 블록도,

도 2는 도 1에 도시된 반도체 메모리 장치를 나타내는 회로도,

도 3은 도 2에 도시된 디텍터부를 나타내는 회로도,

도 4는 일반적인 멀티 칩 패키지 구조를 갖는 반도체 메모리 장치의 구조도,

도 5는 본 발명에 따른 반도체 메모리 장치의 일 예로서, 제 1 공급 전압 및 제 2 공급 전압을 인가할 수 있는 멀티 칩 패키지 구조를 갖는 반도체 메모리 장치를 나타내는 구조도,

도 6은 도 5에 도시된 제 2 메모리의 패드를 나타내는 구조도이다.

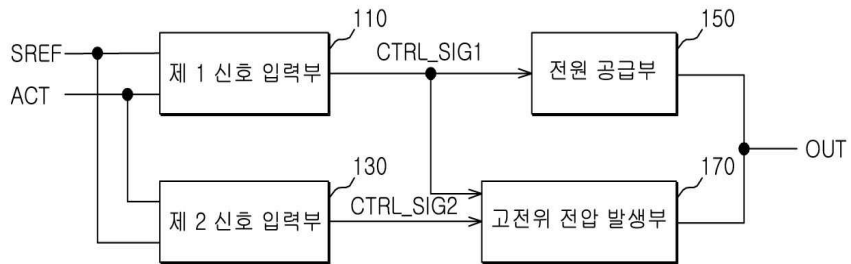
<도면의 주요 부분에 대한 부호 설명>

110 : 제 1 신호 입력부 130 : 제 2 신호 입력부

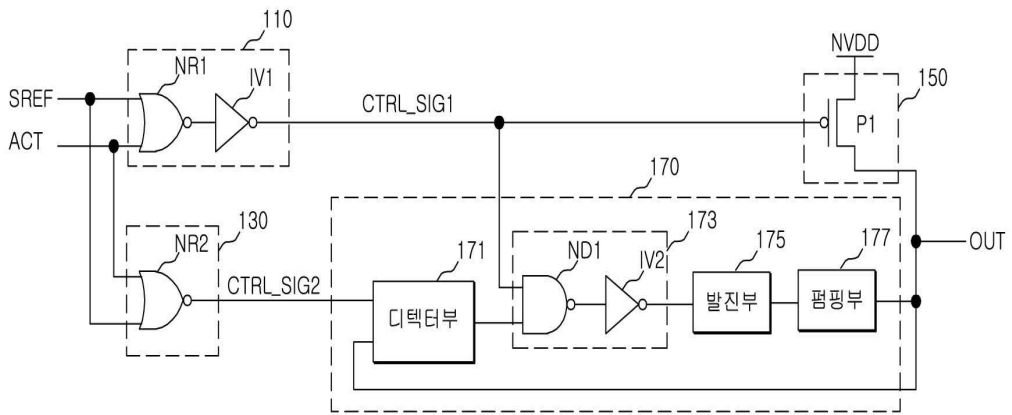
150 : 전원 공급부 170 : 고전위 전압 발생부

도면

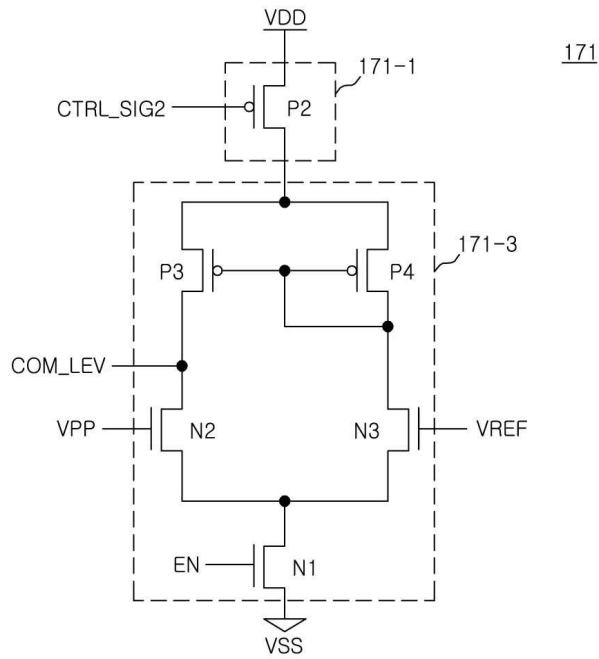
도면1



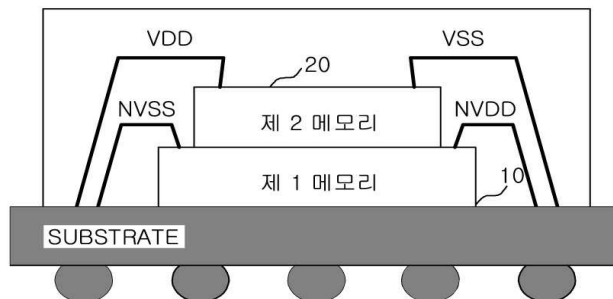
도면2



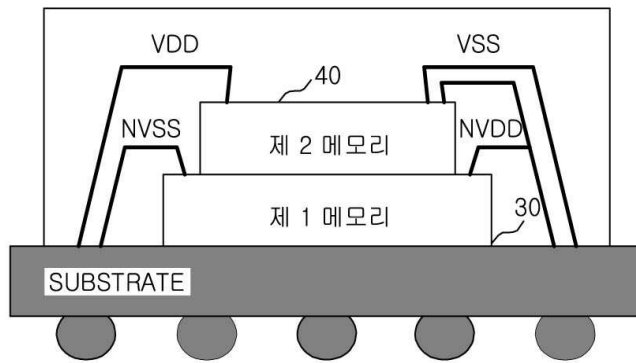
도면3



도면4



도면5



도면6

