



(12) **Patentschrift**

(21) Aktenzeichen: **103 31 194.7**
 (22) Anmeldetag: **10.07.2003**
 (43) Offenlegungstag: **22.01.2004**
 (45) Veröffentlichungstag
 der Patenterteilung: **10.10.2013**

(51) Int Cl.: **H02M 3/158** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
202090/2002 **11.07.2002** **JP**
319634/2002 **01.11.2002** **JP**

(73) Patentinhaber:
Fuji Electric Co., Ltd., Kawasaki-shi, Kanagawa, JP

(74) Vertreter:
MERH-IP Matias Erny Reichl Hoffmann, 80336, München, DE

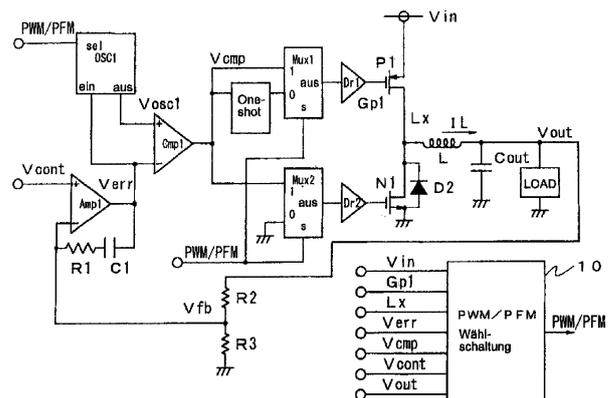
(72) Erfinder:
Yoshida, Yutaka, Kawasaki, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE	198 31 498	A1
EP	1 213 822	A1
WO	96/ 10 287	A1
JP	H11- 155 281	A
JP	2001- 112 251	A
JP	2001- 157 446	A
JP	2002- 078 326	A

(54) Bezeichnung: **Gleichspannungswandler**

(57) Hauptanspruch: Gleichspannungswandler mit zwei in Reihe geschalteten Halbleiterschaltelmenten (P1, N1), die den Ausgang des Gleichspannungswandlers abwechselnd mit einem Eingangsspannungspotentialpunkt und mit Masse verbinden, um dadurch eine auf einen Sollwert geregelte Gleichspannung an einen Verbraucher (LOAD) zu liefern, aufweisend:
 eine Wähleinrichtung (10) zur Auswahl zwischen zwei unterschiedlichen Regelungsmoden, nämlich einem Pulsweitenmodulationsmodus und einem Pulsfrequenzmodulationsmodus, wobei die Wähleinrichtung (10) eine Lastbewertungsschaltung (51) zur Bestimmung der Höhe des Laststroms und eine Spannungsdetektorschaltung zur Erfassung der an den Verbraucher (LOAD) gelieferten Gleichspannung aufweist und ausgebildet ist, den Pulsfrequenzmodulationsmodus zu wählen, wenn der Laststrom einen vorgegebenen Wert unterschreitet, dadurch gekennzeichnet, dass der Gleichspannungswandler ferner eine Spannungsänderungsdetektorschaltung (52) zur Erzeugung eines Signals, dass eine Änderung der an den Verbraucher (LOAD) gelieferten Gleichspannung anzeigt, aufweist, wobei diese Änderung sowohl ein Anstieg als auch ein Abfall dieser Spannung sein kann, und die Wähleinrichtung (10) ausgebildet ist, unabhängig von der Höhe des Laststroms als Reaktion auf das Signal der Spannungsänderungsdetektorschaltung (52) den Pulsweitenmodulationsmodus zu wählen.



Beschreibung

[0001] Die vorliegende Erfindung betrifft einen Gleichspannungswandler, der seine Halbleiterschalt-elemente ein- und ausschaltet, um eine Gleichspannung, deren Pegel auf einen bestimmten Wert gewandelt wird, an einen Verbraucher zu liefern. Insbesondere betrifft die vorliegende Erfindung einen Gleichspannungswandler, der es ermöglicht, die Schaltverluste der Halbleiterschalt-elemente auch dann zu verringern, wenn sich die Ausgangsspannung ändert.

[0002] Ein Gleichspannungswandler schaltet seine Halbleiterschalt-elemente ein und aus, um eine Gleichspannung zu wandeln und nimmt eine Rückkopplungsregelung vor, um die einem Verbraucher gelieferte Ausgangsspannung auf einem bestimmten Referenzwert zu halten. Ist der Laststrom um mehr als 20 bis 30% unter dem Nennstrom, wird der Wirkungsgrad des Ein- und Ausschaltens der Schaltelemente extrem gering. Ein dem Fachmann bekanntes Verfahren zur Verringerung der Schaltverluste senkt die Schaltfrequenz als Reaktion auf das Absinken des Laststroms, um den Wirkungsgrad der Spannungswandlung auch bei geringer Last nicht zu verschlechtern.

[0003] Die Rückkopplungsregelungsverfahren beinhalten die Pulsweitenmodulation (im Folgenden als PWM – pulse width modulation – bezeichnet) und die Pulsfrequenzmodulation (im Folgenden als PFM – pulse frequency modulation – bezeichnet). Die japanischen Offenlegungsschriften (koukai) H11 (1999)-155281, 2001-112251 und 2001-157446 offenbaren Gleichspannungswandler, die sowohl den PWM- als auch den PFM-Regelungsmodus anwenden, um einen hohen Wandlungswirkungsgrad über einen weiten Lastbereich aufrechtzuerhalten, indem die Schaltfrequenz als Reaktion auf ein Absinken des Laststroms verringert wird.

[0004] Zunächst soll der PWM-Regelungsmodus des Gleichspannungswandlers erläutert werden.

[0005] [Fig. 29](#) ist ein Schaltschema eines Abwärts-Gleichspannungswandlers, der den PWM-Regelungsmodus durchführt.

[0006] Wie aus [Fig. 29](#) zu ersehen ist, wandelt der Abwärts-Gleichspannungswandler eine Eingangsversorgungsspannung V_{in} auf einen bestimmten Spannungspegel und liefert die gewandelte Spannung an einen Verbraucher LOAD. Der Abwärts-Gleichspannungswandler enthält einen Fehlerverstärker Amp1, einen Kondensator C1 für den Phasenausgleich, einen Widerstand R1 für den Phasenausgleich, einen Rückkopplungswiderstand R2, einen Rückkopplungswiderstand R3, eine Oszillatorschaltung OSC2, einem Komparator Cmp1 für die

Pulsweitenmodulation, einen p-Kanal-Ausgangstransistor (MOSFET) P1, einen n-Kanal-Ausgangstransistor (MOSFET) N1, eine Drosselspule L, eine Treiberschaltung Dr1, eine Treiberschaltung Dr2 und einen Glättungskondensator Cout.

[0007] Der Abwärts-Gleichspannungswandler mit PWM-Regelungsmodus funktioniert so, dass ein durch Spannungsteilen des Ausgangsspannungssignals Vout des Gleichspannungswandlers durch die Widerstände R2 und R3 erhaltenes Rückkopplungssignal Vfb zur Bestimmung des Ausgangsspannungssignals Vout gleich einem Ausgangsspannungssteuersignal Vcont gemacht werden kann. Sind die Werte der Rückkopplungswiderstände R2 und R3, durch die das Ausgangsspannungssignal Vout geteilt wird, identisch, ist das Ausgangsspannungssignal Vout doppelt so groß wie das Ausgangsspannungssteuersignal Vcont.

[0008] Das Ausgangsspannungssteuersignal Vcont wird mit dem positiven Eingangsanschluss des Fehlerverstärkers (Operationsverstärkers) Amp1 verbunden. Das Rückkopplungssignal Vfb wird mit dem negativen Eingangsanschluss des Fehlerverstärkers Amp1 verbunden. Der Fehlerverstärker Amp1 bildet unter Einbeziehung des Phasenausgleichswiderstandes R1 und des Phasenausgleichskondensators C1 eine Integrierschaltung. Ein Fehlerverstärker-Ausgangssignal Verr vom Fehlerverstärker Amp1 und ein Dreieckwellensignal Vosc2 von der Oszillatorschaltung OSC2 werden zur Pulsweitenmodulation in den Komparator Cmp1 eingegeben. Die Source des p-Kanal-Transistors P1 wird mit der Eingangsversorgungsspannung V_{in} und das Drain des p-Kanal-Transistors P1 mit der Drosselspule L verbunden. Das Gate des p-Kanal-Transistors P1 wird von der Treiberschaltung Dr1 getrieben. Der n-Kanal-Transistor N1 ist mit dem Massepotential GND und der Drosselspule L verbunden. Das Gate des n-Kanal-Transistors N1 wird von der Treiberschaltung Dr2 getrieben. Das mit einer Gleichspannung von der Drosselspule L und dem Glättungskondensator Cout geformte Ausgangsspannungssignal Vout wird an den Verbraucher LOAD geliefert.

[0009] Nun soll der PWM-Regelungsmodus des Gleichspannungswandlers erläutert werden.

[0010] Das mit einer vorgegebenen Frequenz schwingende Dreieckwellensignal Vosc2 von der Oszillatorschaltung OSC2 und das Fehlerverstärker-Ausgangssignal Verr werden zur Pulsweitenmodulation in den Komparator Cmp1 eingegeben. Der Komparator Cmp1 gibt ein Pulsweitenmodulationssignal Vcmp an die Treiberschaltungen Dr1 und Dr2 aus. Liegt das Signal Vcmp auf "Low", wird der p-Kanal-Transistor P1 eingeschaltet. Liegt das Signal Vcmp auf "High", wird der n-Kanal-Transistor N1 eingeschaltet. Die Treiberschaltungen Dr1 und Dr2 stellen

die jeweiligen Zeitpunkte so ein, daß nicht ein Durchgangsstrom von der Eingangsversorgungsspannung V_{in} zum Massepotential GND durch die gleichzeitig eingeschalteten Transistoren P1 und N1 fließt.

[0011] Während der Einschaltdauer des p-Kanal-Transistors P1 fließen elektrische Ladungen von der Eingangsversorgungsspannung V_{in} über die Drosselspule L zum Glättungskondensator C_{out} . Die Stärke des durch die Drosselspule L fließenden Stroms nimmt während der Einschaltdauer des p-Kanal-Transistor P1 zu. Während der Einschaltdauer des n-Kanal-Transistor N1 werden elektrische Ladungen vom Spannungspotential GND an den Glättungskondensator C_{out} geliefert. Die Stärke des durch die Drosselspule L fließenden Stroms nimmt während der Einschaltdauer des n-Kanal-Transistor N1 ab. Durch Eingabe des Rückkopplungssignals V_{fb} , das durch Spannungsteilen des Ausgangsspannungssignals V_{out} durch die Rückkopplungswiderstände R2 und R3 erhalten wurde, zusammen mit dem Ausgangsspannungssteuersignal V_{cont} in den Fehlerverstärker Amp1 wird die Rückkopplungsregelung durchgeführt, so dass das Rückkopplungssignal V_{fb} gleich dem Ausgangsspannungssteuersignal V_{cont} wird.

[0012] Die Rückkopplungsregelung wird nachstehend unter Bezugnahme auf **Fig. 30(a)** und **Fig. 30(b)** erläutert. **Fig. 30(a)** zeigt den PWM-Regelungsmodus des Abwärts-Gleichspannungswandlers beschreibende Wellenformen. **Fig. 30(b)** zeigt andere den PWM-Regelungsmodus des Abwärts-Gleichspannungswandlers beschreibenden Wellenformen.

[0013] Das Verhältnis des Ausgangsspannungssignals V_{out} zur Eingangsversorgungsspannung V_{in} wird durch den folgenden relationalen Ausdruck beschrieben, der die Einschaltdauer t_{on} des p-Kanal-Transistors P1 und die Einschaltdauer t_{off} des n-Kanal-Transistors N1 enthält:

$$V_{out}/V_{in} = t_{on}/(t_{on} + t_{off})$$

[0014] Im Folgenden wird das Verhältnis $t_{on}/(t_{on} + t_{off})$ als relative Einschaltdauer bezeichnet.

[0015] Nunmehr wird der Fall betrachtet, in dem das Ausgangssignal V_{err} des Fehlerverstärkers von dem in **Fig. 30(a)** dargestellten Zustand zu dem in **Fig. 30(b)** dargestellten abfällt. Steigt das Ausgangsspannungssignal V_{out} aufgrund von Schwankungen des im Verbraucher LOAD fließenden Stroms (im Folgenden als "Laststrom" bezeichnet) an, steigt das durch Spannungsteilen des Ausgangsspannungssignals V_{out} durch die Widerstände erhaltene Rückkopplungssignal V_{fb} ebenfalls an. Da das Ausgangssignal V_{err} des Fehlerverstärkers aufgrund des Anstiegs des Rückkopplungssignals V_{fb} ansteigt, verkürzt sich die Einschaltdauer t_{on} des p-Kanal-Transistors P1, und die Einschaltdauer t_{off} des n-Kanal-Transistors N1 wird länger, um den Spannungswert des Ausgangsspannungssignals V_{out} zu verringern. Da die Rückkopplungsregelung des Gleichspannungswandlers wie oben beschrieben erfolgt, wird das Ausgangsspannungssignal V_{out} selbst dann konstant gehalten, wenn sich der Laststrom ändert.

[0016] Nachfolgend wird der PFM-Regelungsmodus erläutert.

[0017] **Fig. 31** ist ein Schaltschema eines Abwärts-Gleichspannungswandlers, der den PFM-Regelungsmodus durchführt.

[0018] Wie aus **Fig. 31** zu ersehen ist, enthält der Abwärts-Gleichspannungswandler einen Fehlerverstärker Amp1, einen Kondensator C1 für den Phasenausgleich, einen Widerstand R1 für den Phasenausgleich, einen Rückkopplungswiderstand R2, einen Rückkopplungswiderstand R3, eine Oszillatorschaltung OSC3, einen Komparator Cmp1 für die Pulsweitenmodulation, eine monostabile Schaltung Oneshot, einen p-Kanal-Ausgangstransistor (MOSFET) P1, eine Diode D1, eine Drosselspule L, eine Treiberschaltung Dr1 und einen Glättungskondensator C_{out} .

[0019] Der Abwärts-Gleichspannungswandler führt den PFM-Regelungsmodus auf die gleiche Weise durch wie der Abwärts-Gleichspannungswandler den in **Fig. 29** beschriebenen PWM-Regelungsmodus durchführt, so dass ein durch Spannungsteilen des Ausgangsspannungssignals V_{out} des Gleichspannungswandlers durch die Widerstände R2 und R3 erhaltenes Rückkopplungssignal V_{fb} gleich einem Ausgangsspannungssteuersignal V_{cont} sein kann, das von außen eingegeben wird. Sind die Werte der Rückkopplungswiderstände R2 und R3, durch die das Ausgangsspannungssignal V_{out} dividiert wird, identisch, ist das Ausgangsspannungssignal V_{out} doppelt so groß wie das Ausgangsspannungssteuersignal V_{cont} .

[0020] Das Ausgangsspannungssteuersignal V_{cont} wird mit dem positiven Eingangsanschluss des Fehlerverstärkers Amp1 verbunden. Das Rückkopplungssignal V_{fb} wird mit dem negativen Eingangsanschluss des Fehlerverstärkers Amp1 verbunden. Der Fehlerverstärker Amp1 bildet unter Einbeziehung des Phasenausgleichswiderstandes R1 und des Phasenausgleichskondensators C1 eine Integrierschaltung. Ein Fehlerverstärker-Ausgangssignal V_{err} vom Fehlerverstärker Amp1 und ein Dreieckwellensignal V_{osc3} von der Oszillatorschaltung OSC3 werden zur Pulsweitenmodulation in den Komparator Cmp1 eingegeben. Das Ausgangssignal V_{err} des Fehlerverstärkers wird außerdem in die Oszillatorschaltung OSC3 eingegeben. Die Source des p-Kanal-Transistors P1 ist mit der Eingangsversorgungsspannung V_{in} und das Drain des p-Kanal-Transistors P1 mit der

Drosselspule L verbunden. Das Gate des p-Kanal-Transistors P1 wird von der Treiberschaltung Dr1 getrieben. Ein von der monostabilen Schaltung Oneshot ausgegebenes Impulssignal Vpl dient als Gate-Signal des p-Kanal-Transistors P1. Die monostabile Schaltung Oneshot erzeugt das Impulssignal Vpl mit einer bestimmten Zeitbreite unter Verwendung der abfallenden Flanke des Pulsweitenmodulations-signals Vcmp zur Ansteuerung. Die Rückflußdiode D1 ist zwischen dem Massepotential GND und der Drosselspule L geschaltet. Das mit einer Gleichspannung von der Drosselspule L und dem Glättungskondensator Cout geformte Ausgangsspannungssignal Vout wird an den Verbraucher LOAD geliefert.

[0021] Wird der Spannungswert des Ausgangsspannungssteuersignals Vcont erhöht, steigt die Schwingfrequenz des von der Oszillatorschaltung OSC3 ausgegebenen Dreieckwellensignals Vosc3 an, da das Ausgangssignal Verr des Fehlerverstärkers ansteigt. Da die Schaltfrequenz des p-Kanal-Transistors P1 aufgrund des Anstiegs der Schwingfrequenz des Dreieckwellensignals Vosc3 ansteigt, nimmt der durch die Drosselspule L zum Glättungskondensator Cout fließende Strom zu und das Ausgangsspannungssignal Vout steigt an. Der PFM-Regelungsmodus führt also auch die Regelung der Höhe des Ausgangsspannungssignals Vout auf Basis des Spannungswertes des Ausgangsspannungssteuersignals Vcont durch.

[0022] Fig. 32 zeigt die den PFM-Regelungsmodus des Gleichspannungswandlers beschreibenden Wellenformen.

[0023] Die Wellenformen (a) in Fig. 32 repräsentieren das Fehlerverstärker-Ausgangssignal Verr, das in den Komparator Cmp1 zur Pulsweitenmodulation eingegeben wird, und das Dreieckwellensignal Vosc3. Die Oszillatorschaltung OSC3 gibt das Dreieckwellensignal Vosc3 mit einer Frequenz entsprechend dem Ausgangssignal Verr des Fehlerverstärkers aus.

[0024] Die Wellenform (b) in Fig. 32 repräsentiert das Pulsweitenmodulationssignal Vcmp. Der Komparator zur Pulsweitenmodulation Cmp1 vergleicht das Fehlerverstärker-Ausgangssignal Verr mit dem eingegebenen Dreieckwellensignal Vosc3 und gibt das Pulsweitenmodulationssignal Vcmp an die monostabile Schaltung Oneshot aus.

[0025] Die Wellenform (c) in Fig. 32 repräsentiert das von der monostabilen Schaltung Oneshot ausgegebene Impulssignal Vpl. Das von der abfallenden Flanke des Pulsweitenmodulationssignals Vcmp angestoßene Impulssignal Vpl mit einer bestimmten Zeitbreite tpulse wird an die Treiberschaltung Dr1 ausgegeben. Da der p-Kanal-Transistor P1 während der Dauer, in der das Impulssignal Vpl auf

„Low“ liegt, von der Treiberschaltung Dr1 eingeschaltet wird, fließt ein Strom von der Eingangsversorgungsspannung Vin über den p-Kanal-Transistor P1 in die Drosselspule L.

[0026] Die Wellenform (d) in Fig. 32 repräsentiert den durch die Drosselspule L fließenden Strom. Der Spulenstrom IL steigt von D mit einer Steigung von $(V_{in} - V_{out})/L$ bezogen auf die Zeit nach dem Einschalten des p-Kanal-Transistors P1 an. Nachdem der p-Kanal-Transistor P1 abgeschaltet worden ist, fließt ein Strom von der Drosselspule L über die Rückflußdiode D1 zum Massepotential GND. Dieser Strom nimmt bezogen auf die Zeit mit der Steigung von V_{out}/L ab.

[0027] Das durch Spannungsteilen des Ausgangsspannungssignals Vout durch die Rückkopplungswiderstände R2 und R3 erzeugte Rückkopplungssignal Vfb wird zusammen mit dem Ausgangsspannungssteuersignal Vcont in den Fehlerverstärker Amp1 eingegeben. Als Ergebnis wird die Rückkopplungsregelung durchgeführt, so dass das Ausgangsspannungssteuersignal Vcont dem Rückkopplungssignal Vfb gleich gemacht werden kann.

[0028] Da das Ausgangsspannungssignal Vout in der Praxis durch die Summe aus dem vom Glättungskondensator Cout zum Verbraucher LOAD fließenden Strom und dem über die Drosselspule L in den Glättungskondensator Cout fließenden Strom bestimmt wird, erfolgt die Rückkopplungsregelung so, dass diese Ströme einander gleich gemacht werden können. Mit anderen Worten, das Ausgangsspannungssignal Vout steigt an, wenn der Laststrom abnimmt, und das durch Spannungsteilen des Ausgangsspannungssignals Vout durch die Widerstände erhalten Rückkopplungssignal Vfb steigt ebenfalls an. Das Ausgangssignal Verr des Fehlerverstärkers fällt deshalb ab und senkt die Schwingfrequenz des Dreieckwellensignals Vosc3. Da die Schaltfrequenz des p-Kanal-Transistors P1 aufgrund der Verringerung der Schwingfrequenz des Dreieckwellensignals Vosc3 abnimmt, nimmt der über die Drosselspule L in den Glättungskondensator Cout fließende Strom ab.

[0029] Der im PFM-Regelungsmodus arbeitende Gleichspannungswandler gestattet also die Rückkopplungsregelung und kann selbst bei sich ändernden Lastströmen das Ausgangsspannungssignal Vout auf einem bestimmten Wert halten.

[0030] Seit kurzem mehrten sich die Forderungen nach sehr schnellen Änderungen der Ausgangsspannung des Gleichspannungswandlers. Der herkömmliche Gleichspannungswandler erzeugt eine bestimmte Ausgangsspannung auf Basis einer festen Referenzspannung. Im Gegensatz dazu ist eine Schaltungskonfiguration gefordert worden, die die Ausgangsspannung des Gleichspannungswandlers auf

Basis einer variablen z. B. von außen eingespeisten Referenzspannung anstelle der herkömmlichen festen Referenzspannung ändert.

[0031] So musste beispielsweise der Leistungsverstärker in einem schnurlosen Telefongerät, das das W-CDMA-System verwendet, die elektrische Leistungsaufnahme der im schnurlosen Telefongerät integrierten Spannungsversorgung unterdrücken. Zur Erfüllung der obigen Anforderungen wird die elektrische Übertragungsleistung unterdrückt, wenn sich der Mobilteil in der Nähe der Basisstation befindet und Funkwellen überträgt und empfängt. Mit anderen Worten, die an den Leistungsverstärker gelieferte Versorgungsspannung wird entsprechend der zum Übertragen erforderlichen elektrischen Leistung geändert.

[0032] Um eine stabile Regelung der Ausgangsspannung entsprechend den großen Schwankungen der Eingangsspannung und der Last zu gestatten, offenbart die nachstehende Patentveröffentlichung 1 einen Gleichspannungswandler, der den Schaltmodus der Treiberschaltung auf der primären Seite vom Zeitverhältnis-Modulationsmodus zum Frequenzmodulationsmodus oder umgekehrt schaltet, um die großen Schwankungen der Eingangsspannung und der Last verarbeiten zu können.

[0033] Die nachstehende Patentveröffentlichung 2 beschreibt, dass das sich schrittweise ändernde Ausgangsspannungssteuersignal V_{cont} den Ausgang des Fehlerverstärkers Amp1 der in [Fig. 29](#) aus dem Fehlerverstärker Amp1, dem Widerstand R1 und dem Kondensator C1 gebildeten Integrierschaltung unmittelbar beeinflusst.

Patentveröffentlichung 1:

[0034]

Japanische Offenlegungsschrift 2001-258245, (Abs. Nr. [0008] bis [0011] und [Fig. 1](#))

Patentveröffentlichung 2:

[0035]

Japanische Offenlegungsschrift 2002-78326, (Abs. Nr. [0004] bis [0005], [Fig. 11](#) und [Fig. 12](#)).

[0036] Es ist allgemein bekannt, dass es mit einem den PWM- oder PFM-Modus wählenden Gleichspannungswandler einfacher ist, das Ausgangsspannungssignal V_{out} auf einem bestimmten Wert zu halten, während er gleichzeitig einen hohen Wirkungsgrad der Wandlung über einen weiten Lastbereich aufweist. Das als Referenzspannung eingegebene Ausgangsspannungssteuersignal V_{cont} ändert sich bei niedriger Last jedoch drastisch. Wird der Gleichspannungswandler unter niedrigen Lastbedingungen stets im PFM-Modus betrieben, wird die

Ansprechcharakteristik des Ausgangsspannungssignals V_{out} für die drastische Änderung des Ausgangsspannungssteuersignals V_{cont} beeinträchtigt.

[0037] Die Ansprechcharakteristik des Ausgangsspannungssignals V_{out} wird nachstehend näher beschrieben.

[0038] [Fig. 33](#) zeigt die Wellenformen, die die Änderungen des Ausgangsspannungssignals V_{out} im PFM-Regelungsmodus beschreiben.

[0039] Wie aus der Wellenform (a) in [Fig. 33](#) ersichtlich ist, steigt das Ausgangsspannungssteuersignal V_{cont} in einem Zeitpunkt t_1 an und fällt in einem Zeitpunkt t_3 ab. In Zusammenhang mit den oben beschriebenen Schwankungen des Ausgangsspannungssteuersignals V_{cont} steigt das Ausgangsspannungssignal V_{out} während einer Zeitspanne T_{r1} von einem Potential V_{out1} auf ein Potential V_{out2} an und fällt während einer Zeitspanne T_{f1} (siehe Wellenform (b) in [Fig. 33](#)) von Potential V_{out2} auf das Potential V_{out1} ab. Die Stromstärke für die vom Glättungskondensator C_{out} gebildete Ausgangskapazität ist die Summe aus dem durch die Ladungszu- und -abnahme des Glättungskondensators aufgrund des Anstiegs und Abfalls des Ausgangsspannungssignals V_{out} entstandenen Strom und dem Laststrom. Hier wird der Laststrom ungeachtet der Größe des Ausgangsspannungssignals V_{out} als konstant angenommen wie durch die Wellenform (c) in [Fig. 33](#) dargestellt, um die Erläuterung zu vereinfachen. Wie die Wellenform (d) in [Fig. 33](#) zeigt, fließt der Strom für die Zu- und Abnahme der Ladungsmenge im Glättungskondensator C_{out} durch diesen hindurch.

[0040] Da der PFM-Regelungsmodus die Zu- und Abnahme der Stromstärke durch Zu- und Abnahme der Schaltfrequenz regelt, wie aus den Spulenstrom-Wellenformen (e) in [Fig. 33](#) ersichtlich ist, kann der PFM-Regelungsmodus anders als der PFM-Regelungsmodus die drastische Änderung nicht verarbeiten.

[0041] Bei dem schnurlosen Telefongerät, das das W-CDMA-System verwendet, muss die Umschaltedauer der Versorgungsspannung einige zehn μs betragen. Da der Strom während des Zeitraums zwischen t_3 und t_4 , in dem die Spannung abfällt, fließen kann, gibt es keine andere Methode, die Ladungsträger des Glättungskondensators C_{out} zu entladen, als den Strom zum Verbraucher LOAD fließen zu lassen. Ist der Laststrom niedrig, ist die Zeitspanne T_{f1} , die erforderlich ist, um das Ausgangsspannungssignal V_{out} vom Potential V_{out2} auf das Potential V_{out1} abfallen zu lassen, zu lang, um die Anforderung nach den obigen einigen zehn μs zu erfüllen.

[0042] Ein Gleichspannungswandler der im Oberbegriff des Patentanspruchs 1 angegebenen Art ist aus

der EP 1 213 822 A bekannt. Bei diesem Stand der Technik wird der Istwert der an den Verbraucher gelieferten Gleichspannung (Ausgangsspannung) mit einem Schwellenwert verglichen und eine Umschaltung vom PFM-Modus in den PWM-Modus erfolgt, wenn dieser Istwert unter den Schwellenwert fällt.

[0043] Ein dem vorgenannten ähnlicher Gleichspannungswandler ist aus der WO 96/10287 A bekannt. Auch bei diesem Stand der Technik dienen als Umschaltkriterien zwischen den beiden Regelungsmodi der Ausgangsspannung und der Betrag des Ausgangsstroms. Bei niedriger Ausgangsspannung erfolgt eine Umschaltung in den PWM-Modus. Bei normaler Ausgangsspannung und niedrigem Ausgangsstrom wird der PFM-Modus eingeschaltet.

[0044] Aus der DE 198 31 498 A1 ist ein Schaltregler mit PI-Verhalten bekannt, dessen Regelverstärker zur Verhinderung von Überschwüngen mit einer Begrenzungsbeschaltung versehen ist. Der Regelverstärker vergleicht in üblicher Weise den Istwert einer der Ausgangsspannung entsprechenden Signals mit einem Sollwert, um ein Fehlersignal für das Stellglied zu erzeugen. Der zur Erzielung des PI-Verhaltens des Reglers dienende Gegenkopplungszweig des Regelverstärkers enthält die Reihenschaltung aus einem Widerstand und einem Kondensator. Der Verbindungspunkt zwischen beiden ist über die Reihenschaltung aus einer Diodenanordnung und einem Widerstand mit dem Sollwert-Eingang des Regelverstärkers verbunden. Durch diese Einwirkung auf den Sollwerteingang wird eine Überschwüngenbegrenzung z. B. bei Spannungssprüngen verhindert.

[0045] Die JP 2002-078326 A beschreibt einen Regelverstärker für PWM-geregelten Gleichspannungswandler, bei dem einem normalen Regelverstärker ein PI-Glied nachgeschaltet ist, so daß sich ein PI-Regelverhalten einstellt.

[0046] Die JP 2001-112251 A offenbart ein Schaltnetzteil mit PWM-Regelung, bei dem durch Verringerung der Frequenz des zur PWM-Modulation dienenden Dreiecksignals bei geringer Last die sonst für diesen Fall auftretenden Schatverluste vermieden werden.

[0047] In Anbetracht des oben Gesagten ist es Aufgabe der Erfindung, einen Gleichspannungswandler bereitzustellen, der die Aufrechterhaltung eines hohen Wirkungsgrades über einen weiten Lastbereich gestattet und verhindert, dass das Ansprechverhalten des Ausgangsspannungssignals unter Bedingungen bei niedriger Last beeinträchtigt wird.

[0048] Diese Aufgabe wird mit einem Gleichspannungswandler gemäß Patentaanspruch 1 gelöst.

Vorteilhafte Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

[0049] Der erfindungsgemäße Gleichspannungswandler, der bei einer Änderung der Ausgangsspannung den PWM-Regelungsmodus ausführt, gestattet die Erhöhung und Verringerung des Lade- und Entladestroms der Ausgangskapazität innerhalb einer kurzen Zeitspanne und verkürzt die Einschwingzeit der Ausgangsspannung.

[0050] Die Erfindung wird nunmehr im Folgenden detailliert unter Bezugnahme auf die beiliegenden Figuren beschrieben, die die bevorzugte Ausführungsformen der Erfindung darstellen.

[0051] [Fig. 1](#) ist ein Schaltschema eines Gleichspannungswandlers gemäß einer ersten Ausführungsform der Erfindung.

[0052] [Fig. 2](#) ist das Schaltschema der Multiplexerschaltungen des Gleichspannungswandlers gemäß der ersten Ausführungsform der Erfindung.

[0053] [Fig. 3](#) ist das Schaltschema der Oszillatorschaltung des Gleichspannungswandlers gemäß der ersten Ausführungsform der Erfindung.

[0054] [Fig. 4](#) ist die Wellenform des von der in [Fig. 3](#) dargestellten Oszillatorschaltung ausgegebenen Dreieckwellensignals.

[0055] [Fig. 5](#) ist das Schaltschema der PWM/PFM-Wählschaltung des Gleichspannungswandlers gemäß der ersten Ausführungsform der Erfindung.

[0056] [Fig. 6](#) ist eine Tabelle, in der das Wählsignal PWM/PFM zu den Änderungen der Last und der Ausgangsspannung in Beziehung gesetzt wird.

[0057] [Fig. 7](#) ist das Schaltschema der in [Fig. 5](#) dargestellten Lastbewertungsschaltung.

[0058] [Fig. 8](#) zeigt die Wellenformen, die die Operationen der in [Fig. 7](#) dargestellten Lastbewertungsschaltung beschreiben.

[0059] [Fig. 9](#) ist ein Schaltschema der Detektorschaltung für die Änderung der Ausgangsspannung in der PWM/PFM-Wählschaltung in [Fig. 5](#).

[0060] [Fig. 10](#) zeigt die die Operationen jedes Bestandteils der in [Fig. 9](#) dargestellten Detektorschaltung für die Änderung der Ausgangsspannung beschreibenden Wellenformen.

[0061] [Fig. 11](#) ist ein Schaltschema einer anderen Detektorschaltung für die Änderung der Ausgangsspannung.

[0062] [Fig. 12](#) zeigt die Wellenformen, die die Operationen jedes Bestandteils der in [Fig. 11](#) dargestellten Detektorschaltung für die Änderung der Ausgangsspannung beschreiben.

[0063] [Fig. 13](#) zeigt die Wellenformen, die die Operationen jedes Bestandteils der in [Fig. 11](#) dargestellten Detektorschaltung für die Änderung der Ausgangsspannung in dem Fall beschreiben, in dem sich der Laststrom abrupt ändert.

[0064] [Fig. 14](#) zeigt die Wellenformen, die die Änderungen des Ausgangsspannungssignals V_{out} im FWM-Regelungsmodus beschreiben.

[0065] [Fig. 15](#) zeigt die Wellenformen, die die Änderungen der Ausgangsspannung des Gleichspannungswandlers unter Bedingungen mit niedriger Last beschreiben.

[0066] [Fig. 16](#) zeigt die Wellenformen, die die Änderungen der Ausgangsspannung des Gleichspannungswandlers mit der in [Fig. 11](#) dargestellten Detektorschaltung für die in dem Fall beschreiben, in dem sich der Laststrom abrupt ändert.

[0067] [Fig. 17](#) ist ein Schaltschema eines Gleichspannungswandlers gemäß einer zweiten Ausführungsform der Erfindung.

[0068] [Fig. 18](#) ist ein Schaltschema der in [Fig. 17](#) dargestellten Subtraktionsschaltung.

[0069] [Fig. 19](#) ist ein Schaltschema der in [Fig. 17](#) dargestellten Oszillatorschaltung.

[0070] [Fig. 20](#) ist die Wellenform des von der in [Fig. 19](#) dargestellten Oszillatorschaltung ausgegebenen Dreieckwellensignals V_{osc2} .

[0071] [Fig. 21](#) ist ein Graph, in dem das Ausgangsspannungssignal in Abhängigkeit vom Ausgangssignal des Fehlerverstärkers im stationären Zustand des in [Fig. 1](#) dargestellten Gleichspannungswandlers aufgetragen ist, der auf Basis des Dreieckwellensignals den PWM-Regelungsmodus durchführt.

[0072] [Fig. 22](#) ist ein Graph, in dem die Schwingfrequenz in Abhängigkeit vom Ausgangssignal des Fehlerverstärkers des in [Fig. 1](#) dargestellten Gleichspannungswandlers aufgetragen ist, der auf Basis des Dreieckwellensignals den PFM-Regelungsmodus durchführt.

[0073] [Fig. 23](#) ist ein Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus für das Fehlerverstärker-Ausgangssignal darstellt.

[0074] [Fig. 24](#) zeigt ein Kurvenpaar, das das Unterschwingen des Ausgangsspannungssignals be-

schreibt, das durch den Prozess des Umschaltens vom PFM- in den PWM-Regelungsmodus verursacht wird.

[0075] [Fig. 25](#) zeigt ein Kurvenpaar, das das Überschwingen des Ausgangsspannungssignals beschreibt, das durch den Prozess des Umschaltens vom PWM- in den PFM-Regelungsmodus verursacht wird.

[0076] [Fig. 26](#) zeigt eine Gerade, die die Beziehung zwischen dem Fehlerverstärker-Ausgangssignal V_{err} und der Schwingfrequenz f_{osc} im PFM-Regelungsmodus auf Basis des Dreieckwellensignals V_{osc2} repräsentiert.

[0077] [Fig. 27](#) ist ein Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus des Fehlerverstärker-Ausgangssignals darstellt. [Fig. 28](#) ist ein weiterer Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus des Fehlerverstärker-Ausgangssignals darstellt.

[0078] [Fig. 29](#) ist ein Schaltschema eines Abwärts-Gleichspannungswandlers, der den PWM-Regelungsmodus durchführt.

[0079] [Fig. 30\(a\)](#) zeigt den PWM-Regelungsmodus des Abwärts-Gleichspannungswandlers beschreibende Wellenformen.

[0080] [Fig. 30\(b\)](#) zeigt die anderen den PWM-Regelungsmodus des Abwärts-Gleichspannungswandlers beschreibenden Wellenformen.

[0081] [Fig. 31](#) ist ein Schaltschema eines Abwärts-Gleichspannungswandlers, der den PFM-Regelungsmodus durchführt.

[0082] [Fig. 32](#) zeigt die den PFM-Regelungsmodus des Gleichspannungswandlers beschreibenden Wellenformen.

[0083] [Fig. 33](#) zeigt die Wellenformen, die die Änderungen des Ausgangsspannungssignals V_{out} im PFM-Regelungsmodus beschreiben.

Erste Ausführungsform

[0084] [Fig. 1](#) ist ein Schaltschema eines Gleichspannungswandlers gemäß einer ersten Ausführungsform der Erfindung.

[0085] Wie aus [Fig. 1](#) ersichtlich ist, wandelt der Gleichspannungswandler gemäß der ersten Ausführungsform eine Eingangsversorgungsspannung V_{in} auf einen bestimmten Spannungspegel und liefert die gewandelte Spannung an einen Verbraucher $LOAD$. Der Gleichspannungswandler gemäß der ersten Ausführungsform enthält einen Fehlerverstärker (Ope-

rationsverstärker) Amp1, einen Kondensator C1 für den Phasenausgleich, einen Widerstand R1 für den Phasenausgleich, einen Rückkopplungswiderstand R2, einen Rückkopplungswiderstand R3, eine Oszillatorschaltung OSC1, einen Komparator Cmp1 für die Pulsweitenmodulation, eine monostabile Schaltung Oneshot, Multiplexer-Schaltungen Mux1 und Mux2, Treiberschaltungen Dr1 und Dr2, einen p-Kanal-Transistor (MOSFET) P1 für die Ausgabe, einen n-Kanal-Transistor (MOSFET) N1 für die Ausgabe, eine Drosselspule L, eine Diode D2, einen Glättungskondensator Cout und eine PWM/PFM-Wählschaltung **10**.

[0086] Die Eingangsversorgungsspannung Vin, ein von der Treiberschaltung Dr1 ausgegebenes Gate-Signal Gp1, ein Spannungssignal Lx, ein Ausgangssignal Verr des Fehlerverstärkers, ein Pulsweitenmodulationssignal Vcmp, ein Ausgangsspannungssteuersignal Vcont und ein Ausgangsspannungssignal Vout werden in die PWM/PFM-Wählschaltung **10** eingegeben. Die PWM/PFM-Wählschaltung **10** gibt ein Wählsignal PWM/PFM für die Wahl des PWM- bzw. des PFM-Regelungsmodus aus.

[0087] Das Ausgangsspannungssteuersignal Vcont wird mit dem positiven Eingangsanschluss des Fehlerverstärkers Amp1 verbunden. Ein durch Spannungsteilen des Ausgangsspannungssignals Vout durch die Widerstände R2 und R3 erhaltenes Rückkopplungssignal Vfb wird mit dem negativen Eingangsanschluss des Fehlerverstärkers Amp1 verbunden. Der Fehlerverstärker Amp1 bildet unter Einbeziehung des Phasenausgleichswiderstandes R1 und des Phasenausgleichskondensators C1 eine Integrierschaltung. Ein Fehlerverstärker-Ausgangssignal Verr vom Fehlerverstärker Amp1 wird in den negativen Eingangsanschluss des Komparators Cmp1 und in den Eingangsanschluss der Oszillatorschaltung OSC1 eingegeben. Ein Dreieckwellensignal Vosc1 wird von der Oszillatorschaltung OSC1 zum positiven Eingangsanschluss des Komparators Cmp1 ausgegeben.

[0088] Das Pulsweitenmodulationssignal Vcmp wird vom Komparator Cmp1 an die monostabile Schaltung Oneshot und die Eingangsanschlüsse "1" der Multiplexer-Schaltungen Mux1 und Mux2 gelegt. Der Ausgang der monostabilen Schaltung Oneshot ist mit dem Eingangsanschluss "0" der Multiplexer-Schaltung Mux1 verbunden. Der Eingangsanschluss "0" der Multiplexer-Schaltung Mux2 liegt an Masse. Der Ausgangsanschluss "OUT" der Multiplexer-Schaltung Mux1 ist über die Treiberschaltung Dr1 mit dem Gate des p-Kanal-Transistors P1 verbunden. Der Ausgangsanschluss "OUT" der Multiplexer-Schaltung Mux2 ist über die Treiberschaltung Dr2 mit dem Gate des n-Kanal-Transistors N1 verbunden. Das Wählsignal PWM/PFM von der PWM/PFM-Wählschaltung **10** wird in die Steuereingangs-

anschlüsse "s" der Multiplexer-Schaltungen Mux1 und Mux2 eingespeist.

[0089] Die Source des p-Kanal-Transistors P1 wird mit der Eingangsversorgungsspannung Vin und das Drain des p-Kanal-Transistors P1 mit der Drosselspule L verbunden. Das Gate des p-Kanal-Transistors P1 wird von der Treiberschaltung Dr1 getrieben. Der n-Kanal-Transistor N1 wird mit dem Massepotential GND und der Drosselspule L verbunden. Das Gate des n-Kanal-Transistors N1 wird von der Treiberschaltung Dr2 getrieben. Das mit einer Gleichspannung von der Drosselspule L und dem Glättungskondensator Cout geformte Ausgangsspannungssignal Vout wird an den Verbraucher LOAD geliefert. Das Rückkopplungssignal Vfb wird durch Spannungsteilen des Ausgangsspannungssignals Vout durch die Widerstände R2 und R3 gebildet. Das Ausgangssignal Verr vom Fehlerverstärker Amp1 und das Wählsignal PWM/PFM von der PWM/PFM-Wählschaltung **10** werden in die Oszillatorschaltung OSC1 eingegeben. Die Oszillatorschaltung OSC1 ändert ihren Schwingmodus entsprechend dem "High"- oder "Low"-Pegel des Wählsignals PWM/PFM. Das in die Treiberschaltung Dr1 eingegebene Signal wird zum Pulsweitenmodulationssignal Vcmp oder zum Ausgang der monostabilen Schaltung Oneshot entsprechend dem "High"- oder "Low"-Pegel des Wählsignals PWM/PFM geändert. Das in die Treiberschaltung Dr2 eingegebene Signal wird zum Pulsweitenmodulationssignal Vcmp oder zum Massepotential GND entsprechend dem "High"- oder "Low"-Pegel des Wählsignals PWM/PFM geändert.

[0090] Der Gleichspannungswandler gemäß der ersten Ausführungsform der Erfindung ist so konfiguriert, dass entweder der PWM-Regelungsmodus, d. h. der erste Rückkopplungsregelungsmodus, oder der PFM-Regelungsmodus, d. h. der zweite Rückkopplungsregelungsmodus, gewählt wird. Der Gleichspannungswandler gemäß der ersten Ausführungsform wählt den PFM-Regelungsmodus in dem Bereich, in dem der Laststrom zum Verbraucher LOAD niedriger als ein vorgegebener Wert ist, und den PWM-Regelungsmodus unabhängig von der Stärke des Laststroms, wenn sich der Pegel der an den Verbraucher LOAD gelieferten Spannung ändert. Da die Funktionsweise der Schaltung für den PWM-Regelungsmodus verschieden von der der Schaltung für den PFM-Regelungsmodus ist, muss der Gleichspannungswandler ein Wählsignal PWM/PFM haben. Der Gleichspannungswandler gemäß der ersten Ausführungsform schaltet deshalb die Betriebsmodi der Oszillatorschaltung OSC1 und die Eingänge zu den Multiplexerschaltungen Mux1 und Mux2 um.

[0091] Das Wählsignal PWM/PFM wird für den PWM-Regelungsmodus auf "High" gelegt. In [Fig. 1](#) haben die Multiplexerschaltungen Mux1 und Mux2 die gleiche Schaltungskonfiguration.

[0092] Fig. 2 ist das Schaltschema der Multiplexerschaltungen des Gleichspannungswandlers gemäß der ersten Ausführungsform der Erfindung.

[0093] Wie aus Fig. 2 ersichtlich ist, wird ein erstes Eingangssignal "1" in einen Eingangsanschluss 21 und ein zweites Eingangssignal "0" in einen Eingangsanschluss 22 eingegeben. In Fig. 2 sind p-Kanal-Transistoren (MOSFET's) P10 und P11 und n-Kanal-Transistoren (MOSFET's) N10 und N11 dargestellt. Die p-Kanal-Transistoren P10, P11 und die n-Kanal-Transistoren N10, N11 bilden zwei analoge Schaltersätze. Ein Eingangsanschluss 23 ist mit den Gates des n-Kanal-Transistors N10 und des p-Kanal-Transistors P11 verbunden. Ein Einstellsignal "s" wird an die Gates des n-Kanal-Transistors N10 und des p-Kanal-Transistors P11 gelegt. Der Eingangsanschluss 23 ist außerdem über eine Inverterschaltung inv1 mit den Gates des n-Kanal-Transistors N11 und des p-Kanal-Transistors P10 verbunden.

[0094] In der in Fig. 2 dargestellten Multiplexerschaltung werden der n-Kanal-Transistor N10 und der p-Kanal-Transistor P10 leitend, wenn das an den Eingangsanschluss 23 gelieferte Einstellsignal "s" auf "High" liegt, und das in den Eingangsanschluss 21 eingegebene erste Eingangssignal "1" wird von der Multiplexerschaltung als Ausgangssignal "out" ausgegeben. Während dieser Zeitspanne wird das zweite Eingangssignal "0" am Eingangsanschluss 22 aufgrund des ausgeschalteten Zustands (OFF) des n-Kanal-Transistors N11 und des p-Kanal-Transistors P11 unterbrochen. Liegt das Einstellsignal "s" auf "Low", wird das zweite Eingangssignal "0" am Eingangsanschluss 22 als Ausgangssignal "out" ausgegeben.

[0095] Fig. 3 ist das Schaltschema der Oszillatorschaltung des Gleichspannungswandlers gemäß der ersten Ausführungsform der Erfindung.

[0096] Wie aus Fig. 3 ersichtlich ist, enthält die Oszillatorschaltung OCS1 einen Operationsverstärker Amp2, eine Multiplexerschaltung Mux3, Komparatoren Cmp2 und Cmp3, p-Kanal-Transistoren (MOSFET's) P3 bis P7, n-Kanal-Transistoren (MOSFET's) N4 bis N7, einen Widerstand R4, NOR-Gatter NOR1 und NOR2 und einen Kondensator C3.

[0097] In Fig. 3 wird eine interne Referenzspannung V_{osc} oder das Ausgangssignal V_{err} des Fehlerverstärkers vom Eingangsanschluss der Multiplexerschaltung Mux3 an den negativen Eingangsanschluss des Operationsverstärkers Amp2 entsprechend der Eingangsspannung zum Wählanschluss S gelegt. Die Multiplexerschaltung Mux3 hat die gleichen Funktionen wie die für die Multiplexerschaltungen Mux1 und Mux2 in Zusammenhang mit Fig. 2 beschriebenen. Die Multiplexerschaltung Mux3 gibt die interne Referenzspannung V_{osc} aus, wenn das

Wählsignal PWM/PFM vom Wählanschluss S den PWM-Modus angibt, und das Fehlerverstärker-Ausgangssignal V_{err}, wenn das Wählsignal PWM/PFM den PFM-Modus angibt.

[0098] Die Konfiguration des Operationsverstärkers Amp2, des p-Kanal-Transistors P3 und des Widerstands R4 bestimmt den Strom I₃, der im PWM-Modus mit V_{osc}/R4 und im PFM-Modus mit V_{err}/R4 durch den Widerstand R4 fließt. Die Eingänge zu den Gates der p-Kanal-Transistoren P4 und P3 sind verbunden und die Spannungen zwischen den Gates und den Sources derselben sind identisch. Deshalb ist das Produkt aus dem Drain-Strom I₄ des p-Kanal-Transistors P4 und dem Verhältnis zwischen der Gate-Breite und der Gate-Länge des p-Kanal-Transistors P3 gleich dem Produkt aus dem Strom I₃ durch den Widerstand R4 und dem Verhältnis zwischen der Gate-Breite und der Gate-Länge des p-Kanal-Transistors P4. Diese Beziehung gilt analog für die Ströme I₅, I₆ und I₇, die durch die anderen Transistoren fließen. Die Gates des p-Kanal-Transistors P7 und des n-Kanal-Transistors N7 sind mit dem NOR-Gatter NOR2 unter Bildung eines RS-Flipflops verbunden, und ein Ausgangssignal V_c wird vom NOR-Gatter NOR2 an die Gates des p-Kanal-Transistors P7 und des n-Kanal-Transistors N7 gelegt. Da der n-Kanal-Transistor N7 eingeschaltet (ON) und der p-Kanal-Transistor P7 ausgeschaltet (OFF) ist, wenn das Ausgangssignal V_c vom RS-Flipflop "High" ist, wird der Strom I₇ vom Kondensator C3 über die n-Kanal-Transistoren N7 und N6 entladen. Da der n-Kanal-Transistor N7 ausgeschaltet (OFF) und der p-Kanal-Transistor P7 eingeschaltet (ON) ist, wenn das Ausgangssignal V_c vom RS-Flipflop "Low" ist, wird der Strom I₆ über die p-Kanal-Transistoren P6 und P7 in den Kondensator C3 geladen.

[0099] Das Potential des Dreieckwellensignals V_{ocs1}, das als Aufladespannung des Kondensators C3 ausgegeben wird, wird von den Komparatoren Cmp2 und Cmp3 überwacht, in die interne Referenzspannungen V_{hosc} bzw. V_{losc} mit der Beziehung V_{hosc} > V_{losc} eingegeben werden. Das Potential des Dreieckwellensignals V_{ocs1} steigt an, wenn das Ausgangssignal V_c vom RS-Flipflop "Low" ist. Da der Ausgang des Komparators Cmp2 nach "High" geht, sobald das ansteigende Potential des Dreieckwellensignals V_{ocs1} die interne Referenzspannung V_{hosc} überschreitet, wechselt das Ausgangssignal V_c des RS-Flipflops nach "High". Sobald das Potential des Dreieckwellensignals V_{ocs1} danach unter die interne Referenzspannung V_{losc} abfällt, geht der Ausgang des Komparators Cmp3 nach "High" und das Ausgangssignal V_c des RS-Flipflops geht wieder nach "Low".

[0100] Fig. 4 ist die Wellenform des von der in Fig. 3 dargestellten Oszillatorschaltung ausgegebenen Dreieckwellensignals V_{osc1}.

[0101] Die Zeitspanne T_r , während derer das Potential des Dreieckwellensignals V_{osc1} ansteigt, wird durch den folgenden relationalen Ausdruck angegeben, der den unteren Grenzwert V_{hosc} und den oberen Grenzwert des Potentials des Dreieckwellensignals V_{osc1} verwendet: $T_r = C_3 \times (V_{hosc} - V_{osc})/I_6$.

[0102] Analog wird die Zeitspanne T_f , während derer das Potential des Dreieckwellensignals V_{osc1} abfällt, durch den folgenden relationalen Ausdruck angegeben: $T_f = C_3 \times (V_{hosc} - V_{osc})/I_7$.

[0103] Die Ströme I_6 und I_7 sind proportional zum Strom I_3 . Die Schwingfrequenz f_{osc} des Dreieckwellensignals V_{osc1} kann deshalb durch Ändern des Widerstands R_4 , der internen Referenzspannung V_{osc} oder des Spannungswertes des Ausgangssignals V_{err} des Fehlerverstärkers, das an den Eingangsanschluss der Multiplexerschaltung Mux_3 gelegt wird, eingestellt werden.

[0104] [Fig. 5](#) ist das Schaltschema der PWM/PFM-Wählschaltung **10** des Gleichspannungswandlers gemäß der ersten Ausführungsform der Erfindung.

[0105] Die PWM/PFM-Wählschaltung **10** wählt den PWM- oder der PFM-Regelungsmodus des Gleichspannungswandlers. Um die Wahl zu ermöglichen, muss die Stärke der mit dem Gleichspannungswandler verbundenen Last $LOAD$ bekannt sein und ob es erforderlich ist, das Ausgangsspannungssignal V_{out} zu ändern oder nicht. Die PWM/PFM-Wählschaltung **10** enthält eine Lastbewertungsschaltung **51**, eine Detektorschaltung **52** für die Ausgangsspannungsänderung, NOR-Gatter NOR_3 und NOR_4 und ein OR-Gatter OR_1 .

[0106] Die Eingangsversorgungsspannung V_{in} , ein von der Treiberschaltung Dr_1 ausgegebenes Gate-Signal Gp_1 , ein Spannungssignal L_x , das Ausgangssignal V_{err} des Fehlerverstärkers und das Pulsweitenmodulationssignal V_{cmp} werden in die Lastbewertungsschaltung **51** eingegeben. Die Lastbewertungsschaltung **51** gibt auf Basis der Schwellenwerte U_{th} und L_{th} zwei Impulssignale out_{ov} und out_{ud} aus. Der Schwellenwert U_{th} ist eine Referenz zur Bewertung der Stärke der Last beim Übergang vom PFM- in den PWM-Regelungsmodus. Der Schwellenwert L_{th} ist eine Referenz zur Bewertung der Stärke der Last beim Übergang vom PWM- in den PFM-Regelungsmodus. Um den stabilen Betrieb der Lastbewertungsschaltung **51** sicherzustellen, stehen die Schwellenwerte U_{th} und L_{th} in einer Hysteresebeziehung zueinander, z. B. $U_{th} > L_{th}$. Sobald die Last $LOAD$ den Schwellenwert U_{th} überschreitet, geht das Impulssignal out_{ov} nach "High", und ein Lastbewertungssignal req_1 wird von einem RS-Flipflop aus den NOR-Gattern NOR_3 und NOR_4 auf "High" gehalten. Sobald die Last $LOAD$ den Schwellenwert L_{th} unterschreitet, geht das Impulssignal out_{ud} nach "High",

und das Lastbewertungssignal req_1 wird auf "Low" gehalten.

[0107] Das Ausgangsspannungssteuersignal V_{cont} und das Ausgangsspannungssignal V_{out} werden an die Detektorschaltung **52** für die Ausgangsspannungsänderung geliefert. Die Detektorschaltung **52** für die Ausgangsspannungsänderung halt ab dem Zeitpunkt, zu dem das Ausgangsspannungssteuersignal V_{cont} sich zu ändern beginnt, bis zu dem Zeitpunkt, in dem die Signaländerung tatsächlich abgeschlossen ist, ein Detektorsignal req_2 auf "High". Das Lastbewertungssignal req_1 und das Detektorsignal req_2 werden in das OR-Gatter OR_1 eingegeben, das ein logisches OR-Signal erzeugt. Das logische OR-Signal wird als ein Wählsignal PWM/PFM ausgegeben. Wird der PWM-Regelungsmodus aufgrund irgend einer Änderung der Lastbedingungen und der Änderung der Ausgangsspannung erforderlich, geht das Wählsignal PWM/PFM nach "High".

[0108] [Fig. 6](#) ist eine Tabelle, in der das Wählsignal PWM/PFM zu den Änderungen der Last und der Ausgangsspannung in Beziehung gesetzt wird.

[0109] Nur dann, wenn die PWM/PFM-Wählschaltung **10** bestimmt, dass die Last $LOAD$ niedrig ist und keine Änderung des Ausgangsspannungssignals V_{out} stattfindet, legt die PWM/PFM-Wählschaltung **10** das Wählsignal PWM/PFM auf "Low" und wählt den PFM-Regelungsmodus des Gleichspannungswandlers.

[0110] [Fig. 7](#) ist das Schaltschema der in [Fig. 5](#) dargestellten Lastbewertungsschaltung **51**.

[0111] Die Lastbewertungsschaltung **51** bestimmt die Stärke der Last $LOAD$ anhand eines Stroms I_p , der zur Ausgabe durch den p-Kanal-Transistor P_1 fließt. Zur Messung des Stroms I_p wird ein p-Kanal-Transistor P_s angeordnet. Das Gate des p-Kanal-Transistors P_s und das Gate des p-Kanal-Transistors P_1 haben den gleichen Eingang. Der p-Kanal-Transistor P_s und der p-Kanal-Transistor P_1 haben das gleiche Drain. Die Source des p-Kanal-Transistors P_s wird zur Stromerfassung über einen Widerstand R_s mit der Eingangsversorgungsspannung V_{in} verbunden. Fließt der Strom I_p durch den p-Kanal-Transistor P_1 , so fließt ein Strom I_s durch den p-Kanal-Transistor P_s . Indem der Spannungsabfall über dem Messwiderstand R_s viel kleiner eingestellt wird als die Spannung zwischen Gate und Source des p-Kanal-Transistors P_s , verhält sich der Strom I_s proportional zum Strom I_p . Die durch den Strom I_s geänderte Source-Spannung V_s wird an den negativen Eingangsanschluss eines Komparators Cmp_5 gelegt. Eine interne Spannungsquelle Es_1 wird zwischen der Eingangsversorgungsspannung V_{in} und dem positiven Eingangsanschluss des Komparators Cmp_5 eingeschaltet. Als Ergebnis wird die Source-Spannung

V_s mit einer internen Referenzspannung ($V_{in} - V_{os1}$) verglichen. Im Folgenden wird die Ausgangsspannung des Komparators Cmp5 als I_{cmp} bezeichnet.

[0112] Die Ausgangsspannung I_{cmp} wird in den Rückstell-Anschluss R eines D-Flipflops DFF1 eingegeben. Das D-Flipflop DFF1 ist so aufgebaut, dass es "High" an der abfallenden Flanke des Pulsweitenmodulationssignals V_{cmp} vom Komparator Cmp1 zur Pulsweitenmodulation speichert. Der Ausgang Q1 des D-Flipflop DFF1 wird an der ansteigenden Flanke des Pulsweitenmodulationssignals V_{cmp} in einem D-Flipflop DFF2 in der nachgeschalteten Stufe des D-Flipflops DFF1 gespeichert. Ein AND-Gatter AND1 erzeugt ein logisches AND-Signal des Ausgangs Q2 vom D-Flipflop DFF2 und der Inversion des Signals, die sich durch Verzögern des Ausgangs Q2 durch eine Verzögerungsschaltung $dly1$ ergibt. Das AND-Gatter AND1 gibt das logische AND-Signal als das Impulssignal out_ud aus.

[0113] Ein Komparator Cmp4 vergleicht das Ausgangssignal V_{err} des Fehlerverstärkers mit der internen Referenzspannung V_{rov} . Eine Verzögerungsschaltung $dly2$ und ein AND-Gatter AND2 werden mit dem Komparator Cmp4 verbunden. Das AND-Gatter AND2 erzeugt ein logisches AND-Signal des Ausgangs des Komparators Cmp4 und des durch Verzögerung des Ausgangs des Komparators Cmp4 durch die Verzögerungsschaltung $dly2$ erhaltenen Signals. Das AND-Gatter AND2 gibt das logische AND-Signal als das Impulssignal out_ov aus.

[0114] Nachstehend werden die Operationen der Lastbewertungsschaltung 51 beschrieben.

[0115] Fig. 8 zeigt die Wellenformen, die die Operationen der in Fig. 7 dargestellten Lastbewertungsschaltung 51 beschreiben. Die Wellenformen in Fig. 8 beschreiben die Operationen der Lastbewertungsschaltung 51 beim Umschalten vom PWM-Regelungsmodus auf den PFM-Regelungsmodus aufgrund des abnehmenden Laststroms.

[0116] Die Wellenformen (a) in Fig. 8 repräsentieren die Änderungen des Fehlerverstärker Ausgangssignals V_{err} und des Dreieckwellensignals V_{osc1} . Der n-Kanal-Transistor N1 in der Ausgangsstufe ist eingeschaltet, wenn $V_{ocs1} > V_{err}$, und der p-Kanal-Transistor P1 ist eingeschaltet, wenn $V_{osc1} < V_{err}$.

[0117] Die Wellenform (b) in Fig. 8 repräsentiert die Änderung des durch die Drosselspule L fließenden Spulenstroms I_L . Der Spulenstrom I_L nimmt zu, während der p-Kanal-Transistor P1 eingeschaltet ist, und nimmt ab, während der n-Kanal-Transistor N1 eingeschaltet ist. Die Wellenform an der linken Seite ergibt sich bei hohem Laststrom und die Wellenform an der rechten Seite bei niedrigem Laststrom. In beiden Fällen nimmt der Laststrom über der Zeit ab.

[0118] Die Wellenform (c) in Fig. 8 repräsentiert die Änderung der Source-Spannung V_s am Verbindungspunkt der Source des p-Kanal-Transistors Ps und des Widerstands R_s zur Stromerfassung. Die Source-Spannung V_s ist proportional zu dem durch den p-Kanal-Transistor P1 fließenden Strom. Da im Stromerfassungswiderstand R_s keinerlei Strom erzeugt wird, während der n-Kanal-Transistor N1 eingeschaltet ist, wird die Source-Spannung V_s auf der Eingangsversorgungsspannung V_{in} gehalten. Mit dem Anstieg des Stroms I_p nach dem Einschalten des p-Kanal-Transistors P1 steigt der Source-Strom I_s ebenfalls an und die Source-Spannung V_s fällt ab.

[0119] Die Wellenform (d) in Fig. 8 repräsentiert die Änderung der Ausgangsspannung I_{cmp} des Komparators Cmp5. Wie die Wellenformen (b) bis (d) zeigen, fällt die Source-Spannung von A1 auf B1 während der Zeitspanne T1 ab, während der durch die Drosselspule L fließende Spulenstrom I_L von I_{l1} auf I_{h1} ansteigt. Die Source-Spannung V_s fällt während der Zeitspanne T2 von A2 auf B2 ab, während der durch die Drosselspule L fließende Spulenstrom I_L von I_{l2} auf I_{h2} ansteigt. Die Source-Spannung V_s wird mit der internen Referenzspannung verglichen ($V_{in} - V_{os1}$). Ist die Source-Spannung V_s gleich der oder kleiner als die interne Referenzspannung ($V_{in} - V_{os1}$), geht die Ausgangsspannung I_{cmp} nach "High". Mit anderen Worten, die Ausgangsspannung I_{cmp} geht nach "High", sobald die Source-Spannung die interne Referenzspannung V_{os1} während der Zeitspanne T1 unterschreitet, während der die Source-Spannung V_s von A1 auf B1 abfällt. Da die Source-Spannung V_s die interne Referenzspannung V_{os1} während der Zeitspanne T2, während derer die Source-Spannung von A2 auf B2 abfällt, nicht kreuzt, bleibt die Ausgangsspannung I_{cmp} auf "Low".

[0120] Die Wellenformen (e), (f), (g) und (h) in Fig. 8 repräsentieren das Pulsweitenmodulationssignal V_{cmp} , den Ausgang Q1 des D-Flipflop DFF1, den Ausgang Q2 des D-Flipflop DFF2 und das Impulssignal out_ud .

[0121] Das D-Flipflop DFF1 speichert "High" an der abfallenden Flanke jedes Impulses des Pulsweitenmodulationssignals V_{cmp} . Da das D-Flipflop DFF1 durch den hohen Pegel der Ausgangsspannung I_{cmp} rückgesetzt wird, hält es seinen Ausgang Q1 auf "High", wenn die Ausgangsspannung I_{cmp} nicht mehr auf "High" liegt. Das D-Flipflop DFF2 speichert den Ausgangs Q1 des D-Flipflop DFF1 an der ansteigenden Flanke des Pulsweitenmodulationssignals V_{cmp} und gibt den Ausgang Q1 als Ausgang Q2 aus. Das Impulssignal out_ud wird als ansteigende Flanke des Ausgangs Q2 ausgegeben.

[0122] Während der Laststrom über der Zeit abfällt, wird das Impulssignal out_ud ausgegeben, wenn der Spitzenwert des durch den p-Kanal-Transistor P1 flie-

ßenden Stroms I_p niedriger ist als der vorgegebene Pegel I_{th} .

[0123] Nunmehr werden die Operationen, die durch das Impulssignal out_{ov} zum Umschalten vom PFM-Regelungsmodus in den PWM-Regelungsmodus aufgrund des ansteigenden Laststroms angestoßen werden, beschrieben. Bei ansteigender Last $LOAD$ im PFM-Regelungsmodus wird eine Rückkopplung, die das Ausgangssignal V_{err} des Fehlerverstärkers erhöht, um die Schaltfrequenz zu erhöhen, wirksam. Wie die Lastbewertungsschaltung **51** von [Fig. 7](#) zeigt, ändert sich der Ausgang des Komparators $Cmp4$ nach "High", wenn die Spannung des Fehlerverstärker-Ausgangssignals V_{err} hinreichend hoch wird, um die interne Referenzspannung V_{rov} zu überschreiten. Das Impulssignal out_{ov} wird in dem Zeitpunkt ausgegeben, in dem der Ausgang des Komparators $Cmp4$ von der Verzögerungsschaltung $dly2$ und dem AND-Gatter $AND2$, die beide den Ausgang des Komparators $Cmp4$ empfangen, nach "High" geändert wird.

[0124] In dem Fall, in dem der Laststrom über der Zeit ansteigt, wird das Impulssignal out_{ov} ausgegeben, wenn der Spitzenwert des durch den p-Kanal-Transistor $P1$ fließenden Stroms I_p den vorgegebenen Pegel I_{th} überschreitet.

[0125] Die Schwellenwerte I_{th} und I_{lh} zur Ausgabe der Impulssignale werden so eingestellt, dass I_{th} , I_{lh} , so dass das Wählsignal WPM/WFM bestimmte Hysteresecharakteristika aufweist.

[0126] [Fig. 9](#) ist ein Schaltschema der Detektorschaltung für die Änderung der Ausgangsspannung in der PWM/PFM-Wählschaltung in [Fig. 5](#).

[0127] Wie aus [Fig. 9](#) ersichtlich ist, enthält die Detektorschaltung **52** für die Änderung der Ausgangsspannung Differenzierschaltungen **91** und **93**, Quadrierschaltungen **92** und **94** und ein D-Flipflop $DFF3$ mit einem Setz-Anschluss. Das Ausgangsspannungssteuersignal V_{cont} wird an die Differenzierschaltung **91** geliefert. Der Differentialausgang $S1$ von der Differenzierschaltung **91** wird von der Quadrierschaltung **92** zu einem absoluten Signal $S2$ gewandelt. Das Ausgangsspannungssignal V_{out} wird an die Differenzierschaltung **93** geliefert. Der Differentialausgang $S3$ von der Differenzierschaltung **93** wird von der Quadrierschaltung **94** zu einem absoluten Signal $S4$ gewandelt. Die Quadrierschaltungen **92** und **94** sind mit dem Setz-Anschluss s bzw. dem Taktanschluss des D-Flipflops $DFF3$ verbunden. Ein Detektorsignal $req2$, das den Änderungen der Ausgangsspannung entspricht und auf den absoluten Signalen $S2$ und $S4$ basiert, wird als das Signal Q des D-Flipflop $DFF3$ ausgegeben.

[0128] [Fig. 10](#) zeigt die die Operationen jedes Bestandteils der in [Fig. 9](#) dargestellten Detektorschaltung für die Änderung der Ausgangsspannung beschreibenden Wellenformen.

[0129] Durch den Absolutwert des Differentialausgangs $S1$ des Ausgangsspannungssteuersignals V_{cont} lässt sich der Absolutwert des Signals $S2$ mit der Wellenform (d) in [Fig. 10](#) erhalten, der hoch wird, wenn sich das Ausgangsspannungssteuersignal V_{cont} ändert. Auf die gleiche Weise wie oben beschrieben wird der Absolutwert des Signals $S4$ mit der Wellenform (f) in [Fig. 10](#) erhalten, der hoch wird, wenn sich das Ausgangsspannungssignal V_{out} ändert. Das D-Flipflop $DFF3$ trägt dazu bei, dass das Detektorsignal $req2$ vom Zeitpunkt unmittelbar nach der Änderung des Ausgangsspannungssteuersignals bis zum Zeitpunkt, in dem das sich ändernde Ausgangsspannungssignal V_{out} stabil wird, auf "High" gehalten wird.

[0130] [Fig. 11](#) ist ein Schaltschema einer anderen Detektorschaltung für die Änderung der Ausgangsspannung.

[0131] Wie aus [Fig. 11](#) ersichtlich ist, enthält die Detektorschaltung **52** für die Änderung der Ausgangsspannung Spannungsquellen $Es2$ und $Es3$, Komparatoren $Cmp6$ und $Cmp7$ und ein OR-Gatter $OR2$. Der Fehlerverstärker $Amp1$, der Widerstand $R1$ für den Phasenausgleich und der Kondensator $C1$ für den Phasenausgleich sind in der den Spannungswandler von [Fig. 1](#) bildenden Verstärkereinrichtung enthalten. Die Verstärkereinrichtung verstärkt die Spannungsdifferenz zwischen dem Ausgangsspannungssteuersignal V_{cont} , das als Referenzspannung dient, und dem Rückkopplungssignal, das sich entsprechend dem Pegel der an den Verbraucher $LOAD$ gelieferten Spannung ändert. Die Spannung V_{R1} über dem Phasenausgleichswiderstand $R1$ wird über die Spannungsquelle $Es2$, addiert mit einer Verschiebespannung (Offsetspannung) $-V_{of}$ an den positiven Eingangsanschluss des Komparators $Cmp6$ geliefert. Die unveränderte Spannung V_{R1} über dem Phasenausgleichswiderstand $R1$ wird an den negativen Eingangsanschluss des Komparators $Cmp7$ geliefert. Das Rückkopplungssignal V_{bf} mit der addierten Verschiebespannung $-V_{of}$ wird über die Spannungsquelle $Es3$ an den negativen Eingangsanschluss des Komparators $Cmp7$ geliefert. Das unveränderte Rückkopplungssignal V_{fb} wird an den positiven Eingangsanschluss des Komparators $Cmp6$ geliefert.

[0132] Ausgangssignale V_{cmp6} und V_{cmp7} von den Komparatoren $Cmp6$ und $Cmp7$ werden in das OR-Gatter $OR2$ eingegeben, das das Detektorsignal $req2$ als Ausgang der Detektorschaltung **52** für die Änderung der Ausgangsspannung erzeugt.

[0133] Nachstehend werden die Operationen der in [Fig. 11](#) dargestellten Detektorschaltung **52** für die Änderung der Ausgangsspannung beschrieben.

[0134] [Fig. 12](#) zeigt die Wellenformen, die die Operationen jedes Bestandteils der in [Fig. 11](#) dargestellten Detektorschaltung für die Änderung der Ausgangsspannung beschreiben.

[0135] Sobald das Ausgangsspannungssteuersignal V_{cont} im Zeitpunkt t_1 ansteigt, wie die Wellenform (a) in [Fig. 12](#) zeigt, beginnt das Ausgangsspannungsspannungssignal V_{out} anzusteigen, wie die Wellenform (b) in [Fig. 12](#) zeigt. Da das Fehlerverstärker-Ausgangssignal V_{err} vom Fehlerverstärker Amp1 verstärkt wird, fließt ein Strom, dessen Wellenform (c) in [Fig. 12](#) dargestellt ist, zum Phasenausgleichskondensator C_1 . Der Strom verursacht den Spannungsabfall VR_1 über dem Phasenausgleichswiderstand R_1 . Sobald das Ausgangsspannungssignal V_{out} im Zeitpunkt t_2 stabil wird, bleibt das Fehlerverstärker-Ausgangssignal V_{err} auf einem bestimmten Wert, und der zum Phasenausgleichskondensator C_1 fließende Strom endet. Als Ergebnis wird der Spannungsabfall VR_1 über dem Phasenausgleichswiderstand R_1 null, wie die Wellenform (d) in [Fig. 12](#) zeigt. Der Komparator Cmp6 erzeugt das Ausgangssignal V_{cmp6} , während der Spannungsabfall $-VR_1$ höher als die Verschiebespannung V_{of} ist, wie die Wellenform (e) in [Fig. 12](#) zeigt.

[0136] Sobald das Ausgangsspannungssteuersignal V_{cont} im Zeitpunkt t_3 abfällt, wie die Wellenform (a) in [Fig. 12](#) zeigt, beginnt das Ausgangsspannungsspannungssignal V_{out} abzufallen, wie die Wellenform (b) in [Fig. 12](#) zeigt. Da das Fehlerverstärker-Ausgangssignal V_{err} vom Fehlerverstärker Amp1 verringert wird, fließt ein Strom in entgegengesetzter Richtung zum Phasenausgleichskondensator C_1 , wie die Wellenform (d) in [Fig. 12](#) zeigt. Der Strom verursacht den Spannungsabfall VR_1 über dem Phasenausgleichswiderstand R_1 . Sobald das Ausgangsspannungssignal V_{out} im Zeitpunkt t_4 stabil wird; bleibt das Fehlerverstärker-Ausgangssignal V_{err} auf einem bestimmten Wert, und der zum Phasenausgleichskondensator C_1 fließende Strom endet. Als Ergebnis wird der Spannungsabfall VR_1 über dem Phasenausgleichswiderstand R_1 null, wie die Wellenform (d) in [Fig. 12](#) zeigt. Der Komparator Cmp7 erzeugt eine Rechteckspannungswelle im Ausgangssignal V_{cmp7} , während der Spannungsabfall $-VR_1$ größer ist als die Verschiebespannung V_{of} , wie die Wellenform (f) in [Fig. 12](#) zeigt.

[0137] Das vom OR-Gatter OR2 auf Basis der Ausgangssignale V_{cmp6} und V_{cmp7} der Komparatoren Cmp6 bzw. Cmp7 ausgegebene Detektorsignal req_2 geht nach "High", um eine Änderung der Ausgangsspannung anzuzeigen, wenn sich das Ausgangsspannungssignal V_{out} ändert.

[0138] Wie oben beschrieben erkennt die in [Fig. 11](#) dargestellte Detektorschaltung **52** für die Änderung der Ausgangsspannung eine Änderung des Pegels der an den Verbraucher LOAD gelieferten Spannung auf Basis der Differenz zwischen dem Fehlerverstärker-Ausgangssignal V_{err} vom Fehlerverstärker Amp1 als Verstärkereinrichtung und dem zum Fehlerverstärker Amp1 zurückgeführten Rückkopplungssignal V_{fb} . Mit anderen Worten, es wird auf der Basis der Annahme, dass sich das Fehlerverstärker-Ausgangssignal V_{err} und das zum Fehlerverstärker Amp1 zurückgeführte Rückkopplungssignal V_{fb} ausgleichen, bestimmt, dass das Ausgangsspannungssignal V_{out} konstant ist, wenn kein Strom durch den die Ausgangsspannung regelnden Phasenausgleichswiderstand R_1 zwischen dem Ein- und Ausgangsanschluss des Fehlerverstärkers Amp1 fließt. Im Gegensatz dazu kann angenommen werden, dass eine Änderung des Ausgangsspannungssignals V_{out} verursacht wird, wann ein Strom durch den Phasenausgleichswiderstand R_1 fließt, was bedeutet, dass sich das Fehlerverstärker-Ausgangssignal V_{err} und das Rückkopplungssignal V_{fb} nicht aufheben.

[0139] [Fig. 13](#) zeigt die Wellenformen, die die Operationen jedes Bestandteils der in [Fig. 11](#) dargestellten Detektorschaltung **52** für die Änderung der Ausgangsspannung in dem Fall beschreiben, in dem sich der Laststrom abrupt ändert.

[0140] Obwohl das Ausgangsspannungssteuersignal V_{cont} konstant gehalten wird, wie die Wellenform (a) in [Fig. 13](#) zeigt, fällt der Laststrom I_{out} im Zeitpunkt t_1 abrupt ab und steigt im Zeitpunkt t_3 abrupt an, wie die Wellenform (b) in [Fig. 13](#) zeigt. Auch in diesem Fall geht das vom OR-Gatter OR2 ausgegebene Detektorsignal req_2 nach "High", wenn für den Laststrom eine Änderung erkannt wird, die hinreichend groß ist, um einen bestimmten Pegel entsprechend der Verschiebespannung V_{of} zu überschreiten, und der Regelungsmodus des Gleichspannungswandlers wird vom PFM-Modus in den PWM-Modus umgeschaltet.

[0141] Nachstehend werden die Operationen des in [Fig. 1](#) dargestellten Gleichspannungswandlers beschrieben.

[0142] Liegt das Wählsignal PWM/PFM auf "High", gibt die Oszillatorschaltung OSC1 das Dreieckwellensignal V_{osc1} aus, das eine bestimmte Frequenz hat. Die Multiplexerschaltungen Mux1 und Mux2 liefern den Ausgang des Pulsweitenmodulationskomparators Cmp1 an die Treiberschaltungen Dr1 bzw. Dr2. Der Gleichspannungswandler führt deshalb die Regelungsoperationen im normalen PWM-Modus aus, wenn das Wählsignal PWM/PFM auf "High" liegt.

[0143] Liegt das Wählsignal PWM/PFM auf "Low", gibt die Oszillatorschaltung OSC1 das Dreieckwel-

lensignal Vosc1 aus, das eine Schwingfrequenz entsprechend dem Ausgangssignal Verr des Fehlerverstärkers hat. Der Ausgang der monostabilen Schaltung Oneshot, in die der Ausgang des Pulsweitenmodulationskomparators Cmp1 zur Ansteuerung eingegeben wird, dient als Gate-Signal für den p-Kanal-Transistor P1. Das Gate-Signal des n-Kanal-Transistors N1 ist auf das Massepotential fest eingestellt. Der n-Kanal-Transistor N1 ist stets im ausgeschalteten Zustand. Die Substratdiode D2 des n-Kanal-Transistors N1 dient als Strompfad zwischen dem Massepotential GND und der Drosselspule L. In diesem Fall ist die Konfiguration des Gleichspannungswandlers der des herkömmlichen, den herkömmlichen PFM-Regelungsmodus ausführenden Gleichspannungswandlers gleich. Der Gleichspannungswandler gemäß der ersten Ausführungsform der Erfindung führt deshalb den PFM-Regelungsmodus wie der herkömmliche Gleichspannungswandler durch.

[0144] Findet keine Änderung des Ausgangsspannungssignals Vout statt und liegt das Detektorsignal req2 auf "Low", liegt das Wählsignal PWM/PFM unter den Bedingungen bei hoher Last, bei denen das Lastbewertungssignal req1 "High" ist, auf "High", und der Gleichspannungswandler führt dem PWM-Regelungsmodus durch. Unter den Bedingungen bei niedriger Last, bei denen das Lastbewertungssignal req1 "Low" ist, schaltet der Gleichspannungswandler auf den PFM-Regelungsmodus um. Deshalb werden die Schaltverluste des Gleichspannungswandlers verringert und ein hoher Wirkungsgrad über einen weiten Lastbereich aufrechterhalten.

[0145] Nunmehr wird der Fall betrachtet, in dem sich das Ausgangsspannungssignal Vout ändert und das Detektorsignal req2 auf "High" liegt. Unter den Bedingungen bei hoher Last, bei denen das Lastbewertungssignal req1 "High" ist, setzt der Gleichspannungswandler den PWM-Regelungsmodus ungeachtet der Änderung des Ausgangsspannungssignals Vout fort. Der Gleichspannungswandler gestattet deshalb die Regelung, während er die Änderung des Ausgangsspannungssignals Vout innerhalb einer kurzen Zeitspanne verarbeitet.

[0146] [Fig. 14](#) zeigt die Wellenformen, die die Änderungen des Ausgangsspannungssignals Vout im FWM-Regelungsmodus beschreiben.

[0147] Das Ausgangsspannungssteuersignal Vcont steigt im Zeitpunkt t1 an und fällt im Zeitpunkt t3 ab. In Zusammenhang mit dem Anstieg und Abfall des Ausgangsspannungssteuersignals Vcont steigt das Ausgangsspannungssignal Vout während einer Zeitspanne Tr2 von einem Potential Vout1 auf ein Potential Vout2 an und fällt während einer Zeitspanne Tf2 von Potential Vout2 auf das Potential Vout1 ab. Der Strom zum Glättungskondensator Cout ist die Summe aus dem durch die Ladungszuund -ab-

nahme des Glättungskondensators aufgrund des Anstiegs und Abfalls des Ausgangsspannungssignals Vout entstandenen Strom und dem Laststrom. Der Einfachheit halber wird angenommen, dass der Laststrom ungeachtet der Größe des Ausgangsspannungssignals Vout konstant ist. Ein Lade- und Entladestrom bewirkt die Zu- und Abnahme der Ladungen im Glättungskondensator Cout.

[0148] Die Stärke des Ladestroms Icr1 wird durch folgenden relationalen Ausdruck beschrieben:

$$Icr1 = Cout \times (Vout2 - Vout1)/Tr2$$

[0149] Die Stärke des Entladestroms Idis1 wird durch folgenden relationalen Ausdruck beschrieben:

$$Idis1 = Cout \times (Vout2 - Vout1)/Tf2$$

[0150] Diese relationalen Ausdrücke zeigen, dass es zur Verkürzung der Zeitspanne, während derer sich das Ausgangsspannungssignal Vout ändert, erforderlich ist, die Stromstärke rasch und deutlich zu ändern.

[0151] Die Stromwellenform beim Laden und Entladen des Glättungskondensators Cout über die Transistoren (MOSFET's) N1 und P1 in der Ausgangsstufe und die Drosselspule L ist eine Schaltstromwellenform, deren Zentrum die Summe aus dem Laststrom und dem zur Änderung des Potentials des Ausgangsspannungssignals Vout erforderlichen Lade- und Entladestroms ist. Der PWM-Regelungsmodus gestattet eine Erhöhung und Verringerung der Stromstärke in relativ kurzer Zeit, da er die relative Einschaltdauer mit jeder Schalttaktung ändert. Durch Erhöhen der Schaltfrequenz wird es möglich, die Stromstärke schneller zu ändern. Indem ein negativer Strom veranlasst wird, über den n-Kanal-Transistor N1 vom Glättungskondensator Cout zum Massepotential GND zu fließen, kann die Ausgangsspannung rasch abfallen.

[0152] Nachstehend werden die Operationen des Gleichspannungswandlers unter den Bedingungen, bei denen das Detektorsignal req2 aufgrund der Änderung des Ausgangsspannungssignals Vout auf "High" liegt und die Last niedrig ist, d. h. das Lastbewertungssignal req1 ist "Low", beschrieben.

[0153] [Fig. 15](#) zeigt die Wellenformen, die die Änderungen der Ausgangsspannung des Gleichspannungswandlers unter Bedingungen mit niedriger Last beschreiben.

[0154] Da das Ausgangsspannungssignal im Zeitpunkt t0 noch nicht geändert hat, liegen das Detektorsignal req2 und das Wählsignal PWM/PFM auf "Low" und der Gleichspannungswandler führt den PFM-Re-

gelungsmodus durch. Der durch die Drosselspule L fließende Spulenstrom I_L ist deshalb unterbrochen.

[0155] Das Detektorsignal $req2$ und das Wählsignal PWM/PFM gehen im Zeitpunkt t_1 nach "High", in dem das Ausgangsspannungssteuersignal V_{cont} ansteigt, und der Gleichspannungswandler schaltet auf den PWM-Regelungsmodus um. Da der Spulenstrom I_L kontinuierlich fließt und der Mittelwert des in den Glättungskondensator C_{out} fließenden Stroms sehr hoch wird, ist es möglich, das Ausgangsspannungssignal V_{out} schnell zu erhöhen. Nach dem Zeitpunkt t_2 , wenn sich das Ausgangsspannungssignal nicht mehr ändert, geht der Gleichspannungswandler in den PFM-Regelungsmodus zurück und arbeitet bei einer niedrigen Leistungsaufnahme weiter.

[0156] Nachdem der Gleichspannungswandler im Zeitpunkt t_3 , in dem das Ausgangsspannungssignal V_{out} abzufallen begann, in den PWM-Regelungsmodus umgeschaltet hat, fließt der Spulenstrom I_L kontinuierlich, und der Wert des Spulenstroms I_L ist intermittierend oder kontinuierlich negativ. Der negative Spulenstrom bedeutet, dass die Ladungen im Glättungskondensator C_{out} über die Drosselspule L entladen werden. Da im üblichen PFM-Regelungsmodus ein negativer Stromfluss nicht möglich ist, ist hier kein rascherer Abfall des Ausgangsspannungssignals V_{out} möglich als durch die Zeitkonstante des Glättungskondensators und den Laststrom vorgegeben. Der Gleichspannungswandler gemäß der ersten Ausführungsform der Erfindung gestattet jedoch den Abfall des Ausgangsspannungssignals V_{out} innerhalb einer kurzen Zeitspanne durch den PWM-Regelungsmodus. Der Gleichspannungswandler geht im Zeitpunkt t_4 , in dem die Änderung des Ausgangsspannungssignals V_{out} abgeschlossen ist, wieder in den PFM-Regelungsmodus zurück und arbeitet bei einer niedrigen Leistungsaufnahme weiter.

[0157] [Fig. 16](#) zeigt die Wellenformen, die die Änderungen der Ausgangsspannung des Gleichspannungswandlers mit der in [Fig. 11](#) dargestellten Detektorschaltung für den Fall beschreiben, in dem sich der Laststrom abrupt ändert.

[0158] Da der Laststrom I_{out} im Zeitpunkt t_0 niedrig ist, liegen das Detektorsignal $req2$ und das Wählsignal PWM/PFM auf "Low" und der Gleichspannungswandler führt den PFM-Regelungsmodus durch. Der durch die Drosselspule L fließende Spulenstrom I_L ist deshalb unterbrochen.

[0159] Das Ausgangsspannungssignal V_{out} steigt im Zeitpunkt t_1 an, in dem der Laststrom I_{out} abrupt abfällt. In diesem Moment gehen das Detektorsignal $req2$ und das Wählsignal PWM/PFM nach "High", der Gleichspannungswandler schaltet auf den PWM-Regelungsmodus um und der Spulenstrom I_L beginnt kontinuierlich zu fließen. Das Ausgangsspannungssignal

V_{out} wird deshalb im PWM-Regelungsmodus schneller eingeregelt als im PFM-Modus. Der Gleichspannungswandler geht im Zeitpunkt t_2 , in dem die Änderung des Ausgangsspannungssignals V_{out} abgeschlossen ist, in den PFM-Regelungsmodus zurück und arbeitet bei einer niedrigen Leistungsaufnahme weiter.

[0160] Der Abfall des Ausgangsspannungssignals V_{out} beginnt im Zeitpunkt t_3 , in dem der Laststrom I_{out} abrupt abzufallen beginnt. Als Ergebnis des Umschaltens in den PWM-Regelungsmodus in diesem Zeitpunkt, beginnt der Spulenstrom I_L kontinuierlich zu fließen. Der Gleichspannungswandler gemäß der ersten Ausführungsform gestattet also die Einregelung des Ausgangsspannungssignals V_{out} innerhalb einer kurzen Zeitspanne, selbst dann, wenn sich der Laststrom I_{out} ändert, jedoch nicht das Ausgangsspannungssteuersignal V_{cont} . Der Gleichspannungswandler geht im Zeitpunkt t_4 , in dem die Änderung des Ausgangsspannungssignals V_{out} abgeschlossen ist, wieder in den PFM-Regelungsmodus zurück und arbeitet bei einer niedrigen Leistungsaufnahme weiter.

[0161] Wie oben beschrieben gestattet der Gleichspannungswandler gemäß der ersten Ausführungsform der Erfindung, der bei einer Änderung der Ausgangsspannung unabhängig von den Lastbedingungen den PWM-Regelungsmodus ausführt, die Erhöhung und Verringerung des Lade- und Entladestroms der Ausgangskapazität innerhalb einer kurzen Zeitspanne und verkürzt die Einschwingzeit der Ausgangsspannung. Der Gleichspannungswandler gemäß der ersten Ausführungsform gestattet daher die Aufrechterhaltung eines hohen Wandlungswirkungsgrades über einen weiten Lastbereich und verhindert eine Beeinträchtigung der Ansprechcharakteristik des Ausgangsspannungssignals bei Bedingungen mit niedriger Last.

Zweite Ausführungsform

[0162] Wie oben beschrieben gestattet der Gleichspannungswandler gemäß der ersten Ausführungsform der Erfindung die Aufrechterhaltung eines hohen Wandlungswirkungsgrades über einen weiten Lastbereich und verhindert eine Beeinträchtigung der Ansprechcharakteristik des Ausgangsspannungssignals bei Bedingungen mit niedriger Last. Ändert sich jedoch das Ausgangsspannungssteuersignal V_{cont} schrittweise, ändert sich auch der Arbeitspunkt des Fehlerverstärkers $Amp1$ schrittweise. Da der Referenzwert anhand des sich schrittweise ändernden Arbeitspunktes des Fehlerverstärkers $Amp1$ als Ausgangswert bestimmt wird, wird ein Überschwingen des Ausgangsspannungssignals V_{out} verursacht. Legt die PWM/PFM-Wählschaltung **10**, nachdem sie bestimmt hat, dass die Last niedrig ist und keine Änderung im Ausgangsspannungssignal V_{out} eingetre-

ten ist, das Signal PWM/PFM auf "Low" oder wie auf "High", verursacht dies im Ausgangsspannungssignal V_{out} Über- oder Unterschwingen.

Konfiguration eines Gleichspannungswandlers gemäß der zweiten Ausführungsform

[0163] Nunmehr wird der Gleichspannungswandler gemäß der zweiten Ausführungsform der Erfindung, der die obigen Probleme beseitigt, beschrieben.

[0164] [Fig. 17](#) ist ein Schaltschema eines Gleichspannungswandlers gemäß einer zweiten Ausführungsform der Erfindung.

[0165] Wie aus [Fig. 17](#) ersichtlich ist, wandert der Gleichspannungswandler gemäß der zweiten Ausführungsform eine Eingangsversorgungsspannung V_{in} auf einen bestimmten Spannungspegel und liefert die gewandelte Spannung an einen Verbraucher LOAD. Der Gleichspannungswandler gemäß der zweiten Ausführungsform enthält einen Fehlerverstärker Amp1, einen Kondensator C1 für den Phasenausgleich, einen Widerstand R1 für den Phasenausgleich, einen Rückkopplungswiderstand R2, einen Rückkopplungswiderstand R3, eine Oszillatorschaltung OSC2, einen Komparator Cmp1 für die Pulsweitenmodulation, eine monostabile Schaltung Oneshot, Multiplexer-Schaltungen Mux1 und Mux2, Treiberschaltungen Dr1 und Dr2, einen p-Kanal-Transistor (MOSFET) P1 für die Ausgabe, einen n-Kanal-Transistor (MOSFET) N1 für die Ausgabe, eine Drosselspule L, eine Diode D2, einen Glättungskondensator Cout, eine PWM/PFM-Wählschaltung **10** und eine Subtraktionsschaltung SUB1.

[0166] Der Gleichspannungswandler gemäß der zweiten Ausführungsform unterscheidet sich vom Gleichspannungswandler gemäß der ersten Ausführungsform darin, dass die Oszillatorschaltung OSC1 des Gleichspannungswandlers gemäß der ersten Ausführungsform im Gleichspannungswandler gemäß der zweiten Ausführungsform durch die Oszillatorschaltung OSC2 ersetzt worden ist. Die Struktur der Oszillatorschaltung OSC2 wird später anhand von [Fig. 19](#) beschrieben.

[0167] Ein Rückkopplungssignal V_{fb} wird durch Spannungsteilen eines an einen Verbraucher LOAD gelieferten Ausgangsspannungssignals V_{out} durch die Widerstände R1 und R2 erhalten. Das Rückkopplungssignal V_{fb} wird mit dem Eingangsanschluss V_p der Subtraktionsschaltung SUB1 verbunden. Ein Ausgangsspannungssteuersignal V_{cont} wird mit dem Eingangsanschluss V_m der Subtraktionsschaltung SUB1 verbunden. Die Subtraktionsschaltung SUB1 erzeugt ein Differenzsignal V_{sub} , das die Differenz zwischen dem Rückkopplungssignal V_{fb} und dem Ausgangsspannungssteuersignal V_{cont} angibt.

[0168] Der Fehlerverstärker Amp1 bildet unter Einbeziehung des Phasenausgleichswiderstandes R1 und des Phasenausgleichskondensators C1 eine Integrierschaltung. Ein Referenzspannungssignal V_{r2} wird mit dem positiven Eingangsanschluss des Fehlerverstärkers Amp1 verbunden. Das vom Ausgangsanschluss der Subtraktionsschaltung SUB1 ausgegebene Differenzsignal V_{sub} wird mit dem negativen Eingangsanschluss des Fehlerverstärkers Amp1 verbunden.

[0169] Da die Konfigurationen des Gleichspannungswandlers gemäß der zweiten Ausführungsform abgesehen von den obigen Unterschieden denen des in Zusammenhang mit dem Gleichspannungswandler gemäß der ersten Ausführungsform beschriebenen entsprechen, werden für den Gleichspannungswandler gemäß der zweiten Ausführungsform die gleichen Bezugszeichen und Symbole wie für den der ersten Ausführungsform verwendet und der Einfachheit halber auf eine detaillierte Beschreibung verzichtet.

[0170] [Fig. 18](#) ist ein Schaltschema der in [Fig. 17](#) dargestellten Subtraktionsschaltung.

[0171] Wie aus [Fig. 18](#) ersichtlich ist, enthält die Subtraktionsschaltung SUB1 einen Operationsverstärker Amp3, einen Widerstand R11, einen Widerstand R12, einen Widerstand R13 und einen Widerstand R14. Das Rückkopplungssignal V_{fb} gleich V_p wird über den Widerstand R11 in den positiven Eingangsanschluss des Operationsverstärkers Amp3 eingegeben. Ein Referenzspannungssignal V_{r3} wird über den Widerstand R12 ebenfalls in den positiven Eingangsanschluss des Operationsverstärkers Amp3 eingegeben. Das Ausgangsspannungssteuersignal V_{cont} gleich V_m wird über den Widerstand R13 in den negativen Eingangsanschluss des Operationsverstärkers Amp3 eingegeben. Wenn $R11 = R12 = R13 = R14$, ist das vom Operationsverstärker Amp3 ausgegebene Differenzsignal V_{sub} gleich $V_p - V_m + V_{r3}$. Deshalb wird das Signal $V_p - V_m + V_{r3}$ an den negativen Eingangsanschluss des Fehlerverstärkers Amp1 im Gleichspannungswandler gemäß [Fig. 17](#) angelegt.

[0172] Ist das Referenzspannungssignal V_{r2} für den Fehlerverstärker Amp1 so eingestellt, dass es gleich ist dem Referenzspannungssignal V_{r3} für die Subtraktionsschaltung SUB1, steigt das Potential eines Ausgangssignals V_{err} des Fehlerverstärkers an, wenn das Rückkopplungssignal V_{fb} kleiner ist als das Ausgangsspannungssteuersignal V_{cont} ($V_{cont} > V_{fb}$), und das Potential des Ausgangssignals V_{err} des Fehlerverstärkers fällt ab, wenn das Rückkopplungssignal V_{fb} größer ist als das Ausgangsspannungssteuersignal V_{cont} ($V_{cont} < V_{fb}$). Der PWM-geregelte Gleichspannungswandler verhindert deshalb ein Überschwingen des Ausgangsspannungssignals

Vout selbst dann, wenn sich das Ausgangsspannungssteuersignal Vcont schrittweise ändert, und führt die gewünschten Operation stabil durch.

[0173] Fig. 19 ist ein Schaltschema der in Fig. 17 dargestellten Oszillatorschaltung OSC2.

[0174] Wie aus Fig. 19 ersichtlich ist, enthält die Oszillatorschaltung OSC2 einen Operationsverstärker Amp2, Multiplexerschaltungen Mux3 und Mux4, Komparatoren Cmp2 und Cmp3, p-Kanal-Transistoren (MOSFET's) P3 bis P7, n-Kanal-Transistoren (MOSFET's) N4 bis P7, einen Widerstand R5, einen Widerstand R6, NOR-Gatter NOR1 und NOR2, eine Referenzspannung Vr6 (erste Referenzspannung) und einen Kondensator C3.

[0175] Gemäß Fig. 19 wird eine interne Referenzspannung Vrosc oder das Fehlerverstärker-Ausgangssignal Verr, die an den Eingangsanschlüssen der Multiplexerschaltung Mux3 anliegen, abhängig von der Spannung des an den Wählanschluss S der Multiplexerschaltung Mux3 gelieferten Eingangssignals an den negativen Eingangsanschluss des die Oszillatorschaltung OSC2 bildenden Operationsverstärkers Amp2 gelegt. Die Multiplexerschaltung Mux3 weist die gleichen Funktionen auf wie die zuvor unter Bezugnahme auf Fig. 2 beschriebenen Multiplexerschaltungen Mux1 und Mux2. Die Multiplexerschaltung Mux3 gibt die interne Referenzspannung Vrosc aus, wenn das an ihren Wählanschluss S gelieferte Wählsignal PWM/PFM den PWM-Modus vorgibt, und das Fehlerverstärker-Ausgangssignal Verr, wenn das Wählsignal PWM/PFM den PFM-Modus vorgibt.

[0176] Das Drain des p-Kanal-Transistors P3 und der positive Eingangsanschluss des Operationsverstärkers Amp2 sind mit dem Ausgangsanschluss der Multiplexerschaltung Mux4 verbunden. Der Eingangsanschluss "1" der Multiplexerschaltung Mux4 ist über den Widerstand R5, d. h. eine zweite Widerstandsschaltung, mit Masse verbunden. Der Eingangsanschluss "0" der Multiplexerschaltung Mux4 ist über den Widerstand R6, d. h. eine erste Widerstandsschaltung, mit der Referenzspannung Vr6 verbunden. Das Wählsignal PWM/PFM wird an den Wählanschluss S der Multiplexerschaltung Mux4 gelegt.

[0177] Aufgrund der Konfiguration des Operationsverstärkers Amp2, des p-Kanal-Transistors P3, der Widerstände R5 und R6 und der Referenzspannung Vr6 beträgt der Wert des durch den p-Kanal-Transistor P3 fließenden Stroms I_3 V_{rosc}/R_5 , wenn der PWM-Modus gewählt ist, und $(V_{err} - V_{r6})/R_6$, wenn der PFM-Modus gewählt ist. Die Gates der p-Kanal-Transistoren P4 und P3 haben gemeinsame Eingänge und die Spannungen zwischen ihren Gates und Sources sind gleich. Deshalb ist das Produkt aus dem Drain-Strom I_4 und dem Verhältnis zwischen

der Gate-Breite und der Gate-Länge des p-Kanal-Transistors P3 gleich dem Produkt aus dem Strom I_3 durch den Widerstand R4 und dem Verhältnis zwischen der Gate-Breite und der Gate-Länge des p-Kanal-Transistors P4. Diese Beziehung gilt analog für die Ströme I_5 , I_6 und I_7 , die durch die anderen Transistoren fließen. Die Gates des p-Kanal-Transistors P7 und des n-Kanal-Transistors N7 sind mit dem NOR-Gatter NOR2 unter Bildung eines RS-Flipflop verbunden und ein Ausgangssignal Vc wird vom NOR-Gatter NOR2 an die Gates des p-Kanal-Transistors P7 und des n-Kanal-Transistors N7 gelegt. Da der n-Kanal-Transistor N7 eingeschaltet (ON) und der p-Kanal-Transistor P7 ausgeschaltet (OFF) ist, wenn das Ausgangssignal Vc vom RS-Flipflop "High" ist, wird der Strom I_7 vom Kondensator C3 über die n-Kanal-Transistoren N7 und N6 entladen. Da der n-Kanal-Transistor N7 ausgeschaltet (OFF) und der p-Kanal-Transistor P7 eingeschaltet (ON) ist, wenn das Ausgangssignal Vc vom RS-Flipflop "Low" ist, wird der Strom I_6 über die p-Kanal-Transistoren P6 und P7 in den Kondensator C3 geladen.

[0178] Das Potential des Dreieckwellensignals Voc2, das zum Aufladen des Kondensators C3 ausgegeben wird, wird von den Komparatoren Cmp2 und Cmp3 überwacht, in die interne Referenzspannungen Vhosc bzw. Vlosc mit der Beziehung $V_{hos} > V_{los}$ eingegeben werden. Das Potential des Dreieckwellensignals Voc2 steigt an, wenn das Ausgangssignal Vc vom RS-Flipflop "Low" ist. Der Ausgang des Komparators Cmp2 geht nach "High", sobald das ansteigende Potential des Dreieckwellensignals Voc2 die interne Referenzspannung Vhosc2 überschreitet, und das Ausgangssignal Vc des RS-Flipflop wechselt nach "High". Sobald das Potential des Dreieckwellensignals Voc2 danach unter die interne Referenzspannung Vlosc abfällt, geht der Ausgang des Komparators Cmp3 nach "High" und das Ausgangssignal Vc des RS-Flipflop geht wieder nach "Low".

[0179] Fig. 20 ist die Wellenform des von der in Fig. 19 dargestellten Oszillatorschaltung ausgegebenen Dreieckwellensignals Voc2.

[0180] Die Zeitspanne T_r , während derer das Potential des Dreieckwellensignals Voc2 ansteigt, wird durch den folgenden relationalen Ausdruck angegeben, der den unteren Grenzwert Vlosc und den oberen Grenzwert des Potentials des Dreieckwellensignals Voc2 verwendet:

$$T_r = C_3 \times (V_{hosc} - V_{losc})/I_6.$$

[0181] Analog wird die Zeitspanne T_f , während derer das Potential des Dreieckwellensignals Voc2 abfällt, durch den folgenden relationalen Ausdruck angegeben:

$$T_f = C_3 \times (V_{hosc} - V_{losc})/I_7.$$

[0182] Die Ströme I6 und I7 sind proportional zum Strom I3. Die Schwingfrequenz f_{osc2} des Dreieckwellensignals Vosc2 kann deshalb durch Ändern der Widerstände R5 und R6, der internen Referenzspannung Vosc, der Referenzspannung Vr6 oder des Spannungswertes des Ausgangssignals Verr des Fehlerverstärkers, das an den Eingangsanschluss der Multiplexerschaltung Mux3 gelegt wird, eingeregelt werden.

[0183] Die Struktur der PWM/PFM-Wählschaltung im Gleichspannungswandler gemäß der zweiten Ausführungsform ist die gleiche wie die des Gleichspannungswandlers gemäß der ersten Ausführungsform.

[0184] Probleme des Gleichspannungswandlers gemäß der ersten Ausführungsform Bevor die Operationen des Gleichspannungswandlers, der die Oszillatorschaltung OSC2 mit der oben beschriebenen Struktur verwendet, erläutert werden, wird zunächst auf das Über- und Unterschwingen eingegangen, das beim Gleichspannungswandler gemäß der in **Fig. 1** dargestellten ersten Ausführungsform verursacht wird, wenn dieser vom PWM-Regelungsmodus in den PFM-Regelungsmodus oder umgekehrt umschaltet.

[0185] **Fig. 21** ist ein Graph, in dem das Ausgangsspannungssignal Vout in Abhängigkeit vom Ausgangssignal Verr des Fehlerverstärkers im stationären Zustand des in **Fig. 1** dargestellten Gleichspannungswandlers aufgetragen ist, der auf Basis des Dreieckwellensignals Vosc1 den PWM-Regelungsmodus durchführt.

[0186] Wenn der in **Fig. 1** dargestellte Gleichspannungswandler den PWM-Regelungsmodus durchführt, wird das von der in **Fig. 3** dargestellten Oszillatorschaltung OSC1 ausgegebene Dreieckwellensignal Vosc1 mit dem Ausgangssignal Verr des Fehlerverstärkers verglichen, und das Ausgangsspannungssignal Vout wird auf Basis des Wertes des Fehlerverstärker-Ausgangssignals Verr bestimmt. Es ist zu beachten, dass das Ausgangsspannungssignal Vout 0 ist, wenn der Wert des Fehlerverstärker-Ausgangssignals Verr niedriger ist als der untere Grenzwert Vosc, und gleich der Eingangsversorgungsspannung Vin, wenn der Wert des Fehlerverstärker-Ausgangssignals Verr höher ist als der obere Grenzwert Vhosc.

[0187] **Fig. 22** ist ein Graph, in dem die Schwingfrequenz f_{osc} in Abhängigkeit vom Ausgangssignal Verr des Fehlerverstärkers des in **Fig. 1** dargestellten Gleichspannungswandlers aufgetragen ist, der auf Basis des Dreieckwellensignals Vosc1 den PFM-Regelungsmodus durchführt.

[0188] Im PFM-Regelungsmodus bestimmt die in **Fig. 3** dargestellte Oszillatorschaltung OSC1 die Schwingfrequenz f_{osc} proportional zum Wert des Fehlerverstärker-Ausgangssignals Verr, und der Ausgangsstrom des Gleichspannungswandlers wird auf Basis der so bestimmten Schwingfrequenz f_{osc} festgelegt.

[0189] **Fig. 23** ist ein Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus für das Fehlerverstärker-Ausgangssignal Verr darstellt.

[0190] Beträgt der Wert des Fehlerverstärker-Ausgangssignals Verr Verr1, so ist das Ausgangsspannungssignal Vout im PWM-Regelungsmodus V1, und die Schwingfrequenz f_{osc} im PFM-Regelungsmodus ist f_{osc1} . Das heißt, das Fehlerverstärker-Ausgangssignal Verr ist im PFM-Regelungsmodus proportional zur Schwingfrequenz f_{osc} , die ihrerseits auch proportional zum Laststrom Iout ist. Mit anderen Worten, das Ausgangssignal Verr des Fehlerverstärkers kann in Abhängigkeit vom Laststrom Iout vom oberen Grenzwert Vhosc bis nahe 0 abfallen. Im PWM-Regelungsmodus wird das Ausgangsspannungssignal Vout vom Ausgangssignal Verr des Fehlerverstärkers bestimmt.

[0191] Nunmehr wird das Umschalten vom PFM-Regelungsmodus in den PWM-Regelungsmodus aufgrund einer Änderung des Ausgangsspannungssignals Vout des Gleichspannungswandlers oder aufgrund einer Zunahme der Last LOAD erörtert.

[0192] **Fig. 24** zeigt ein Kurvenpaar, das das Unterschwingen des Ausgangsspannungssignals Vout beschreibt, das durch den Prozess des Umschaltens vom PFM- in den PWM-Regelungsmodus verursacht wird.

[0193] Es sei angenommen, dass im PFM-Regelungsmodus das Ausgangsspannungssignal Vout zunächst Vout1 ist, und die dem Ausgangsspannungssignal Vout entsprechende Schwingfrequenz f_{osc2} . Außerdem sei angenommen, dass sich das einem Potential Vout3 entsprechende Fehlerverstärker-Ausgangssignal Verr ebenfalls zu einem Potential Verr3 ändert, wenn der Regelungsmodus aufgrund der Änderung des Ausgangsspannungssignals Vout zu PWM umgeschaltet wird. Selbst bei einem Umschalten des Regelungsmodus von PFM nach PWM ändert sich das Fehlerverstärker-Ausgangssignal Verr des Gleichspannungswandlers gemäß der ersten Ausführungsform aufgrund der Funktionen des Phasenausgleichskondensators C1 und des Phasenausgleichswiderstands R1 nicht abrupt. Mit anderen Worten, das Fehlerverstärker-Ausgangssignal Verr verharrt eine kurze Zeitspanne unmittelbar nach dem Wechsel des Regelungsmodus zu PWM im Bereich des Potentials Verr2 entsprechend der Schwingfrequenz f_{osc2} . Da das Potential Verr2 nied-

riger ist als der unter Grenzwert V_{osc} , ist der n-Kanal-Transistor (MOSFET) N1 in der Ausgangsstufe stets eingeschaltet (ON), und der p-Kanal-Transistor (MOSFET) P1 in der Ausgangsstufe ist durch die Funktion des Komparators Cmp1 für die Pulsweitenmodulation ausgeschaltet (OFF). Außerdem fällt im Zeitpunkt t_1 das Ausgangsspannungssignal V_{out} abrupt gegen 0 V ab, da der Knoten des Ausgangsspannungssignals V_{out} über die Drosselspule L und den n-Kanal-Transistor (MOSFET) N1 an Masse gelegt ist. Der Fehlerverstärker Amp1 erhöht dann als Reaktion auf das Abfallen des auf Basis des Ausgangsspannungssignals V_{out} erzeugten Rückkopplungssignals V_{fb} das Ausgangssignal V_{err} schließlich wieder auf das Potential V_{err3} und das Ausgangsspannungssignal V_{out} nimmt das entsprechende Potential V_{out3} an.

[0194] Ähnliche Probleme ergeben sich mit dem Gleichspannungswandler gemäß der ersten Ausführungsform auch beim Prozess des Umschaltens vom PWM- in den PFM-Regelungsmodus.

[0195] Fig. 25 zeigt ein Kurvenpaar, das das Überschwingen des Ausgangsspannungssignals V_{out} beschreibt, das durch den Prozess des Umschaltens vom PWM- in den PFM-Regelungsmodus verursacht wird.

[0196] Nun sei angenommen, dass das Ausgangsspannungssignal V_{out} im PWM-Regelungsmodus V_{out3} ist, und sich die Schwingfrequenz im Zeitpunkt des Umschaltens in den PFM-Regelungsmodus zu f_{osc2} ändert. Das Fehlerverstärker-Ausgangssignal V_{err} vom Fehlerverstärker Amp1, dessen Potential zunächst V_{err3} ist, kann sich nicht abrupt ändern, selbst der Regelungsmodus von PWM auf PFM umgeschaltet wird, und die monostabile Schaltung Oneshot ein Schaltsignal für den p-Kanal-Transistor (MOSFET) P1 mit einer Frequenz höher als f_{osc2} erzeugt. Aus diesem Grund fließt ein Überstrom in den Glättungskondensator C_{out} und das Ausgangsspannungssignal V_{out} beginnt im Zeitpunkt t_2 anzusteigen. Der Fehlerverstärker Amp1 lässt dann das Fehlerverstärker-Ausgangssignal V_{err} als Reaktion auf das Ansteigen des auf Basis des Ausgangsspannungssignals V_{out} erzeugten Rückkopplungssignals V_{fb} auf das Potential V_{err2} abfallen, die Schwingfrequenz ändert sich zu f_{osc2} und das Ausgangsspannungssignal V_{out} nimmt das entsprechende Potential V_{out1} an.

Operationen des Gleichspannungswandlers
gemäß der zweiten Ausführungsform

[0197] Nunmehr werden die Operationen des in Fig. 17 dargestellten Gleichspannungswandlers beschrieben.

[0198] Fig. 26 zeigt eine Gerade, die die Beziehung zwischen dem Fehlerverstärker-Ausgangssignal V_{err} und der Schwingfrequenz f_{osc} im PFM-Regelungsmodus auf Basis des Dreieckwellensignals V_{osc2} repräsentiert. Fig. 27 ist ein Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus abhängig vom Fehlerverstärker-Ausgangssignal V_{err} darstellt. Fig. 28 ist ein weiterer Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus abhängig vom Fehlerverstärker-Ausgangssignal V_{err} darstellt.

[0199] Die Operationen des die in Fig. 19 dargestellte Oszillatorschaltung verwendenden Gleichspannungswandlers werden nachstehend beschrieben. Ein solcher Gleichspannungswandler verhindert das Auftreten von Unter- und Überschwingen.

[0200] Die in Fig. 19 dargestellte Oszillatorschaltung OSC2 bestimmt die Schwingfrequenz f_{osc} des Dreieckwellensignals V_{osc2} durch den Strom I_3 . Da der Strom I_3 im PFM-Regelungsmodus gleich ist $(V_{err} - V_{r6})/R_6$, wird die Schwingfrequenz f_{osc} wie aus Fig. 26 ersichtlich proportional zum Wert von $(V_{err} - V_{r6})$ in dem Bereich bestimmt, in dem das Fehlerverstärker-Ausgangssignal V_{err} größer ist als die Referenzspannung V_{r6} ($V_{err} > V_{r6}$).

[0201] Im Bereich $V_{err} \leq V_{r6}$ vergleicht der Operationsverstärker Amp2 die Ausgänge der Multiplexerschaltungen Mux3 und Mux4 und legt das Ausgangssignal daraus auf "High". Da die p-Kanal-Transistoren P3 und P4 ausgeschaltet sind und die Ströme I_3 und I_4 gleichzeitig null werden, wird die Schwingfrequenz f_{osc} gemäß Fig. 26 auf 0 gesetzt.

[0202] Fig. 27 ist ein Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus des Fehlerverstärker-Ausgangssignals V_{err} darstellt. In Fig. 27 wird angenommen, dass die Referenzspannung V_{r6} höher ist als der untere Grenzwert V_{osc} des Fehlerverstärker-Ausgangssignals V_{err} .

[0203] Zunächst wird der Fall, in dem der Regelungsmodus des Gleichspannungswandlers aufgrund der Änderung des Ausgangsspannungssignals V_{out} vom PFM- in den PWM-Modus wechselt, betrachtet. Es sei angenommen, dass das ursprüngliche Ausgangsspannungssignal V_{out} im PFM-Regelungsmodus V_{out3a} und die entsprechende Schwingfrequenz f_{osc2} ist. Außerdem sei angenommen, dass sich das Ausgangssignal V_{err} des Fehlerverstärkers aufgrund der Änderung des Ausgangsspannungssignals V_{out} zu V_{out3} durch das Umschalten des Regelungsmodus in den PWM-Modus zu V_{err3} ändert.

[0204] Selbst bei einem Umschalten des Regelungsmodus von PFM nach PWM bewirken der Phasenausgleichskondensator C1 und der Phasenaus-

gleichswiderstand R_1 , dass sich das Fehlerverstärker-Ausgangssignal V_{err} nicht in der gleichen Weise abrupt ändert wie beim Gleichspannungswandler gemäß der ersten Ausführungsform der Erfindung. Mit anderen Worten, das Fehlerverstärker-Ausgangssignal V_{err} verharrt eine kurze Zeitspanne unmittelbar nach dem Wechsel des Regelungsmodus zu PWM im Bereich des Potentials V_{err2} entsprechend der Schwingfrequenz f_{osc2} . Das Ausgangsspannungssignal V_{out} ändert sich jedoch in Richtung der Spannung V_{out3a} entsprechend dem Fehlerverstärker-Ausgangssignal V_{err} unmittelbar nach dem Wechsel des Regelungsmodus in den PWM-Modus. Danach erhöht der Fehlerverstärker $Amp1$ das Fehlerverstärker-Ausgangssignal V_{err} als Reaktion auf das Abfallen des Rückkopplungssignals V_{fb} , bei dem es sich um das Rückkopplungssignal des Ausgangsspannungssignals V_{out} handelt. Das Potential V_{err2} des Fehlerverstärker-Ausgangssignals V_{err} entsprechend der Schwingfrequenz f_{osc2} , die durch den Wert der Referenzspannung V_{r6} bestimmt wird, kann im Voraus so eingestellt werden, dass die Potentialdifferenz zwischen dem Potential V_{err2} des Fehlerverstärker-Ausgangssignals V_{err} und dem Potential V_{err3} im PWM-Regelungsmodus klein ist. Deshalb ist es möglich, die Zeitspanne vom Umschalten in den PWM-Regelungsmodus bis zum Einschwingen des Fehlerverstärker-Ausgangssignals V_{err} auf dem Potential V_{err3} zu verkürzen. Der Versatz des Arbeitspunktes im PWM-Regelungsmodus und der Absolutwert des Unterschwingens werden deshalb verringert.

[0205] Der Gleichspannungswandler gemäß der zweiten Ausführungsform der Erfindung weist das gleiche Verhalten beim Umschalten vom PWM- und zum PFM-Regelungsmodus auf. Es sei angenommen, dass das Ausgangsspannungssignal V_{out} im PWM-Regelungsmodus V_{out3} ist, und dass sich die Schwingfrequenz im Zusammenhang mit dem Umschalten in den PWM-Regelungsmodus zu f_{osc2} ändert. Selbst wenn der Regelungsmodus im Zeitpunkt t_2 vom PWM- in den PFM-Modus wechselt, kann sich das Fehlerverstärker-Ausgangssignal V_{err} , das ursprünglich V_{out3} ist, nicht abrupt ändern, und der p-Kanal-Transistor (MOSFET) P_1 schaltet mit einer Frequenz ein und aus, die höher ist als die Schwingfrequenz f_{osc2} . Indem jedoch die Differenz zwischen dem Potential V_{err2} des Fehlerverstärker-Ausgangssignals V_{err} und dessen Potential V_{err3} im PWM-Regelungsmodus klein eingestellt wird, wird die Zeitspanne, in der das Fehlerverstärker-Ausgangssignal V_{err} das Potential V_{err2} vom Potential V_{err3} aus erreicht, verkürzt. Das Überschwingen im PWM-Regelungsmodus wird deshalb verringert.

[0206] Somit ist durch eine Einstellung der Arbeitspunkte für das Fehlerverstärker-Ausgangssignal V_{err} im PFM- und PWM-Regelungsmodus gemäß [Fig. 27](#) das Potential V_{err2} des Fehlerverstärker-Ausgangs-

signals V_{err} beim Umschalten vom PFM- in den PWM-Regelungsmodus stets höher als der untere Grenzwert V_{osc} , selbst wenn die Schwingfrequenz f_{osc} nahezu 0 ist. Der n-Kanalausgangstransistor (MOSFET) N_1 ist deshalb niemals kontinuierlich eingeschaltet (ON), der p-Kanalausgangstransistor (MOSFET) P_1 ist niemals ausgeschaltet und das Ausgangsspannungssignal V_{out} fällt nach dem Wechsel in den PWM-Regelungsmodus niemals abrupt gegen 0 ab. Obwohl auch das Überschwingen des Ausgangsspannungssignals V_{out} beim Umschalten vom PWM- in den PFM-Regelungsmodus verringert ist, ist es nicht günstig, in den PFM-Regelungsmodus zu wechseln, wenn das Ausgangsspannungssignal V_{out} im PWM-Regelungsmodus niedriger ist als das der Referenzspannung V_{r6} entsprechende Potential V_{outL} . Der Grund hierfür ist, dass die Schwingfrequenz f_{osc} im PFM-Regelungsmodus 0 wird bei einem Potential des Fehlerverstärker-Ausgangssignals V_{err} entsprechend dem Ausgangsspannungssignal V_{out} , das niedriger ist als das Potential V_{outL} , so daß die Schwingung aufhört.

[0207] [Fig. 28](#) ist ein weiterer Graph, der die Arbeitspunkte im PFM- und PWM-Regelungsmodus des Fehlerverstärker-Ausgangssignals V_{err} darstellt. Im Gegensatz zu [Fig. 27](#) ist die Referenzspannung V_{r6} niedriger eingestellt als der untere Grenzwert V_{osc} des Fehlerverstärker-Ausgangssignals V_{err} . Diese Einstellung verhindert, dass die Schwingfrequenz f_{osc} im PFM-Regelungsmodus 0 wird und die Schwingung beim Wechsel vom PWM- in den PFM-Regelungsmodus aufhört.

[0208] Im Folgenden wird das Umschalten vom PFM- in den PWM-Regelungsmodus erörtert. Es sei angenommen, dass der ursprüngliche Wert des Ausgangsspannungssignals V_{out} V_{out3} ist und die entsprechende Schwingfrequenz f_{osc2} . Außerdem sei angenommen, dass das Potential des Ausgangsspannungssignals V_{out} unmittelbar nach dem Umschalten in den PWM-Regelungsmodus V_{out3} ist und das entsprechende Fehlerverstärker-Ausgangssignal V_{err} V_{err3} . Das Potential V_{err2} des Fehlerverstärker-Ausgangssignals V_{err} entsprechend der Schwingfrequenz f_{osc2} , die durch den Wert der Referenzspannung V_{r6} bestimmt wird, kann im Voraus so eingestellt werden, dass die Potentialdifferenz zwischen dem Potential V_{err2} und dem Potential V_{err3} im PWM-Regelungsmodus klein ist. Deshalb ist es möglich, die Zeitspanne vom Umschalten in den PWM-Regelungsmodus bis zum Einschwingen des Fehlerverstärker-Ausgangssignals V_{err} auf dem Potential V_{err3} in ähnlicher Weise wie oben unter Bezugnahme auf [Fig. 27](#) beschrieben zu verkürzen. Der Versatz des Arbeitspunktes im PWM-Regelungsmodus und der Absolutwert des Unterschwingens werden deshalb verringert.

[0209] Ist die Schwingfrequenz f_{osc} vor dem Wechsel in den PWM-Regelungsmodus niedriger als der untere Grenzwert der Schwingfrequenz f_{osc1} entsprechend dem unteren Grenzwert des Fehlerverstärker-Ausgangssignals V_{err} , ist der n-Kanal-Ausgangstransistor (MOSFET) N1 nach dem Umschalten in den PWM-Regelungsmodus ständig eingeschaltet (ON). Das Ausgangsspannungssignal V_{out} fällt deshalb beim Umschalten vom PFM- in den PWM-Modus abrupt gegen 0 ab. Um dieses Problem zu vermeiden, sollte im PFM-Regelungsmodus die Schwingfrequenz f_{osc} vorzugsweise nicht niedriger sein als der untere Grenzwert der Schwingfrequenz f_{osc1} .

Eigenschaften des Gleichspannungswandlers gemäß der zweiten Ausführungsform

[0210] Beim Gleichspannungswandler gemäß der zweiten Ausführungsform wird die Referenzspannung V_{r6} höher eingestellt als der untere Grenzwert V_{osc} des Fehlerverstärker-Ausgangssignals V_{err} ($V_{r6} > V_{osc}$), wenn der untere Spannungsgrenzwert des Ausgangsspannungssignals V_{out} innerhalb eines bestimmten Bereichs gehalten wird, oder die Referenzspannung V_{r6} wird niedriger eingestellt als der untere Grenzwert V_{osc} des Fehlerverstärker-Ausgangssignals V_{err} ($V_{r6} < V_{osc}$), wenn der Bereich des Ausgangsspannungssignals V_{out} auf 0 V erweitert und dem Laststrom I_{out} ein bestimmter unterer Grenzwert zugeordnet wird. Die Begrenzungen des Ausgangsspannungssignals V_{out} und des Laststroms I_{out} werden aufgehoben, indem die Referenzspannung V_{r6} und der untere Grenzwert V_{osc} des Fehlerverstärker-Ausgangssignals V_{err} einander gleich gemacht werden.

[0211] In [Fig. 27](#) und [Fig. 28](#) ist der Arbeitspunkt im PFM-Regelungsmodus entsprechend dem oberen Grenzwert des Fehlerverstärker-Ausgangssignals V_{err} auf den oberen Grenzwert f_{osc} der Schwingfrequenz eingestellt, und der PFM-Regelungsmodus bei einer Frequenz oberhalb des oberen Grenzwertes f_{osc} der Schwingfrequenz wird nicht betrachtet. Der Arbeitspunkt im PFM-Regelungsmodus wird wie oben beschrieben eingestellt, da der Regelungsmodus in den PFM-Modus umgeschaltet wird, um die Schaltfrequenz in Zusammenhang mit der Abnahme des Laststroms zu verringern und um einen hohen Wandlungswirkungsgrad über einen weiten Lastbereich zu erzielen.

[0212] Die in [Fig. 19](#) dargestellte Oszillatorschaltung OSC2 gemäß der zweiten Ausführungsform eignet sich in vorteilhafter Weise für die Einstellung der Schwingfrequenz im PWM-Regelungsmodus und der Schwingfrequenz entsprechend dem Fehlerverstärker-Ausgangssignal V_{err} im PFM-Regelungsmodus unabhängig voneinander. Bei zahlreichen Gleichspannungswandlern werden die Schwingfrequenzen

von den Benutzern geeignet eingestellt. Um die Einstellung der geeigneten Schwingfrequenz durch den Benutzer zu vereinfachen, wird der Widerstand R5 vorzugsweise zur Bildung der Oszillatorschaltung OSC2 in eine integrierte Schaltung IC in Form eines externen und zusätzlichen Elements integriert. Durch die Bereitstellung der Einstellschaltungen zum Einstellen des Widerstandes R6 und der Referenzspannung V_{r6} in Form externer Schaltungen der integrierten Schaltung können die Betriebswerte im PFM-Regelungsmodus nach den Wünschen des Benutzers eingestellt werden. Da die Schwingfrequenzen im PWM- und PFM-Regelungsmodus unabhängig voneinander eingestellt werden können, unterliegt die Einstellung der Schwingfrequenz keinen Einschränkungen, ungeachtet, ob diese Einstellung für den PWM, den PFM, oder den PWM- und den PFM-Regelungsmodus erfolgt.

[0213] Wie oben beschrieben bietet der Gleichspannungswandler mit einer PWM/PFM-Umschaltfunktion gemäß der Erfindung einen hohen Wandlungswirkungsgrad über einen weiten Lastbereich und eine hochschnelle Änderung des Ausgangsspannungssignals, selbst dann, wenn der Gleichspannungswandler im PFM-Regelungsmodus unter Bedingungen bei niedriger Last arbeitet.

[0214] Der Gleichspannungswandler gemäß der Erfindung verursacht kein Überspringen seines Spannungsausgangssignals, selbst wenn im Ausgangsspannungssteuersignal schrittweise Änderungen auftreten.

[0215] Der Gleichspannungswandler gemäß der Erfindung gestattet Unter- und Überspringen während des Umschaltens vom PWM-Regelungsmodus auf den PFM-Regelungsmodus oder umgekehrt zu unterdrücken, wodurch die absoluten Werte des Über- und Unterschwingens gesenkt und die Zeitspanne verkürzt wird, während derer das Unter- oder Überspringen anhält.

Patentansprüche

1. Gleichspannungswandler mit zwei in Reihe geschalteten Halbleiterschaltenelementen (P1, N1), die den Ausgang des Gleichspannungswandlers abwechselnd mit einem Eingangsspannungspotentialpunkt und mit Masse verbinden, um dadurch eine auf einen Sollwert geregelte Gleichspannung an einen Verbraucher (LOAD) zu liefern, aufweisend: eine Wähleinrichtung (10) zur Auswahl zwischen zwei unterschiedlichen Regelungsmoden, nämlich einem Pulsweitenmodulationsmodus und einem Pulsfrequenzmodulationsmodus, wobei die Wähleinrichtung (10) eine Lastbewertungsschaltung (51) zur Bestimmung der Höhe des Laststroms und eine Spannungsdetektorschaltung zur Erfassung der an den Verbraucher (LOAD) geliefer-

ten Gleichspannung aufweist und ausgebildet ist, den Pulsfrequenzmodulationsmodus zu wählen, wenn der Laststrom einen vorgegebenen Wert unterschreitet,

dadurch gekennzeichnet, dass

der Gleichspannungswandler ferner eine Spannungsänderungsdetektorschaltung (52) zur Erzeugung eines Signals, dass eine Änderung der an den Verbraucher (LOAD) gelieferten Gleichspannung anzeigt, aufweist,

wobei diese Änderung sowohl ein Anstieg als auch ein Abfall dieser Spannung sein kann, und die Wähleinrichtung (10) ausgebildet ist, unabhängig von der Höhe des Laststroms als Reaktion auf das Signal der Spannungsänderungsdetektorschaltung (52) den Pulsweitenmodulationsmodus zu wählen.

2. Gleichspannungswandler nach Anspruch 1, ferner gekennzeichnet durch:

eine Oszillatoreinrichtung (OSC1; OSC2), die ein die Schaltfrequenz der Halbleiterschaltenelemente (P1, N1) definierendes Dreieckwellensignal erzeugt;

eine Verstärkereinrichtung (Amp1), die die Spannungsdifferenz zwischen der Spannung eines als Referenzspannung gelieferten Ausgangsspannungssteuersignals und einer dem Istwert der an den Verbraucher (LOAD) gelieferten Gleichspannung entsprechenden Spannung (Vfb) verstärkt; und

eine Pulsweitenmodulationssteuereinrichtung (Mux1, Mux2), die den Regelungsmodus des Gleichspannungswandlers nach Maßgabe der Wähleinrichtung (10) von dem Pulsweitenmodulationsmodus auf den Pulsfrequenzmodus umschaltet oder umgekehrt, wobei die Pulsweitenmodulationssteuereinrichtung (Mux1, Mux2) das Dreieckwellensignal von der Oszillatoreinrichtung (OSC1; OSC2) und die Spannungsdifferenz von der Verstärkereinrichtung (Amp1) vergleicht und die Impulsweite der Treiberimpulse zum Ein- und Ausschalten der Halbleiterschaltenelemente (P1, N1) moduliert.

3. Gleichspannungswandler nach Anspruch 2, bei dem die Spannungsänderungsdetektorschaltung (52) die Pegeländerung der an den Verbraucher (LOAD) gelieferten Gleichspannung auf der Basis des Änderungsbetrags eines Ausgangsspannungssteuersignals als Referenzspannung und des Änderungsbetrags eines tatsächlich an den Verbraucher (LOAD) gelieferten Ausgangsspannungssignals erfasst.

4. Gleichspannungswandler nach Anspruch 2, bei dem die Spannungsänderungsdetektorschaltung (52) die Pegeländerung der an den Verbraucher (LOAD) gelieferten Gleichspannung auf der Basis des Gleichgewichts zwischen der von der Verstärkereinrichtung (Amp1) ausgegebenen Spannungsdifferenz und der zur Verstärkereinrichtung (Amp1) rückgeführten, dem Istwert der an den Verbraucher

(LOAD) gelieferten Gleichspannung entsprechenden Spannung (Vfb) erfasst.

5. Gleichspannungswandler nach einem der Ansprüche 2 bis 4, bei dem die Verstärkereinrichtung eine erste (SUB1) und eine zweite analoge Verstärkerschaltung (Amp1) aufweist, deren Arbeitspunkte fest sind, wobei die erste und zweite analoge Verstärkerschaltung kaskadengeschaltet sind und die erste analoge Verstärkerschaltung eine Differenzverstärkerschaltung aufweist.

6. Gleichspannungswandler nach einem der Ansprüche 2 bis 5, bei dem die Oszillatoreinrichtung (OSC1; OSC2) ein Dreieckwellensignal erzeugt, dessen Schwingfrequenz proportional zur Differenz zwischen der von der Verstärkereinrichtung (Amp1) verstärkten Spannungsdifferenz und einer ersten Referenzspannung ist, wenn der Pulsfrequenzmodulationsmodus von der Wähleinrichtung (10) gewählt worden ist.

7. Gleichspannungswandler nach einem der Ansprüche 2 bis 5, bei dem die Oszillatoreinrichtung (OSC1; OSC2) ein Dreieckwellensignal erzeugt, dessen Schwingfrequenz proportional zum Wert eines durch eine erste Widerstandsschaltung fließenden Stroms ist, die einen auf das Potential der von der Verstärkereinrichtung (Amp1) verstärkten Differenzspannung vorgespannten Knoten und einen auf eine erste Referenzspannung vorgespannten Knoten verbindet, wenn der Pulsfrequenzmodulationsmodus von der Wähleinrichtung (10) gewählt worden ist; und bei dem die Oszillatoreinrichtung (OSC1; OSC2) ein Dreieckwellensignal erzeugt, dessen Schwingfrequenz proportional zum Wert eines durch eine zweite Widerstandsschaltung fließenden Stroms ist, die eine zweite Referenzspannung und das Massepotential verbindet, wenn der Pulsweitenmodulationsmodus von der Wähleinrichtung (10) gewählt worden ist.

8. Gleichspannungswandler nach Anspruch 7, bei dem die Oszillatoreinrichtung (OSC1; OSC2) eine Überwachungsschaltung aufweist, die den unteren Grenzwert der Spannung des erzeugten Dreieckwellensignal definiert.

9. Gleichspannungswandler nach Anspruch 8, bei dem die erste Referenzspannung gleich ist dem unteren Grenzwert der Spannung des von der Überwachungsschaltung überwachten Dreieckwellensignals.

10. Gleichspannungswandler nach Anspruch 8, bei dem die erste Referenzspannung höher eingestellt ist als der von der Überwachungsschaltung in der Oszillatoreinrichtung (OSC1; OSC2) definierte untere Grenzwert des Dreieckwellensignals; und bei dem der Wert eines Ausgangsspannungssignals, hier eines Fehlerverstärker-Ausgangssignals im Pulsfre-

quenzmodulationsmodus, der mit der ersten Referenzspannung übereinstimmt, als der untere Grenzwert der Spannung des Ausgangsspannungssignals eingestellt ist.

11. Gleichspannungswandler nach Anspruch 8, bei dem die erste Referenzspannung niedriger eingestellt ist als der von der Überwachungsschaltung in der Oszillatoreinrichtung (OSC1; OSC2) definierte untere Grenzwert der Spannung des Dreieckwellensignals; und bei dem die Schwingfrequenz des Dreieckwellensignals, hier eines Fehlerverstärker-Ausgangssignals im Pulsfrequenzmodulationsmodus, die mit dem unteren Grenzwert der Spannung des Dreieckwellensignals übereinstimmt, als der untere Grenzwert der Schwingfrequenz des Dreieckwellensignals eingestellt ist.

Es folgen 33 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

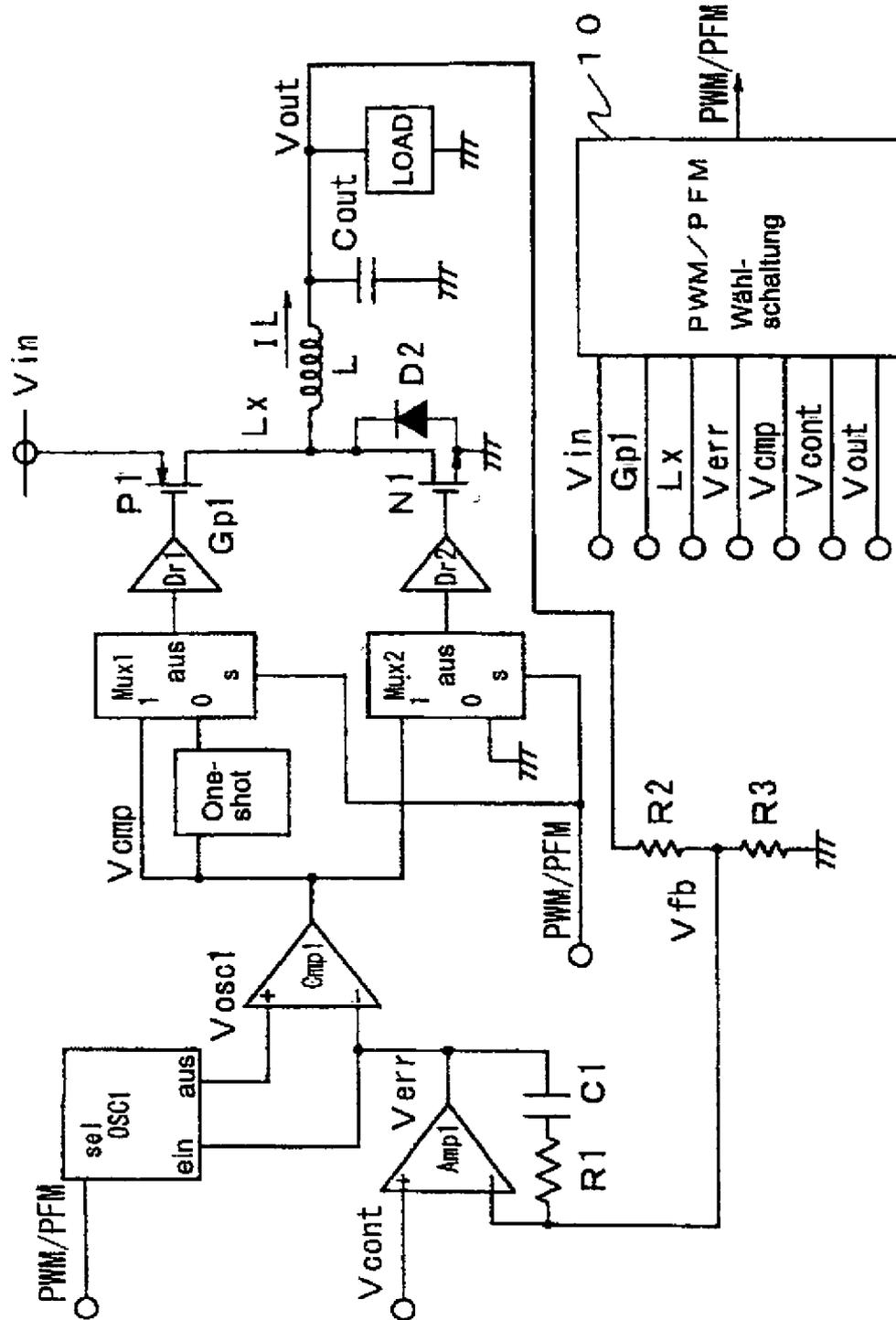


FIG. 2

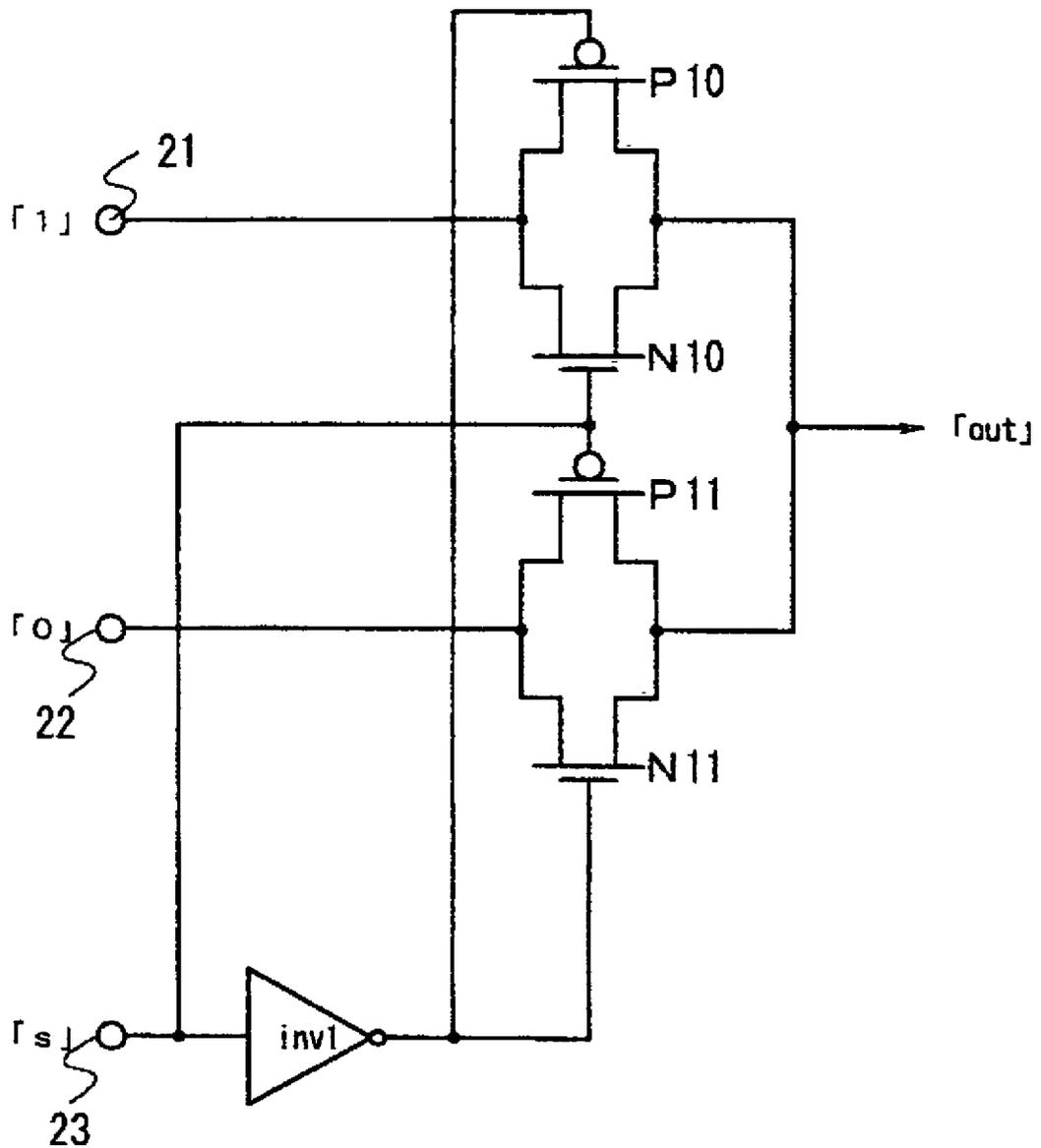


FIG. 4

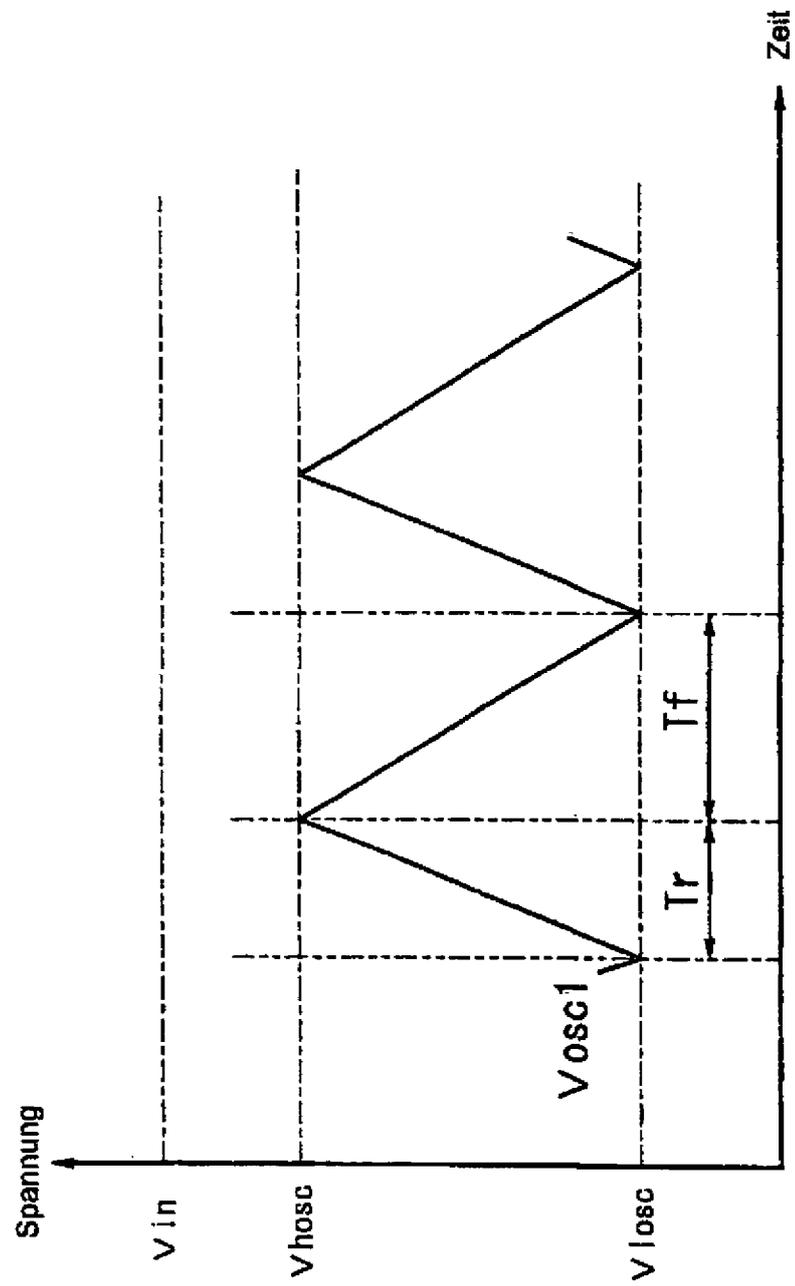


FIG. 5

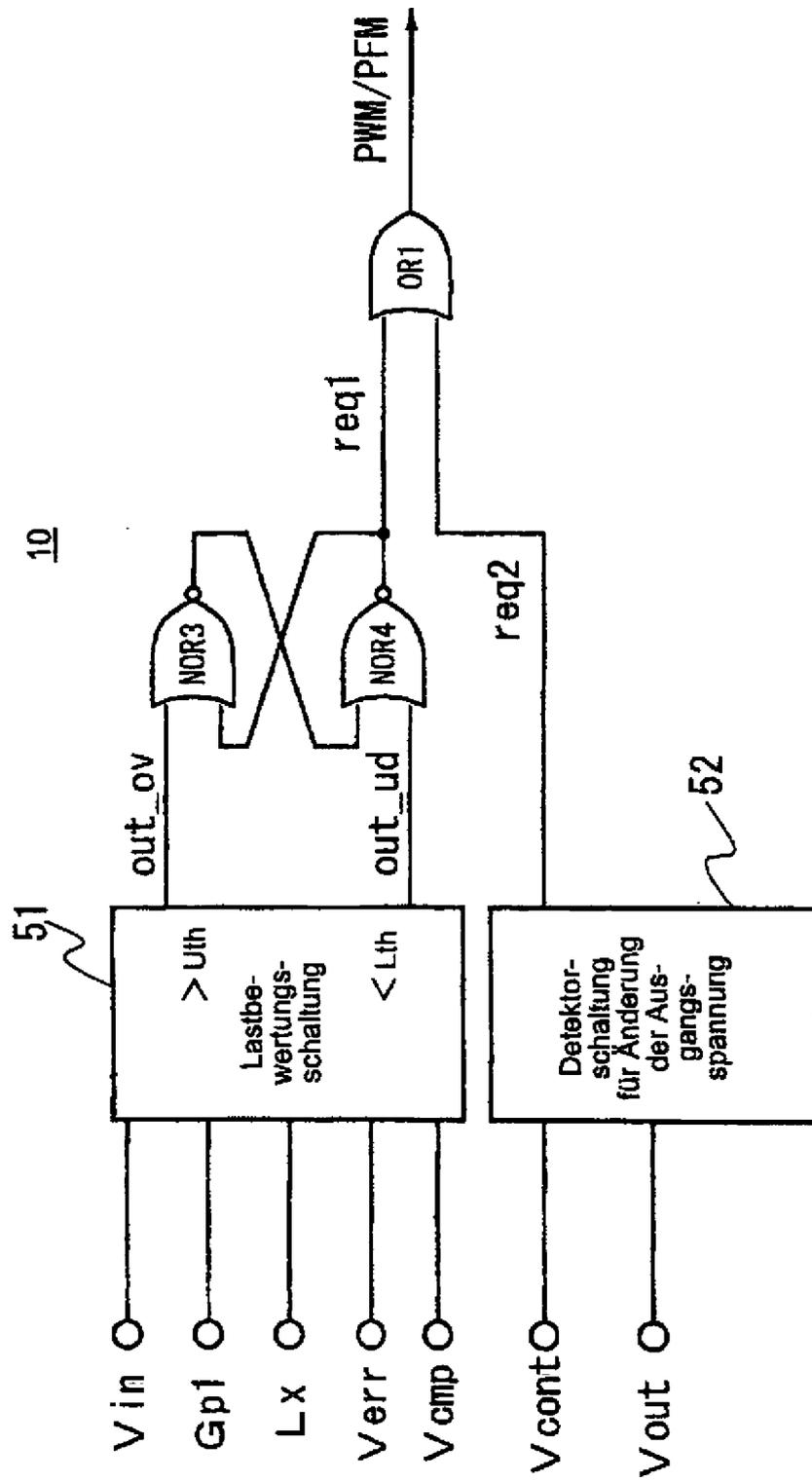


FIG. 6

Last- bedingungen \ \ Ausgangs- spannung	Keine Änderung (req2=Low)	Keine Änderung (req2=High)
Niedrige Last (req1=low)	PWM/PFM == low	PWM/PFM == high
Hohe Last (req1=high)	PWM/PFM == high	PWM/PFM == high

FIG. 7

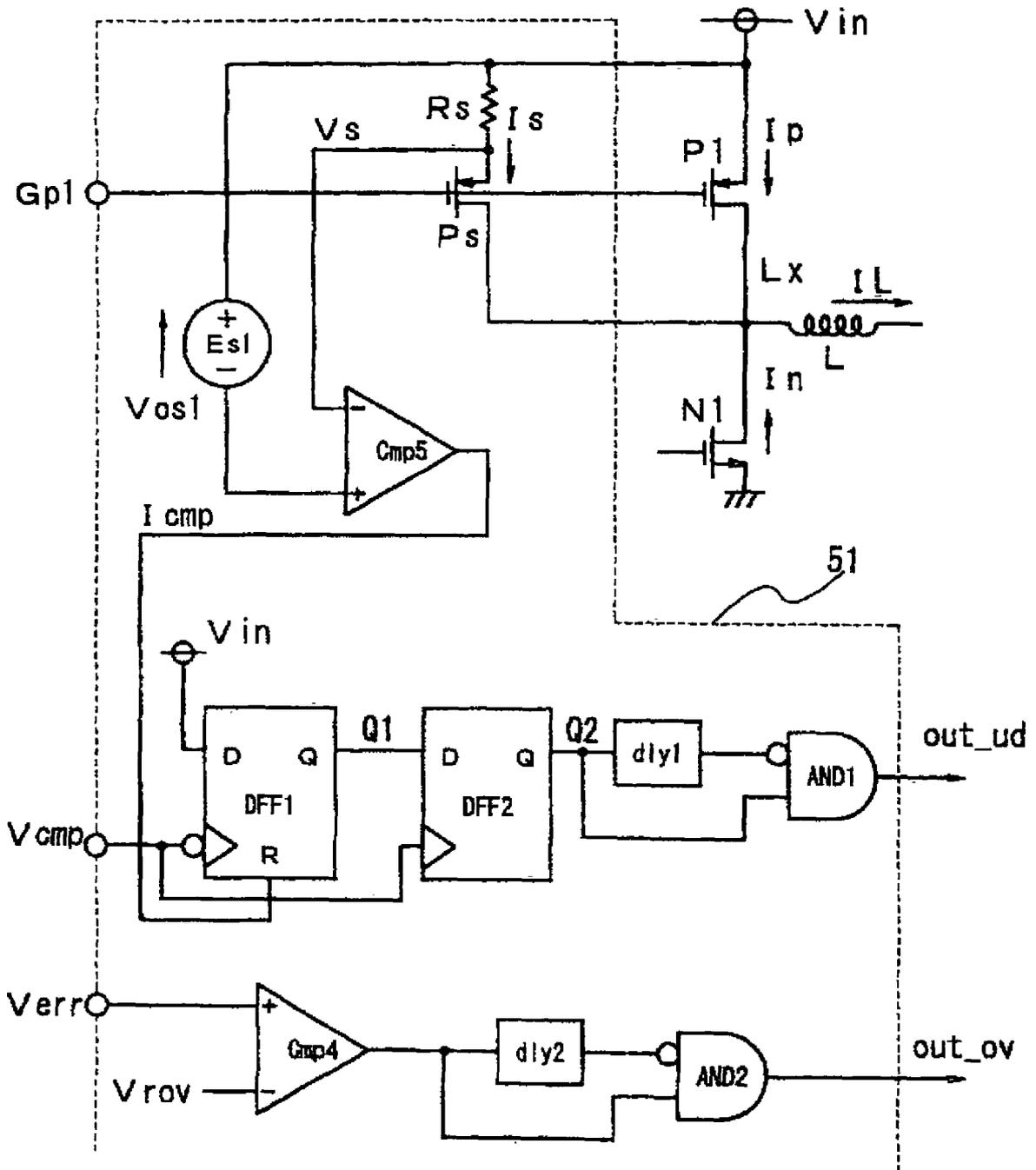


FIG. 8

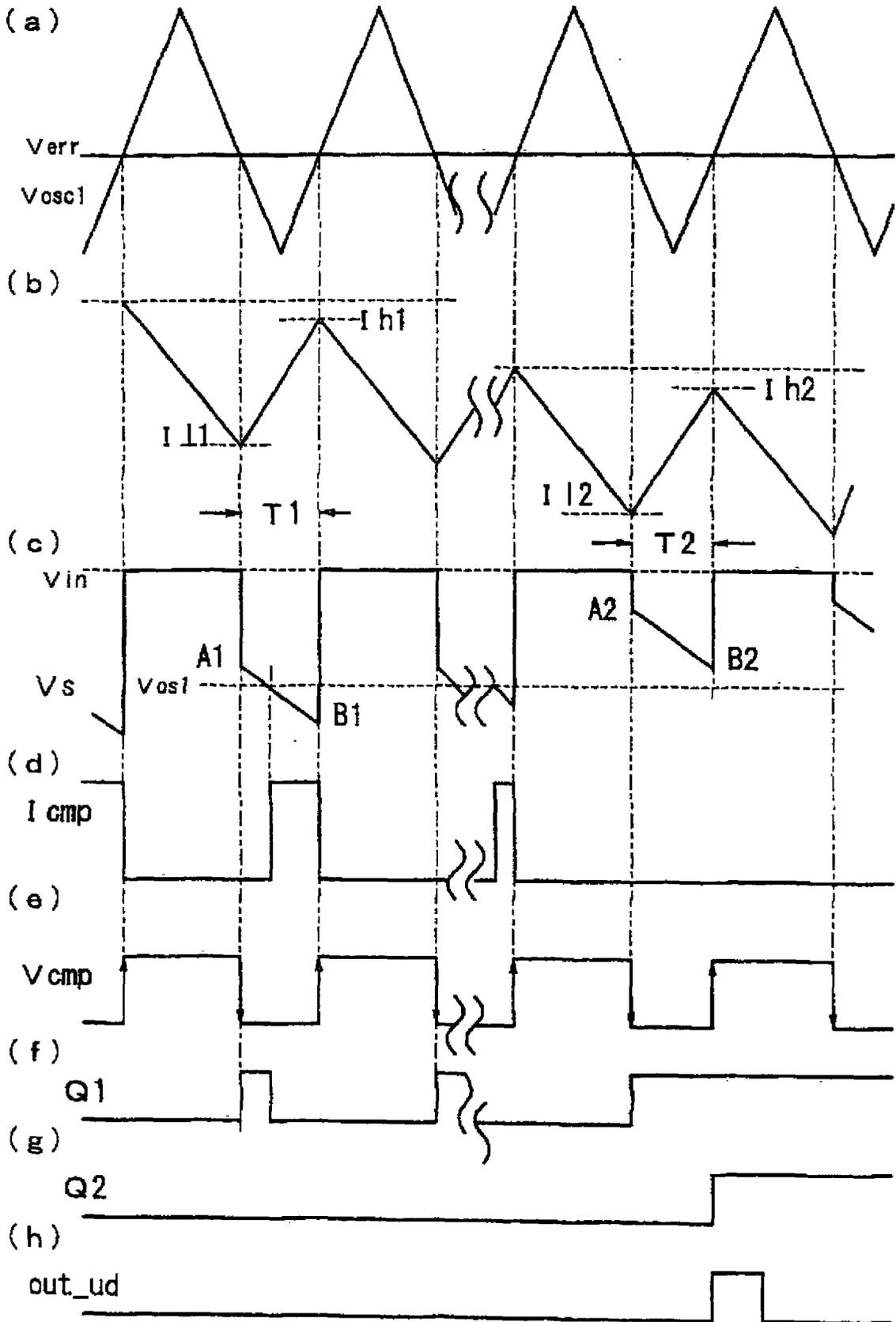


FIG. 10

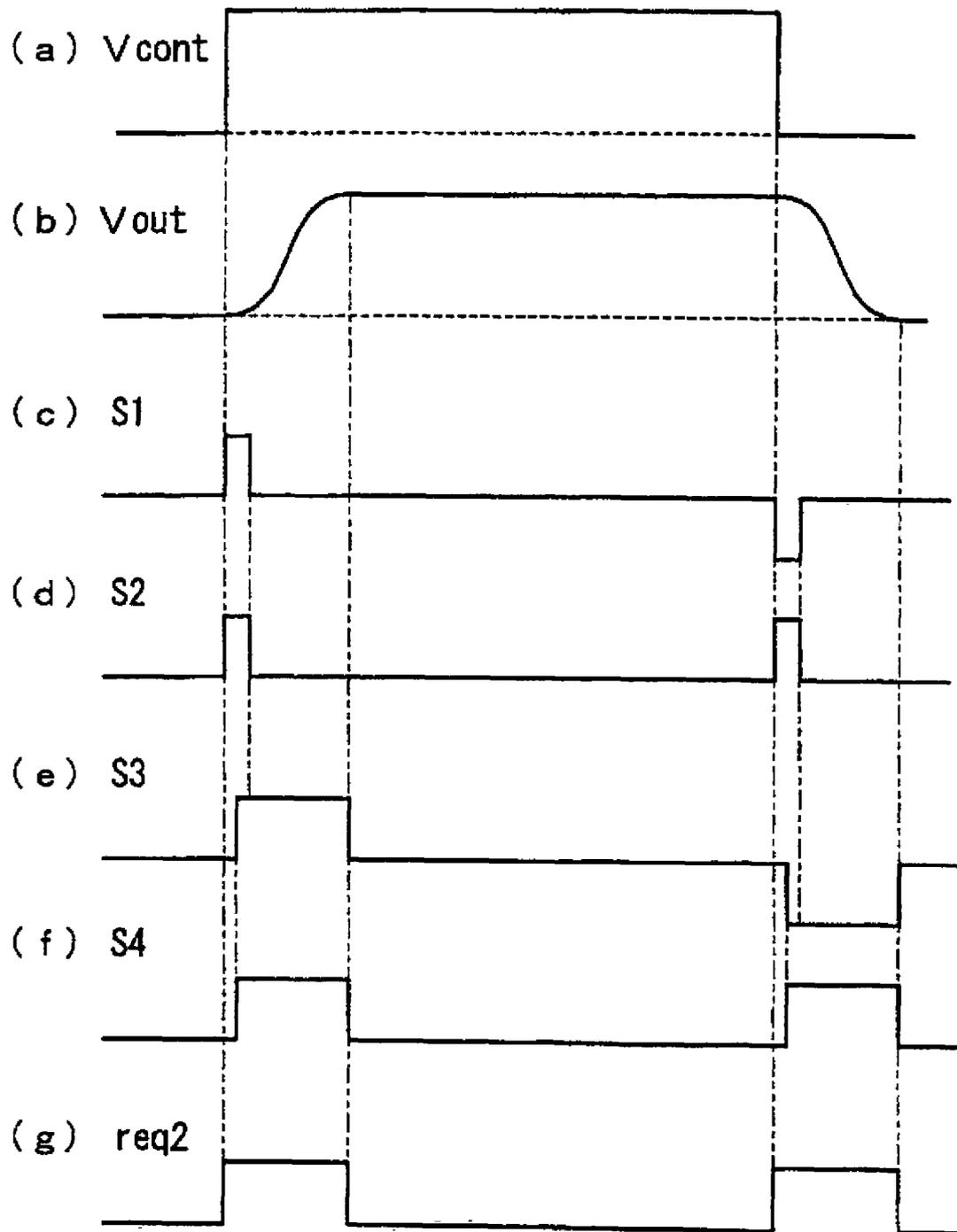


FIG. 11

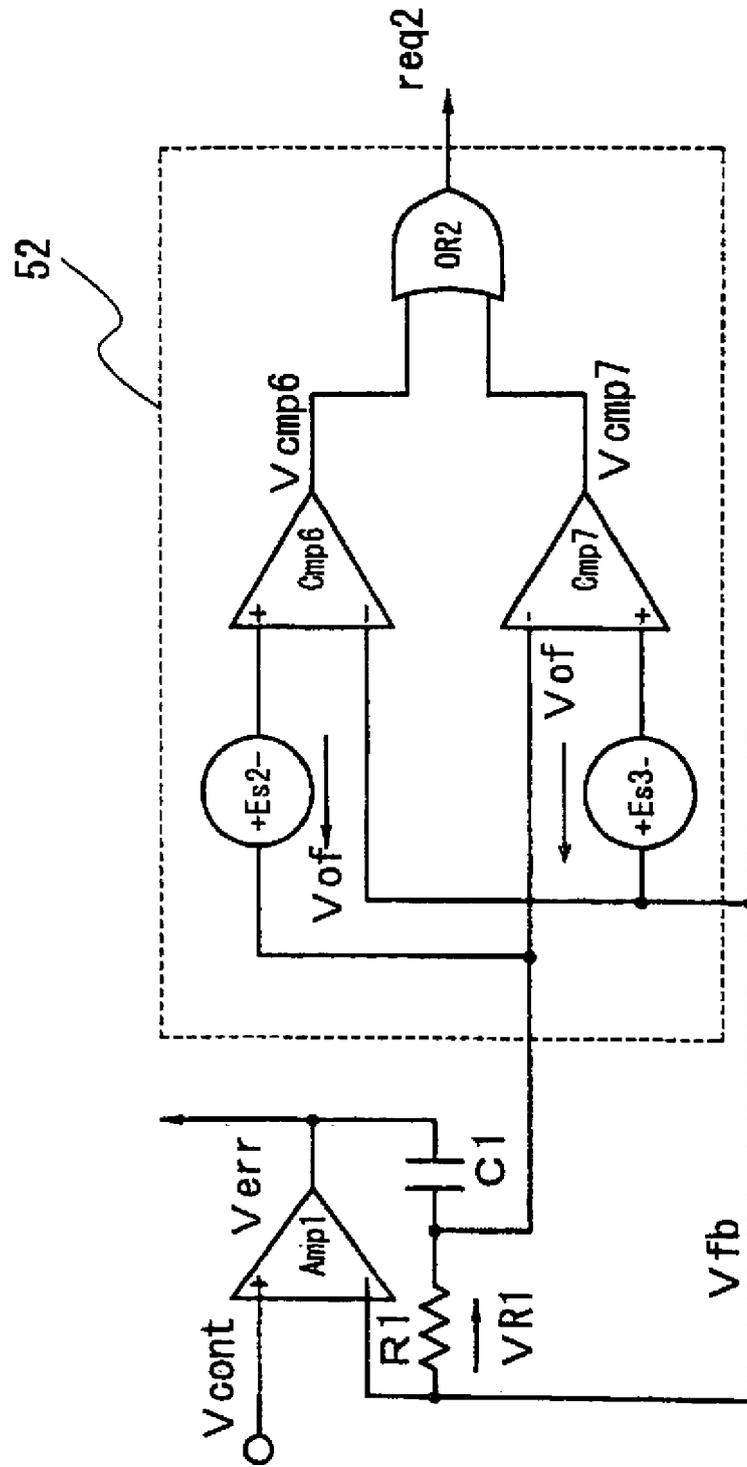


FIG. 12

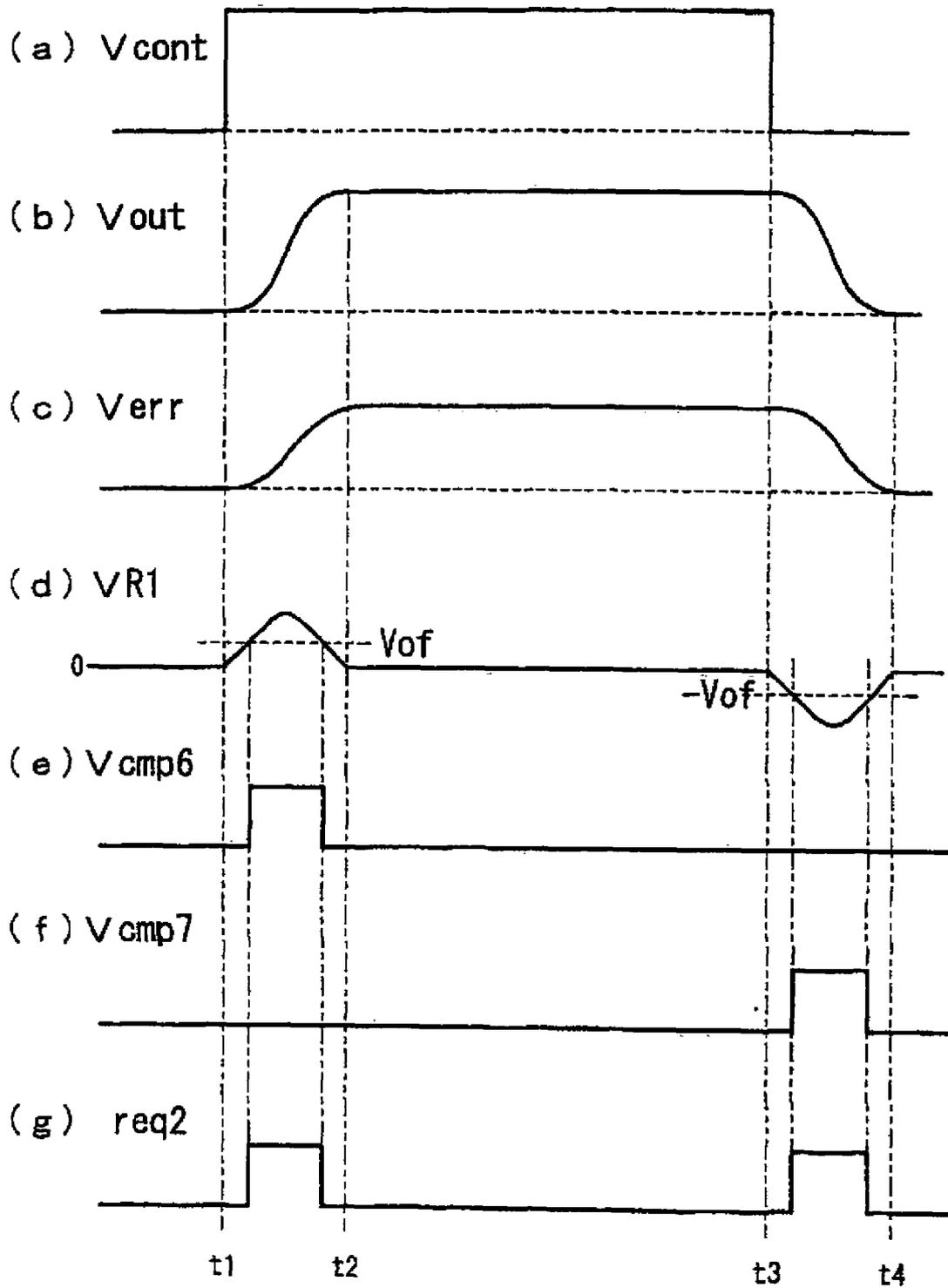


FIG. 13

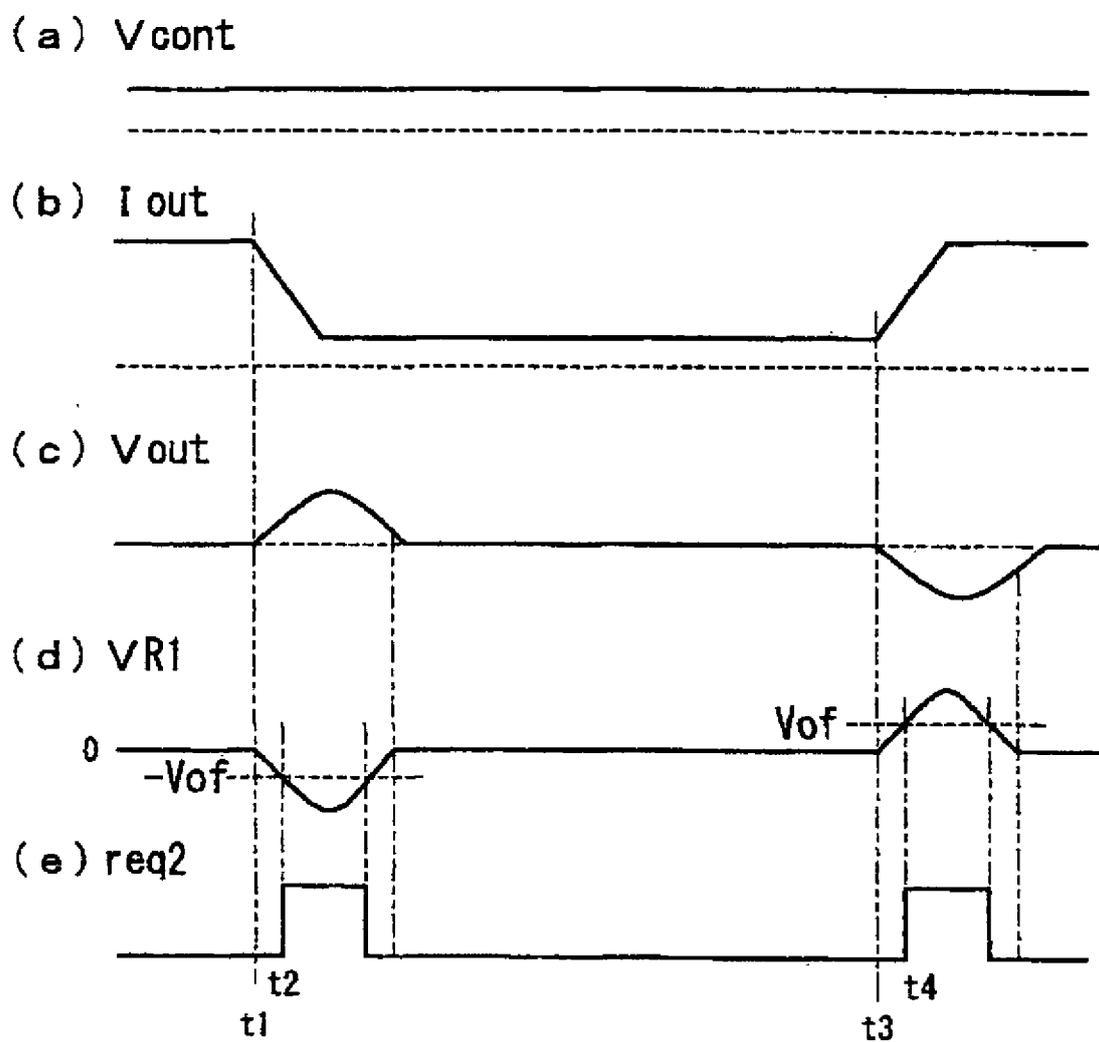


FIG. 14

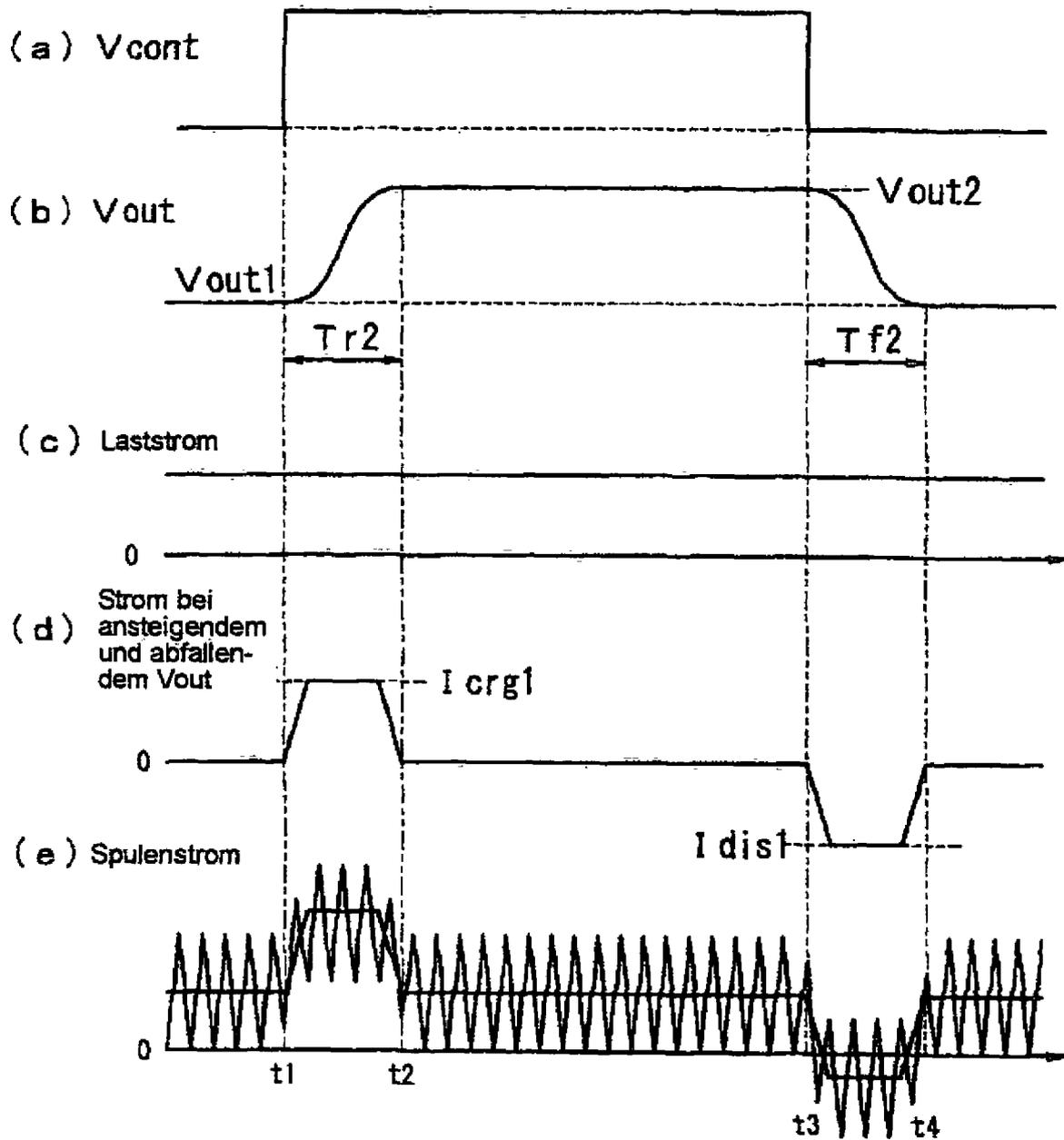


FIG. 15

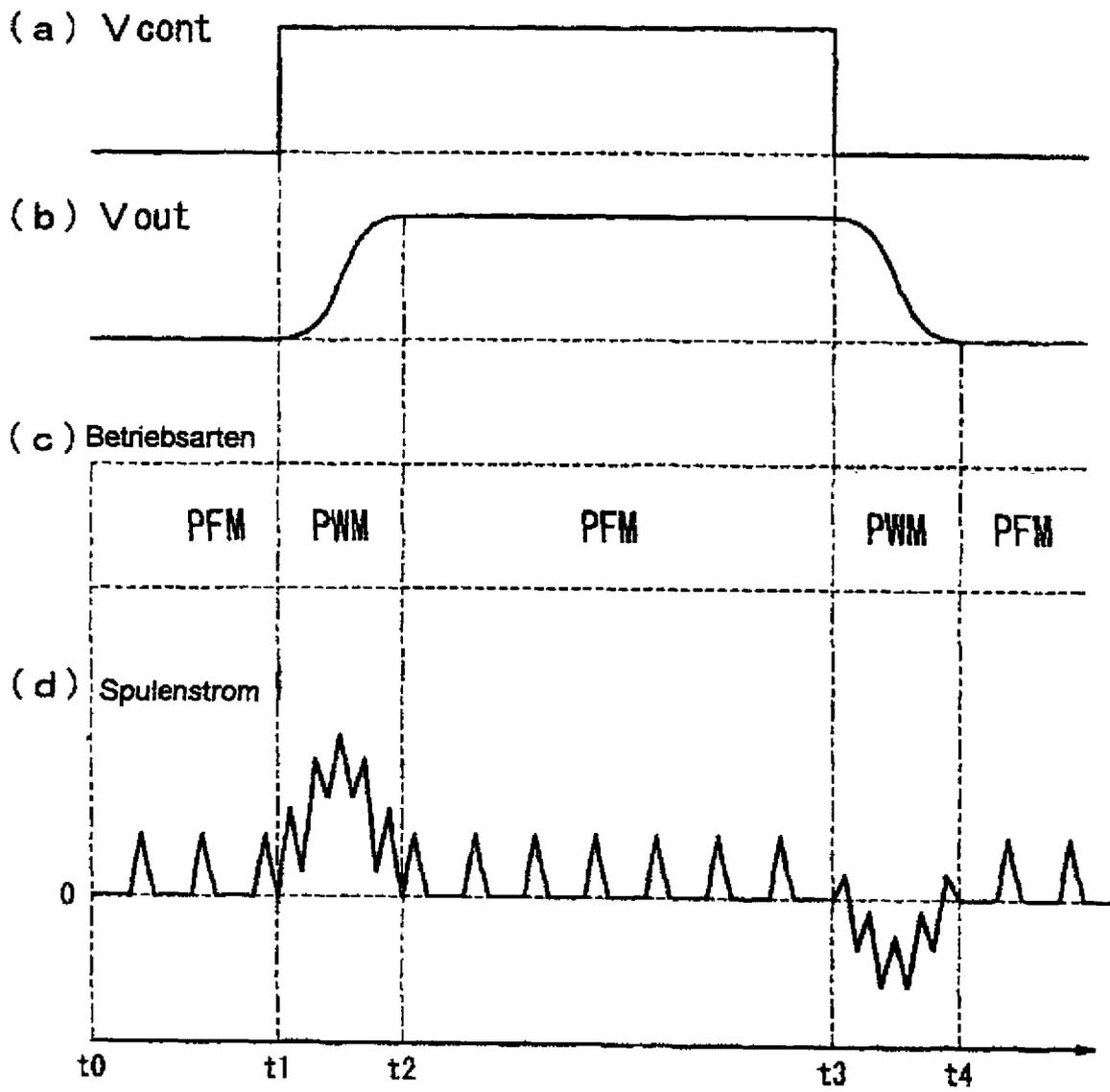


FIG. 16

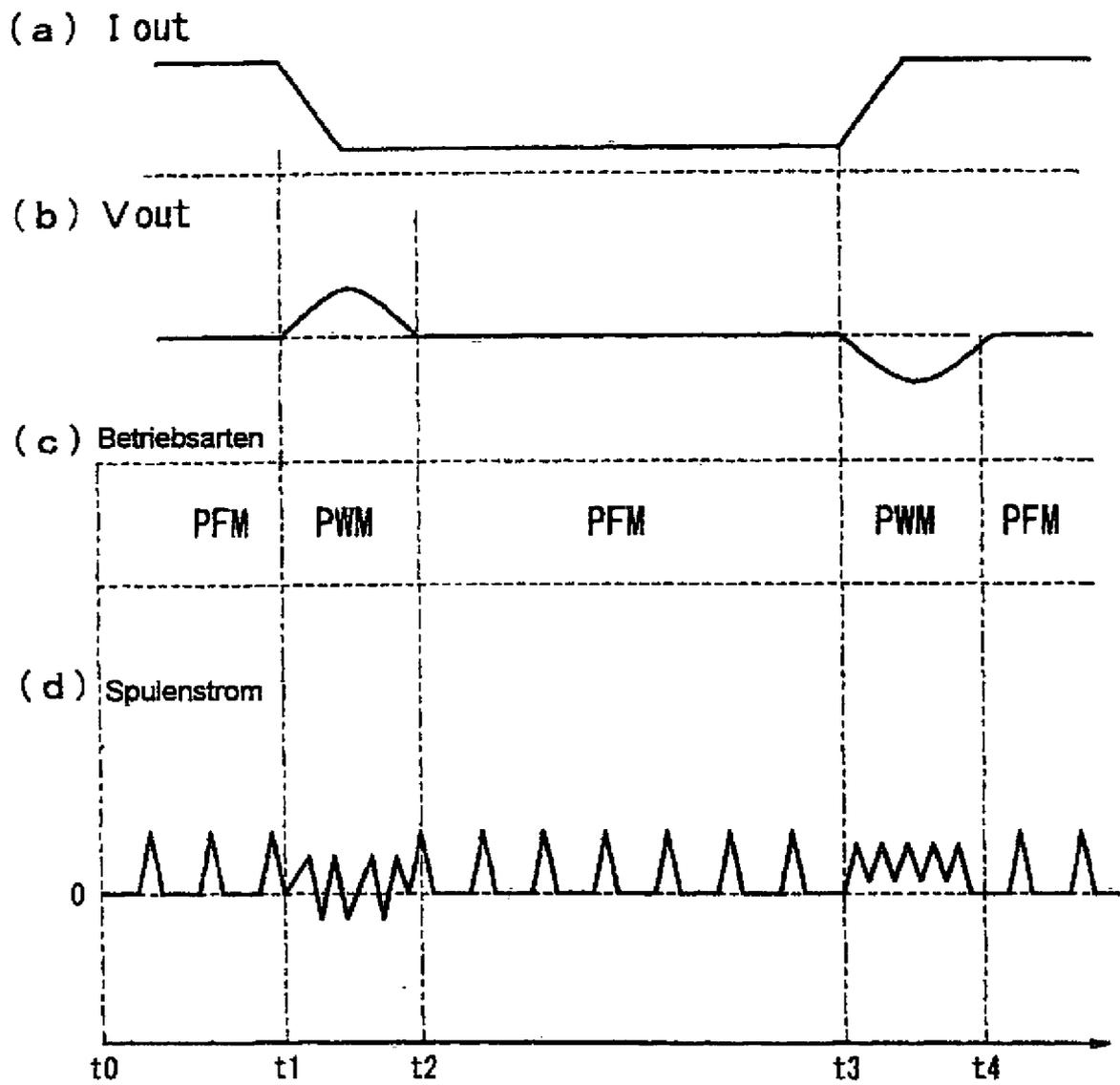


FIG. 17

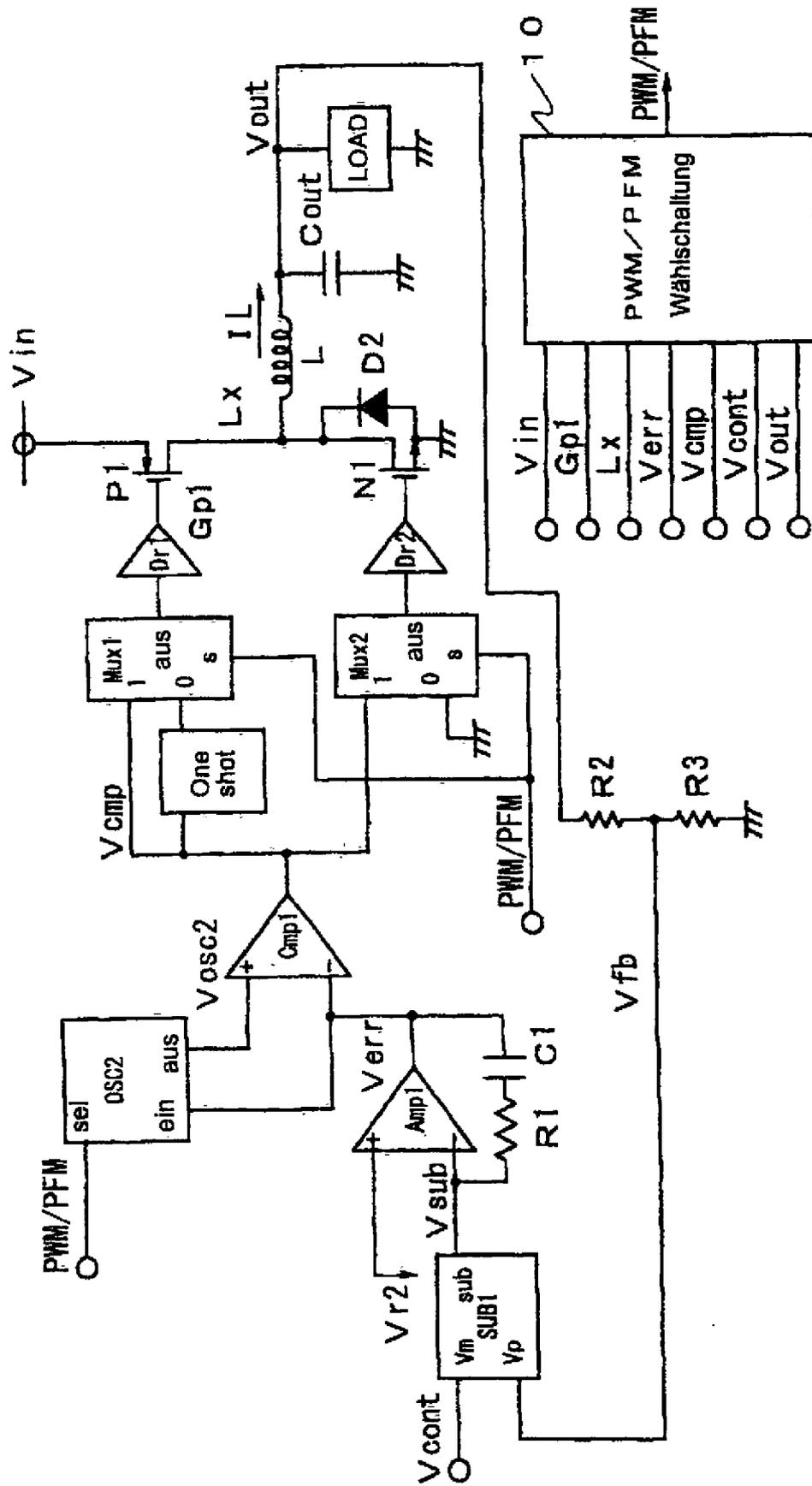


FIG. 18

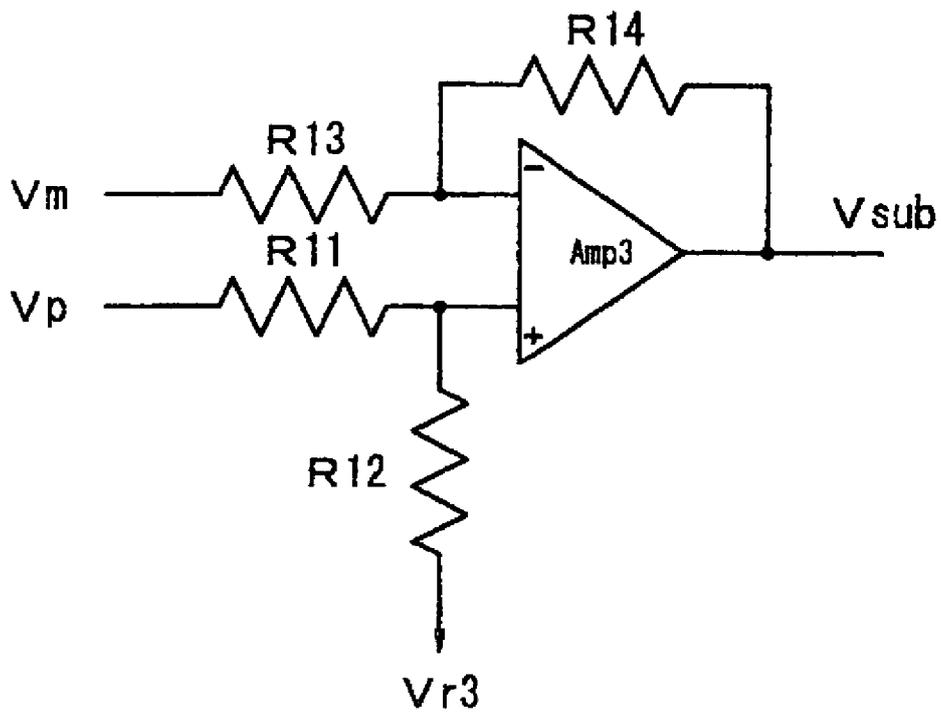


FIG. 19

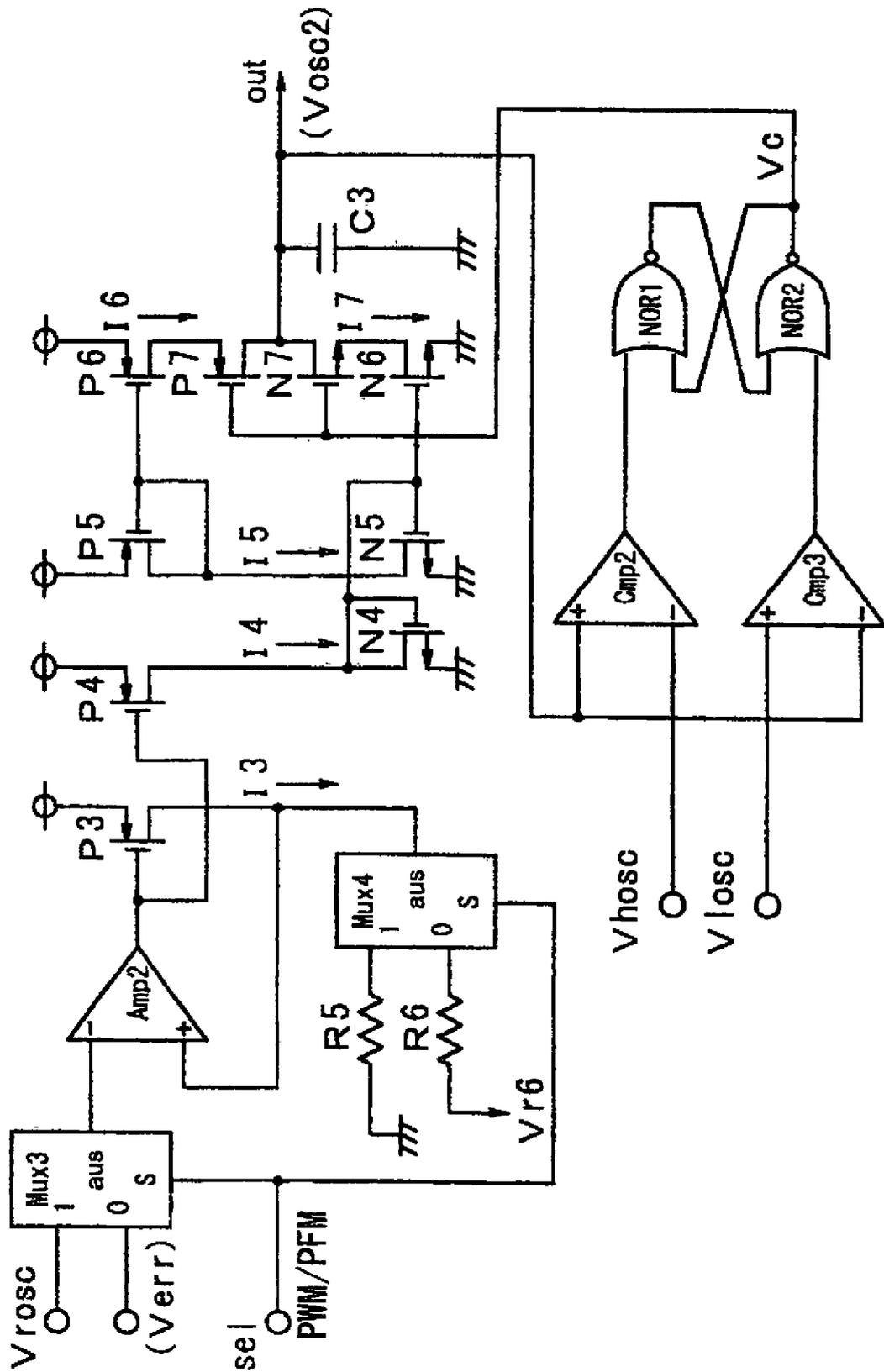


FIG. 20

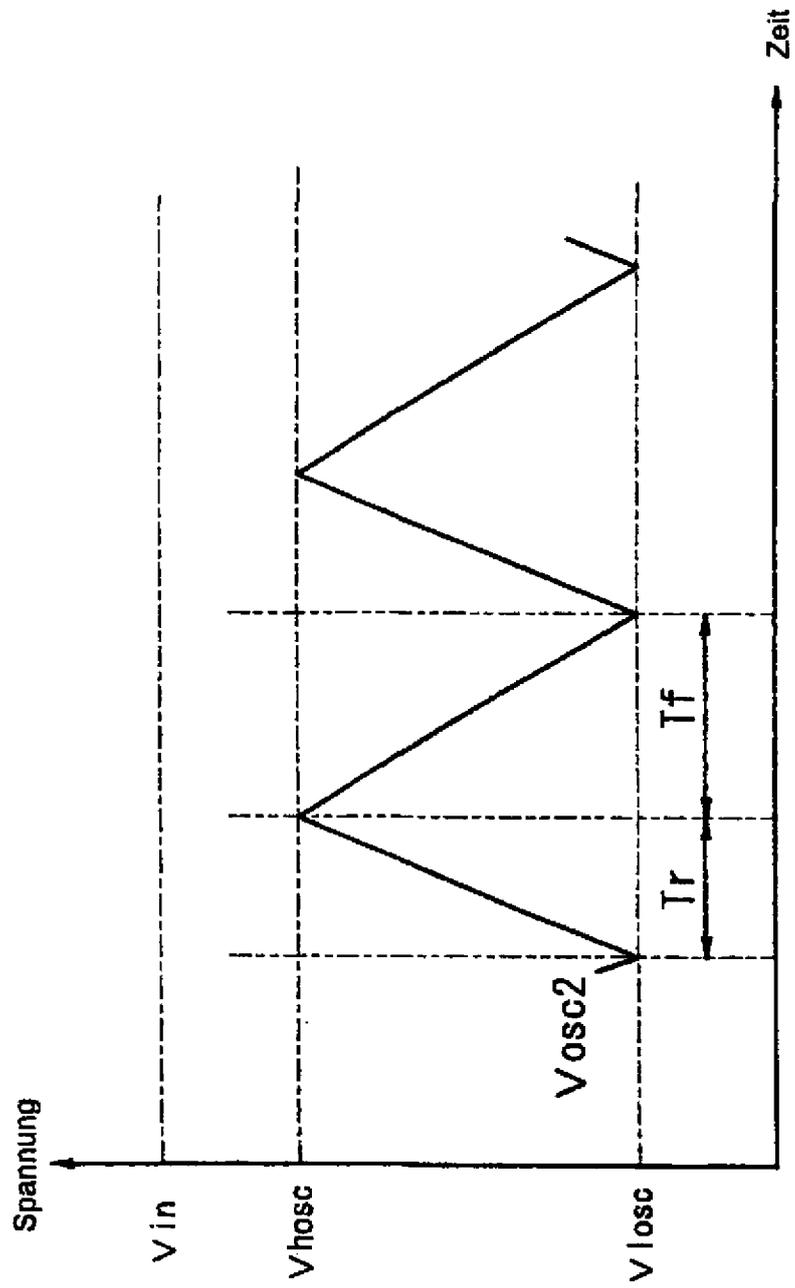


FIG. 21

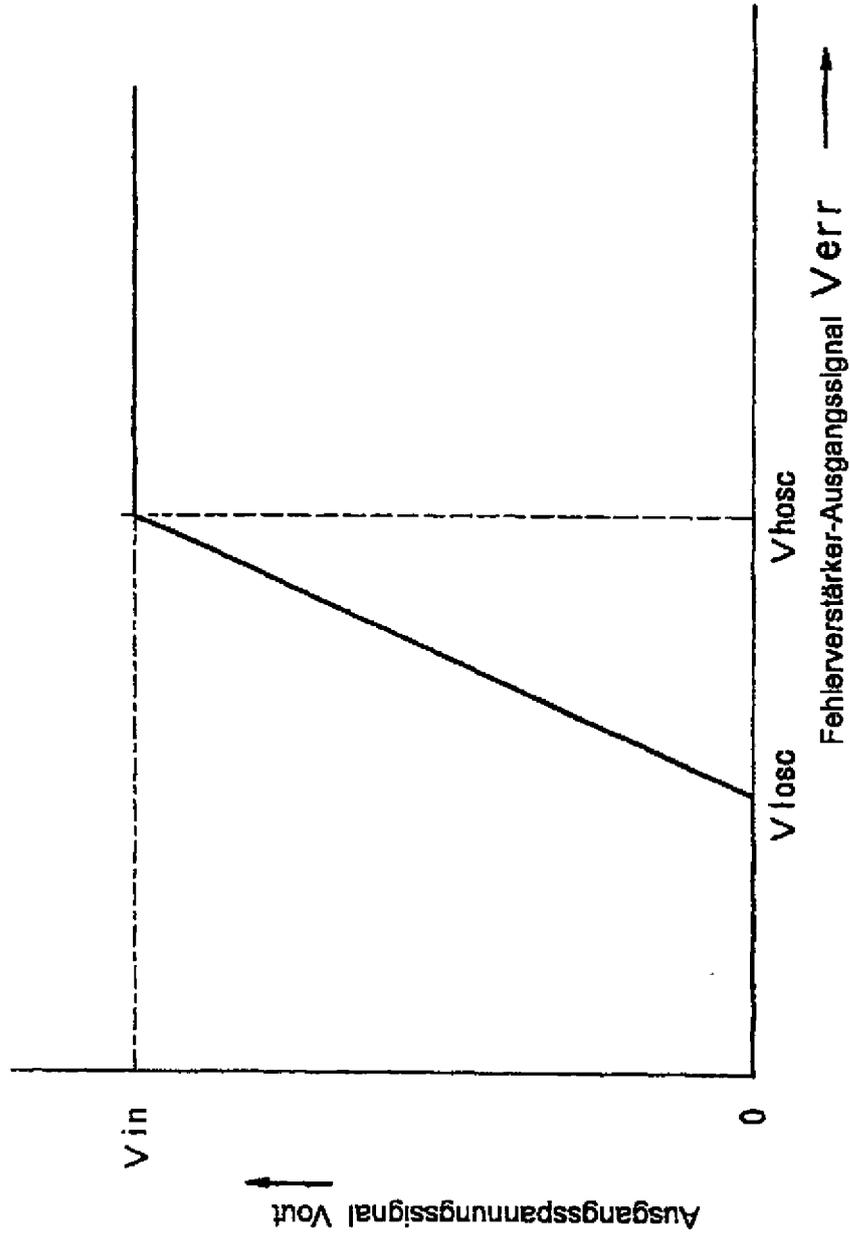


FIG. 22

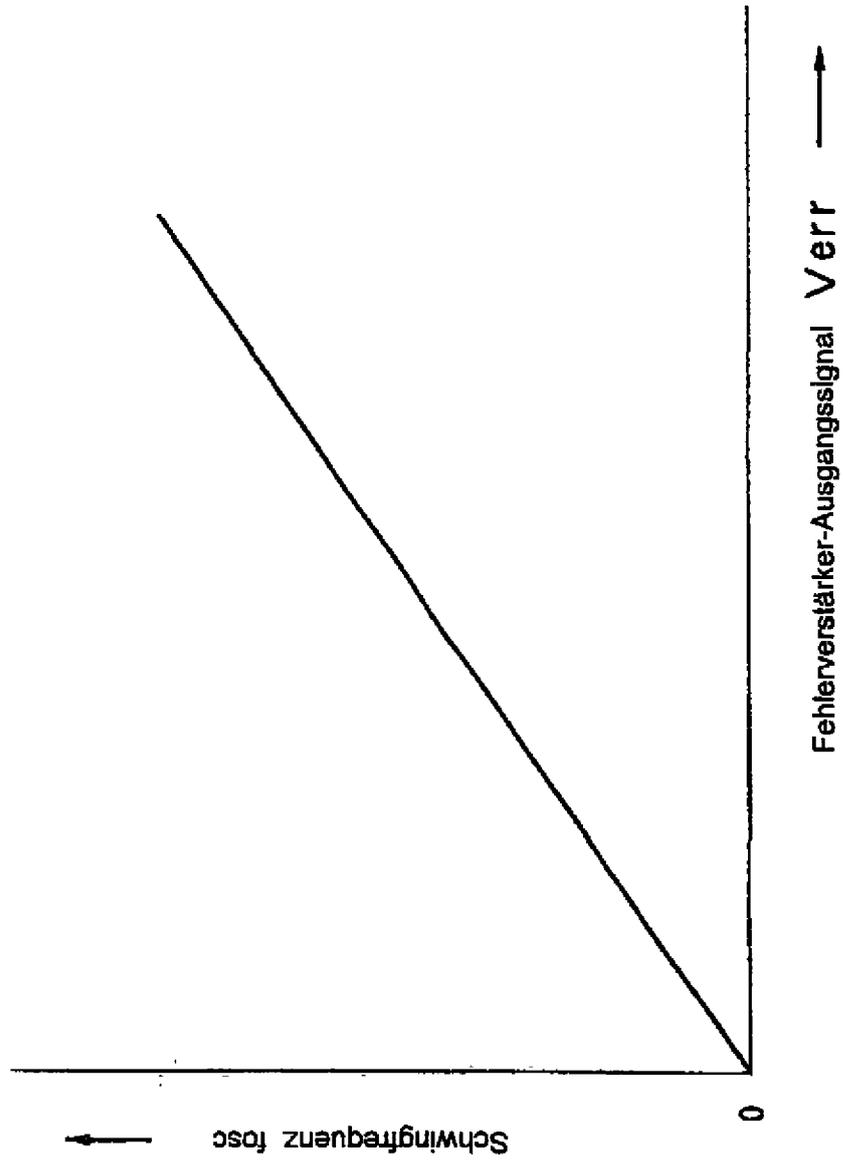


FIG. 23

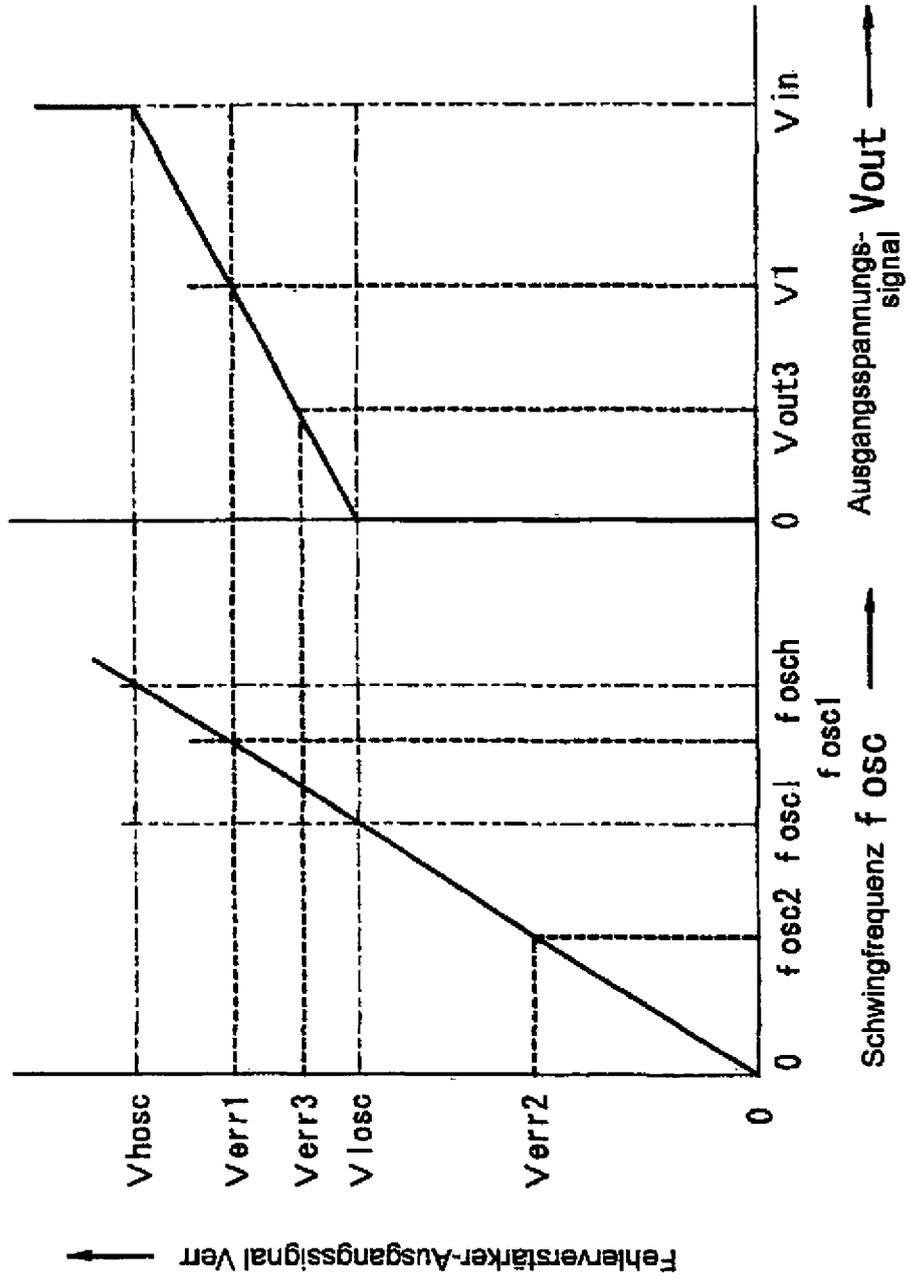


FIG. 24

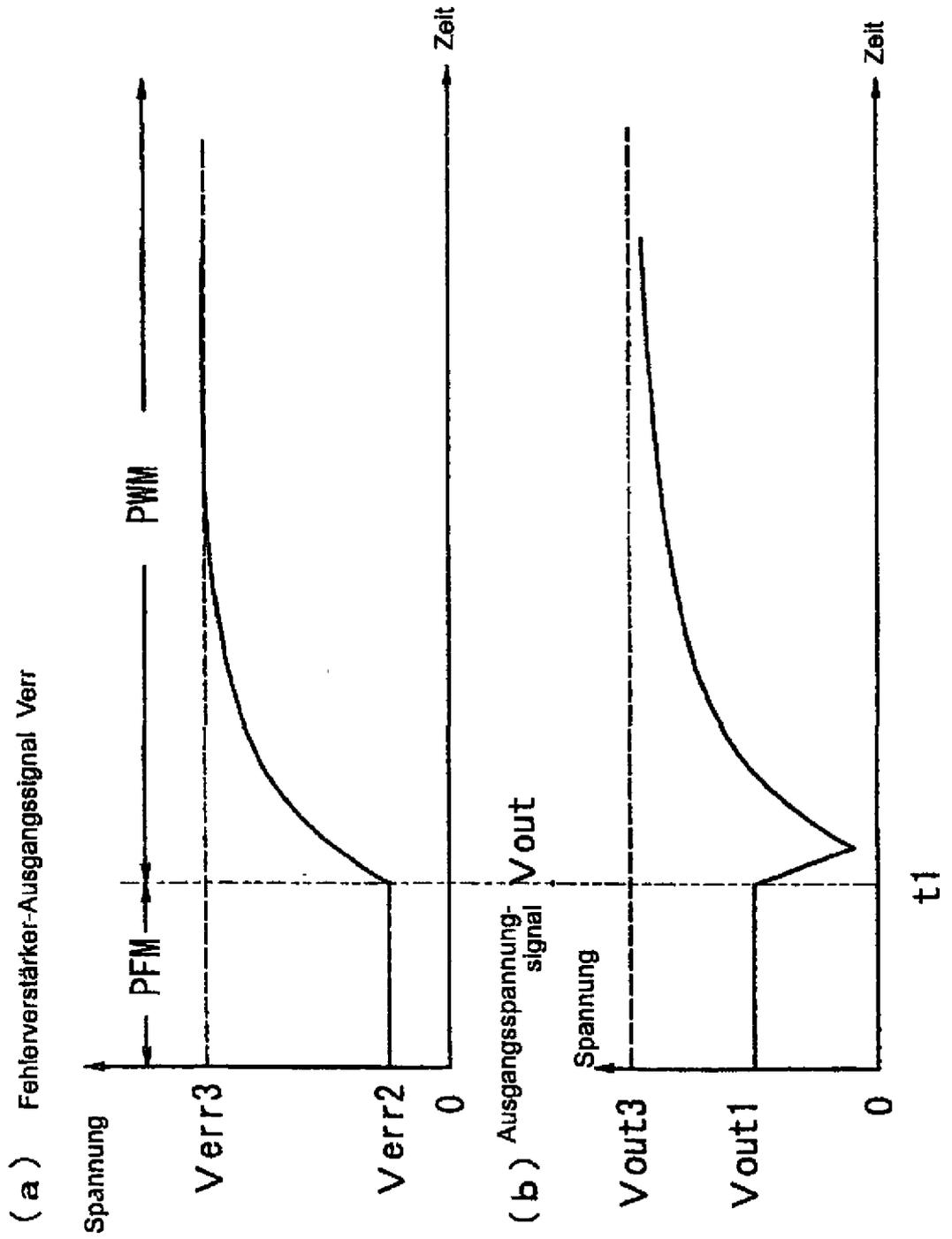


FIG. 25

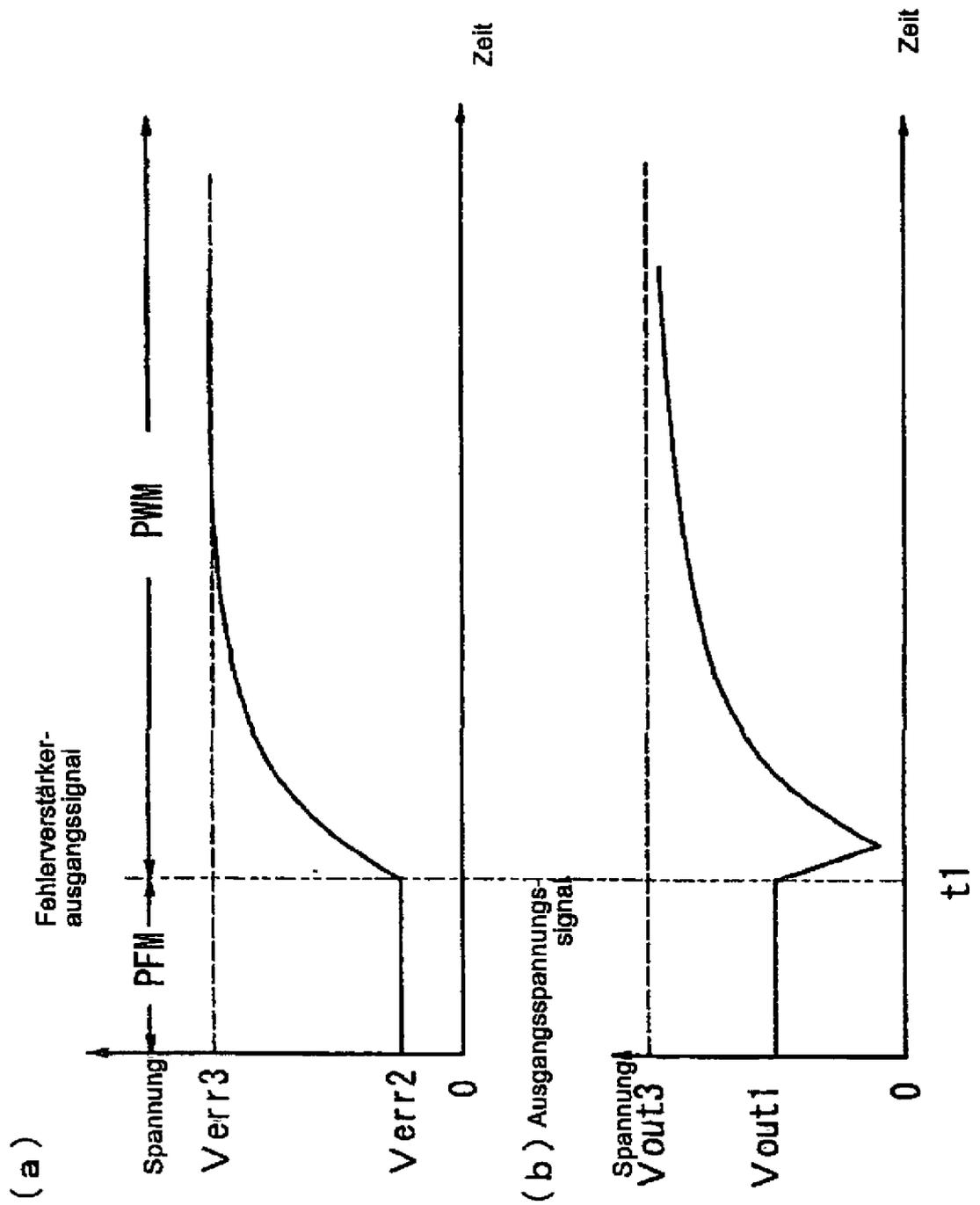


FIG. 26

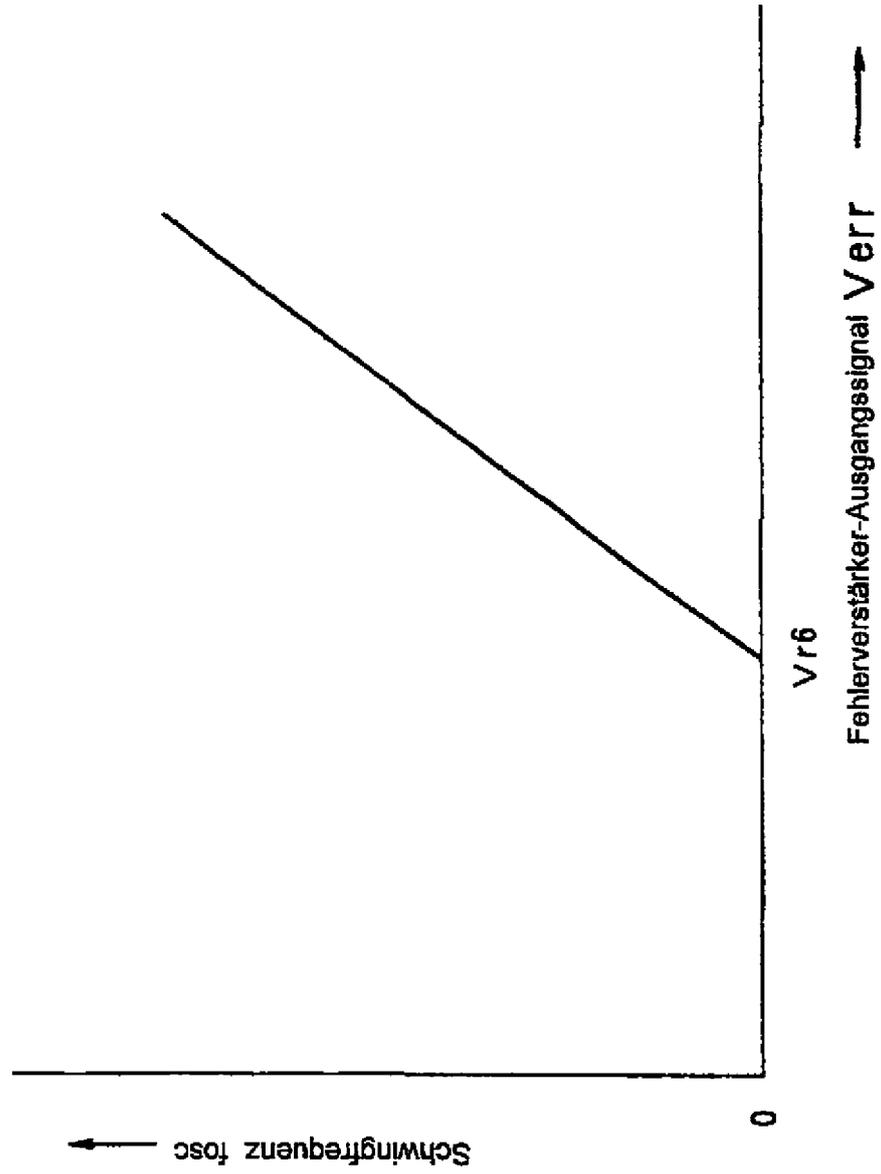


FIG. 27

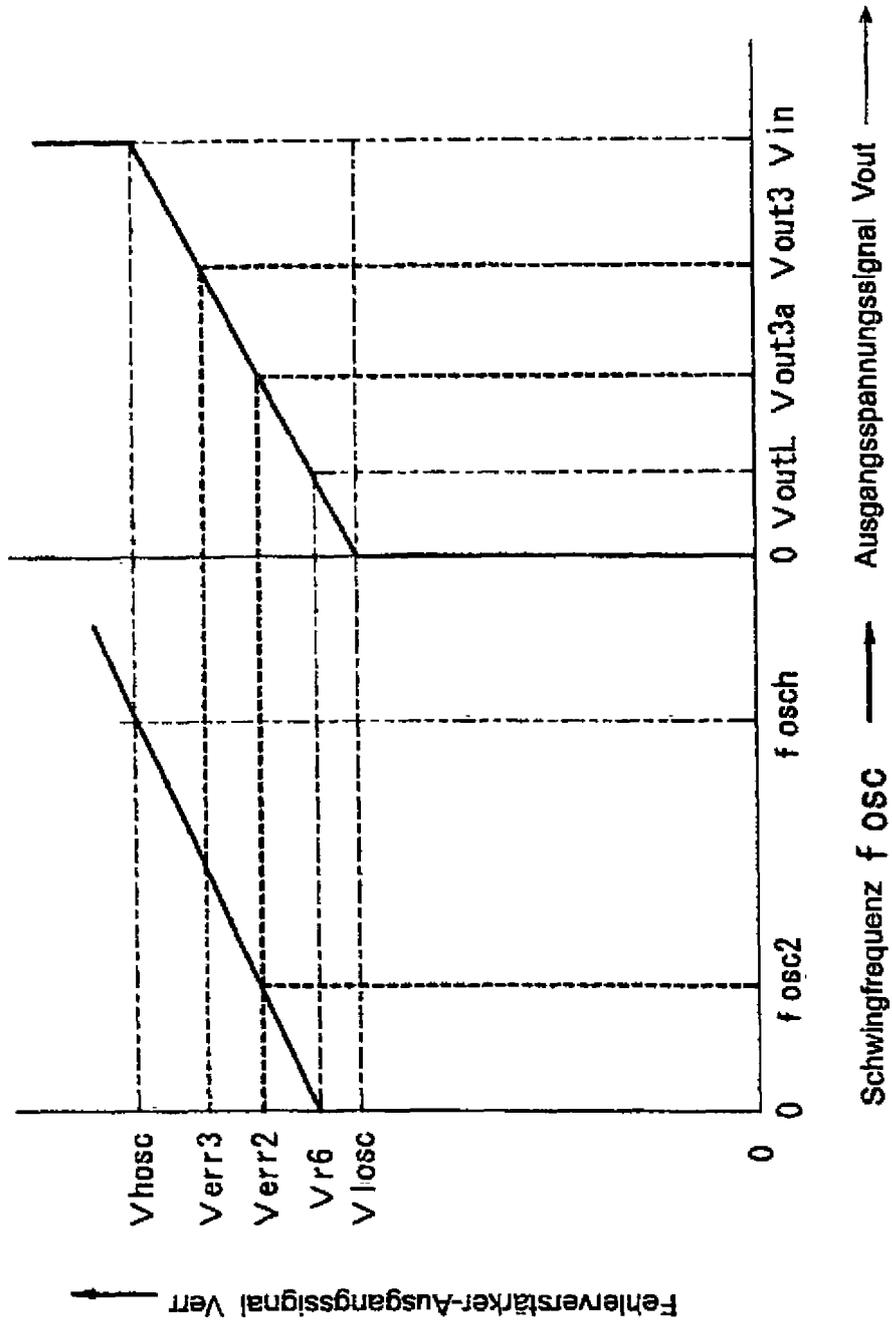


FIG. 28

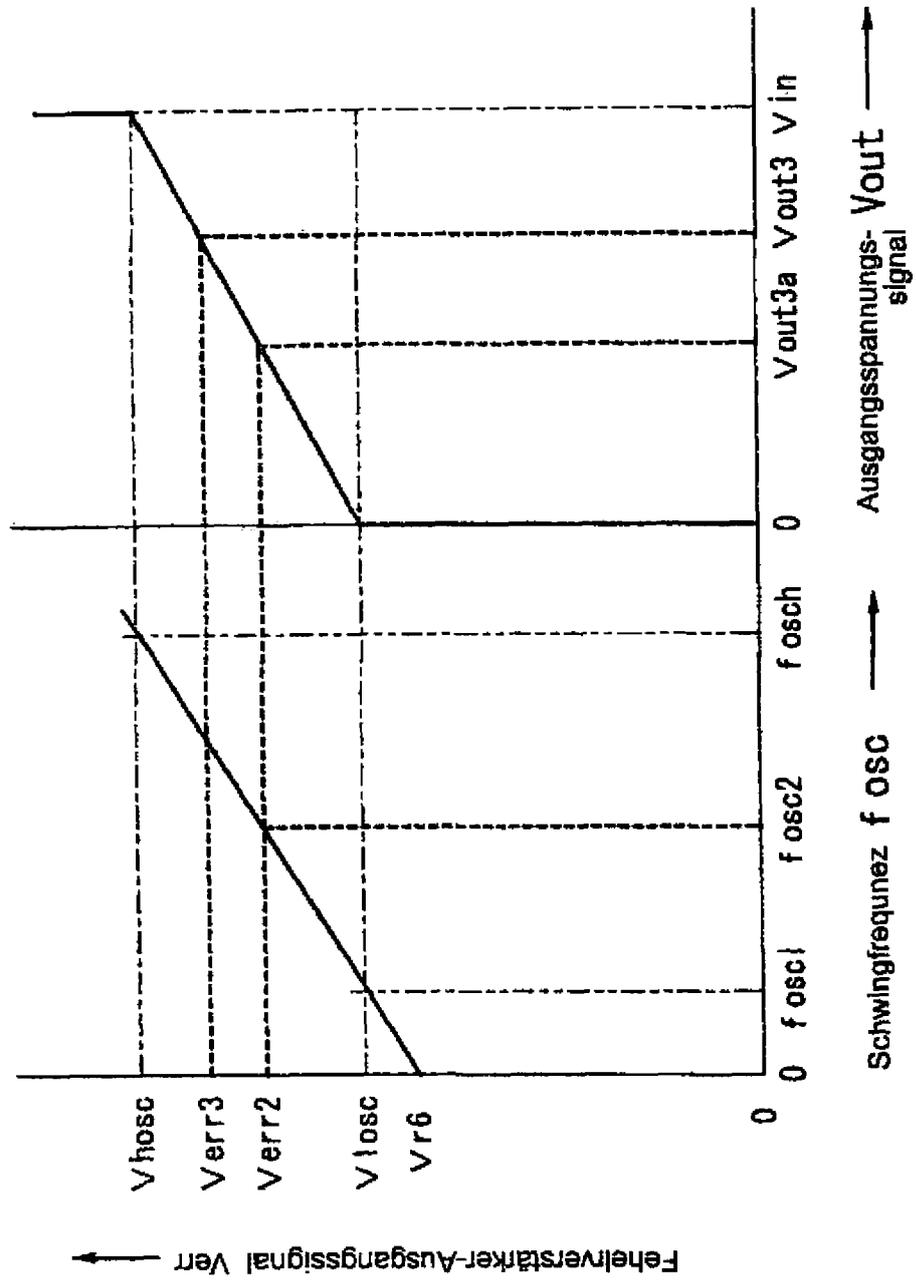


FIG. 29

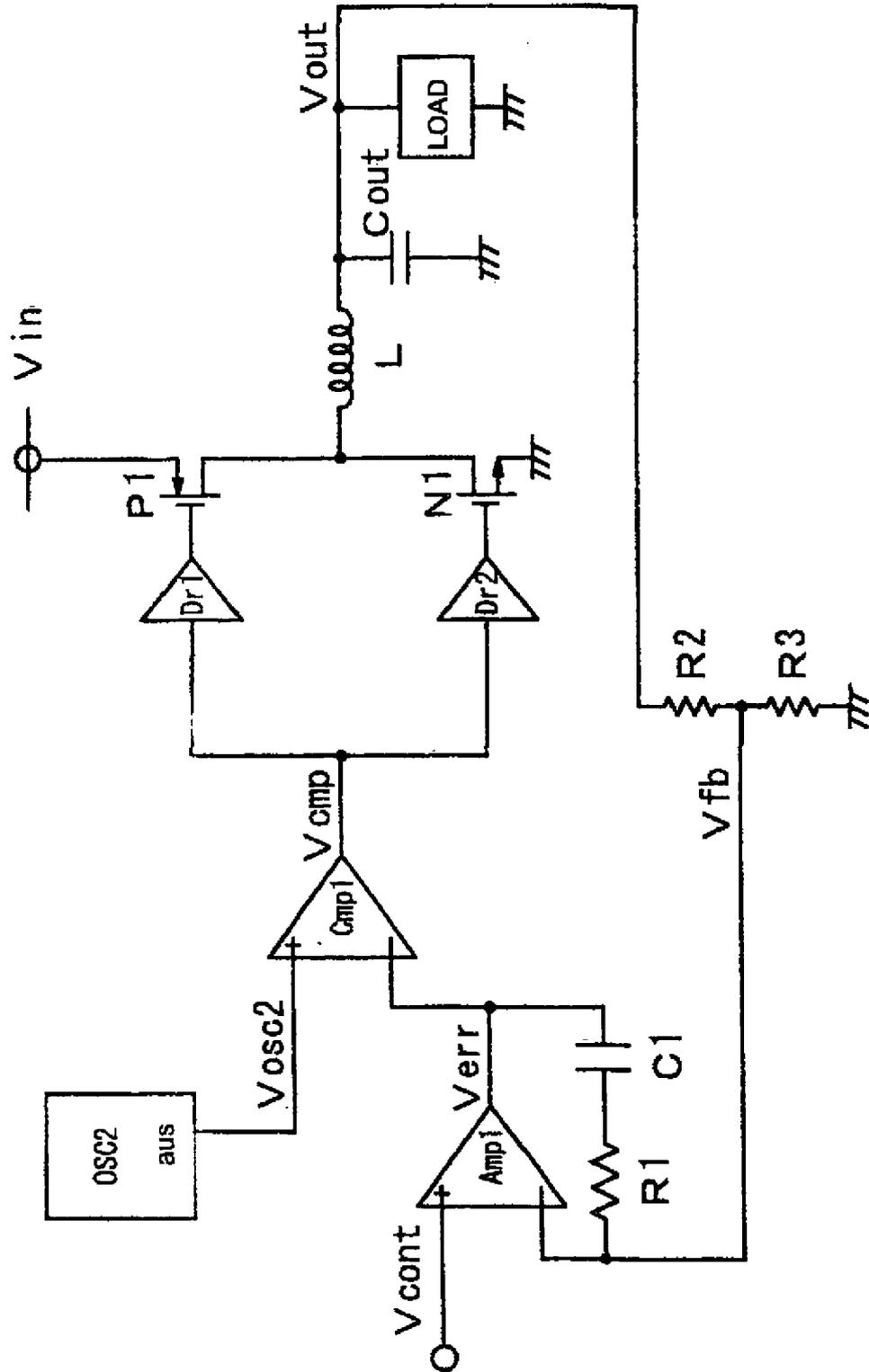


FIG. 30

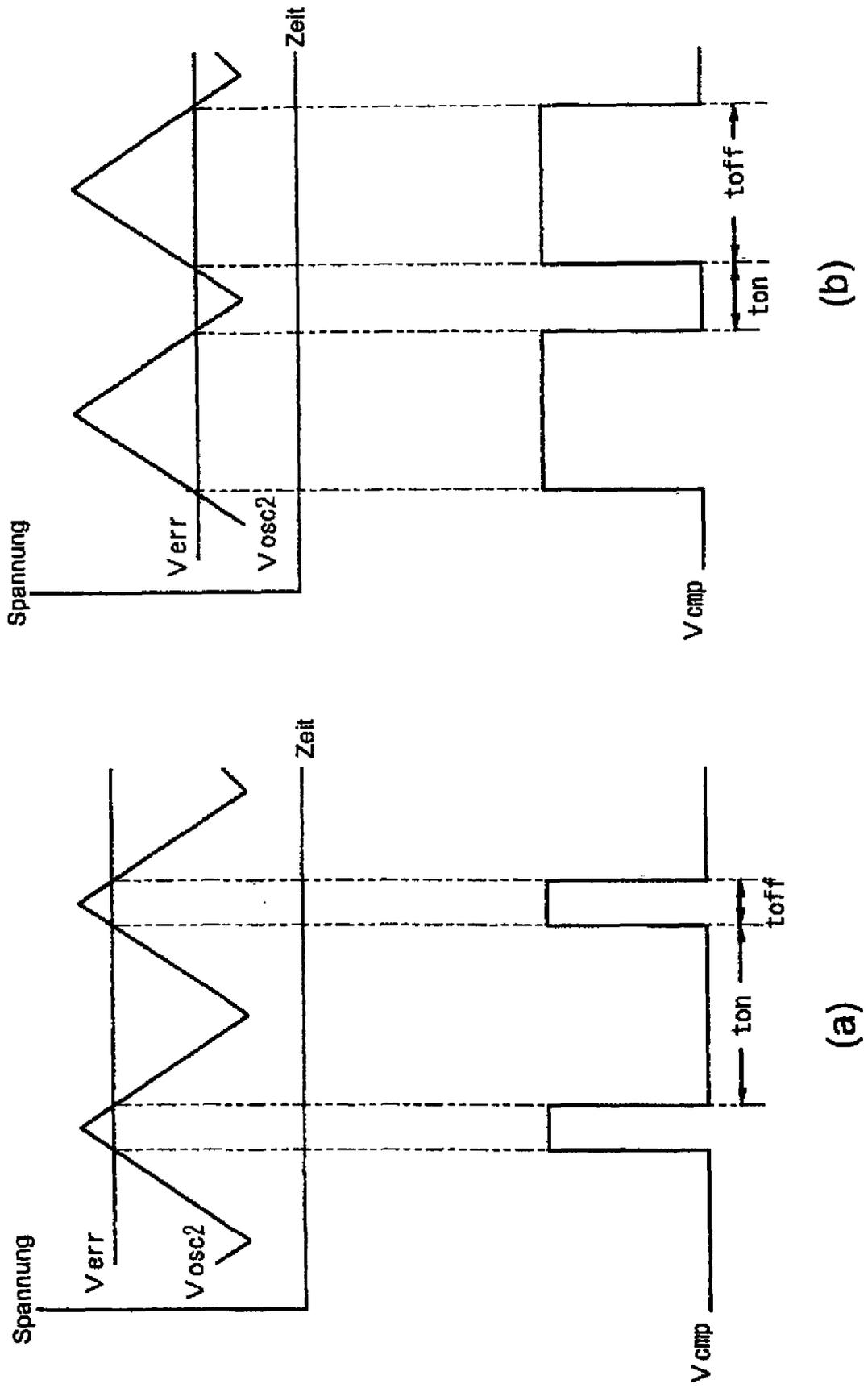


FIG. 31

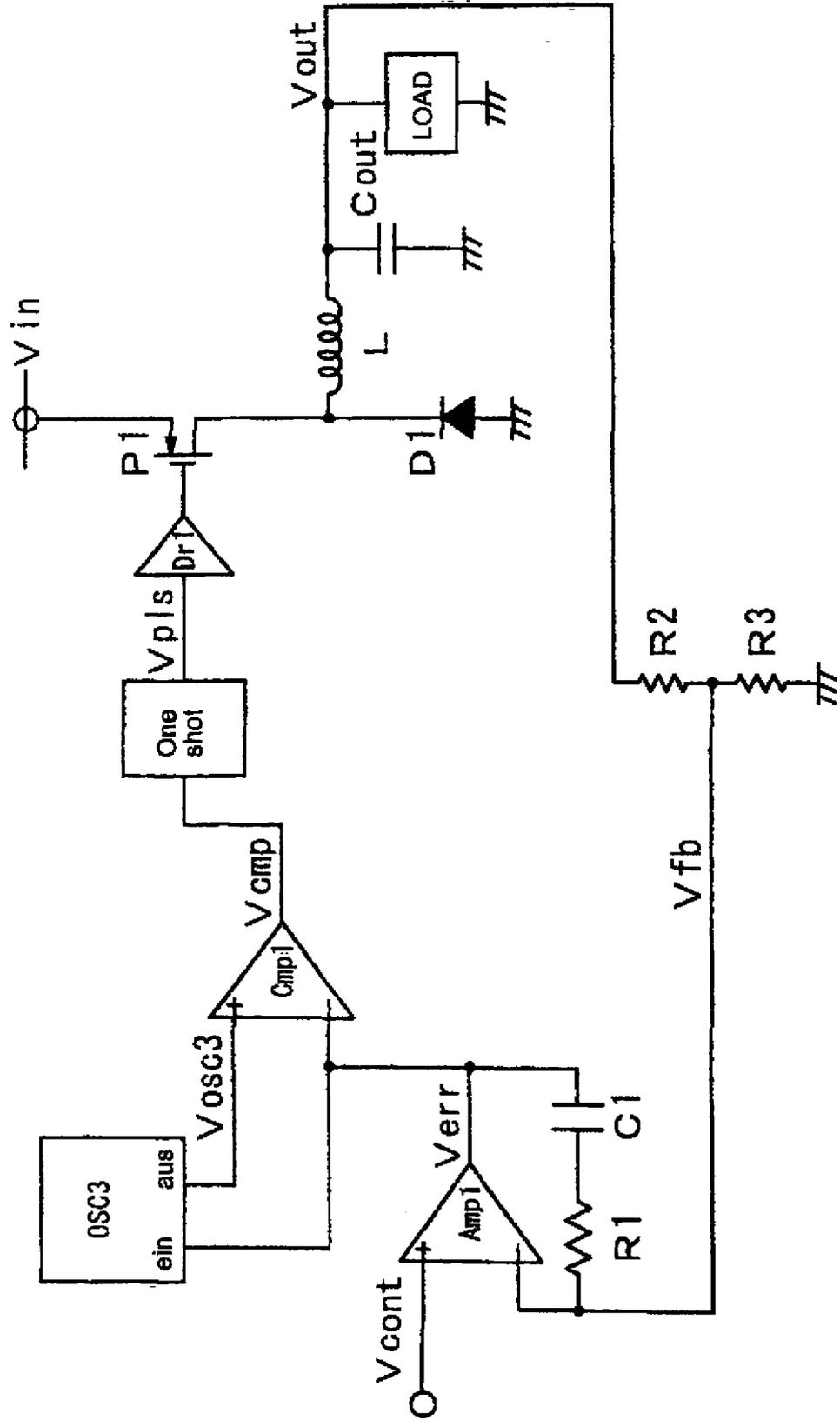
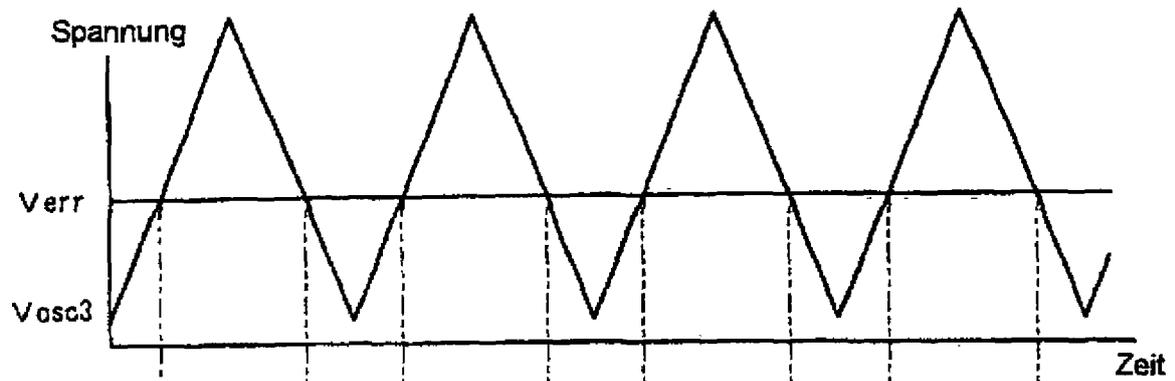
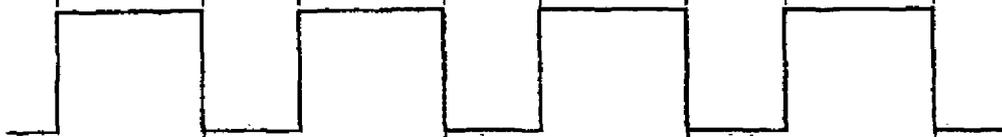


FIG. 32

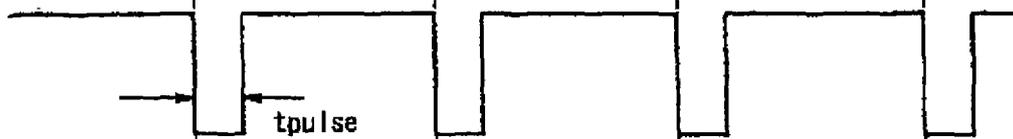
(a) V_{err} V_{osc3}



(b) Impulsweitenmodulationssignal V_{cmp}



(c) Impulssignal V_{puls}



(d) Spulenstrom I_L

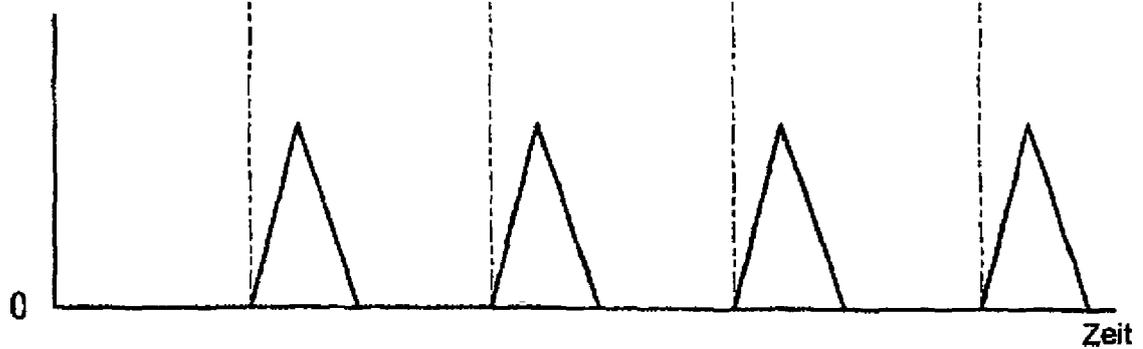


FIG. 33

