



(12) 发明专利

(10) 授权公告号 CN 116110483 B

(45) 授权公告日 2023.09.05

(21) 申请号 202310387274.X

(22) 申请日 2023.04.12

(65) 同一申请的已公布的文献号
申请公布号 CN 116110483 A

(43) 申请公布日 2023.05.12

(73) 专利权人 长鑫存储技术有限公司
地址 230601 安徽省合肥市经济技术开发
区空港工业园兴业大道388号

(72) 发明人 杨杰

(74) 专利代理机构 北京名华博信知识产权代理
有限公司 11453
专利代理师 苗源

(51) Int. Cl.
G11C 29/12 (2006.01)

(56) 对比文件

- CN 1700356 A, 2005.11.23
- CN 101127242 A, 2008.02.20
- CN 108597550 A, 2018.09.28
- CN 109065090 A, 2018.12.21
- JP 2001093297 A, 2001.04.06
- JP 2001256800 A, 2001.09.21
- JP H0397200 A, 1991.04.23
- KR 20080000842 A, 2008.01.03
- KR 20120018452 A, 2012.03.05
- US 2003086304 A1, 2003.05.08

审查员 王晓春

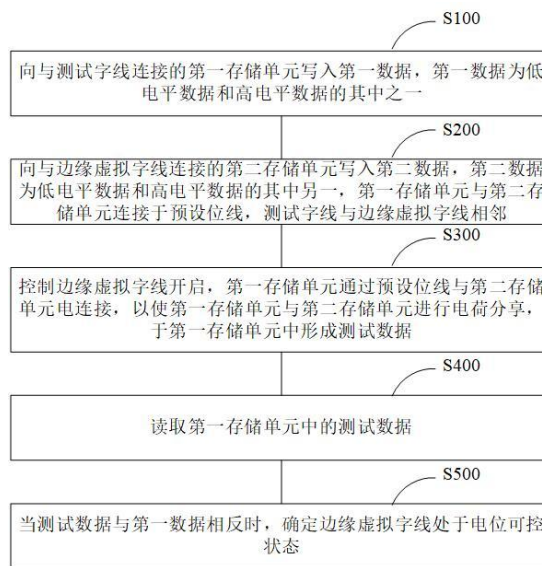
权利要求书2页 说明书13页 附图4页

(54) 发明名称

半导体器件的测试方法、设备及存储介质

(57) 摘要

本公开提供了一种半导体器件的测试方法、设备及存储介质,方法包括:向与测试字线连接的第一存储单元写入第一数据,向与边缘虚拟字线连接的第二存储单元写入第二数据,测试字线与边缘虚拟字线相邻。控制边缘虚拟字线开启,第一存储单元通过预设位线与第二存储单元电连接,以使第一存储单元与第二存储单元进行电荷分享,于第一存储单元中形成测试数据;当测试数据与第一数据相反时,确定边缘虚拟字线处于电位可控状态。本公开中,当第一存储单元中形成的测试数据与第一数据相反时,表明第二存储单元成功写入第二数据,即可确定边缘虚拟字线处于电位可控状态。本公开的测试方法可以准确地对边缘虚拟字线的状态进行测试,以确保老化测试的正常进行。



1. 一种半导体器件的测试方法,其特征在于,所述半导体器件的测试方法包括:

向与测试字线连接的第一存储单元写入第一数据,所述第一数据为低电平数据和高电平数据的其中之一;

向与边缘虚拟字线连接的第二存储单元写入第二数据,所述第二数据为所述低电平数据和所述高电平数据的其中另一,所述第一存储单元与所述第二存储单元连接于预设位线,所述测试字线与所述边缘虚拟字线相邻;

控制所述边缘虚拟字线开启,所述第一存储单元通过所述预设位线与所述第二存储单元电连接,以使所述第一存储单元与所述第二存储单元进行电荷分享,于所述第一存储单元中形成测试数据;

读取所述第一存储单元中的所述测试数据;

当所述测试数据与所述第一数据相反时,确定所述边缘虚拟字线处于电位可控状态;

其中,所述控制所述边缘虚拟字线开启,所述第一存储单元通过所述预设位线与所述第二存储单元电连接,以使所述第一存储单元与所述第二存储单元进行电荷分享,于所述第一存储单元中形成测试数据,包括:

控制所述边缘虚拟字线开启,导通所述第二存储单元和所述预设位线,以使所述第二存储单元与所述预设位线进行电荷分享;

控制感测放大器开启,并控制所述边缘虚拟字线关闭,以使所述预设位线保持高电位,或者,以使所述预设位线保持低电位;

控制所述预设位线与所述第一存储单元导通,以使所述预设位线与所述第一存储单元进行电荷分享,于所述第一存储单元中形成测试数据。

2. 根据权利要求1所述的半导体器件的测试方法,其特征在于,控制所述边缘虚拟字线开启,导通所述第二存储单元和所述预设位线,以使所述第二存储单元与所述预设位线进行电荷分享,包括:

对所述预设位线进行预充电;

控制所述边缘虚拟字线开启并持续第一预设时长,以使所述第二存储单元与所述预设位线进行电荷分享。

3. 根据权利要求1所述的半导体器件的测试方法,其特征在于,控制所述预设位线与所述第一存储单元导通,以使所述预设位线与所述第一存储单元进行电荷分享,于所述第一存储单元中形成测试数据,包括:

控制所述测试字线开启并持续第二预设时长,以使所述预设位线与所述第一存储单元进行电荷分享;

控制所述测试字线和所述感测放大器关闭,于所述第一存储单元中形成所述测试数据。

4. 根据权利要求1所述的半导体器件的测试方法,其特征在于,向与边缘虚拟字线连接的第二存储单元写入第二数据,包括:

对所述预设位线进行预充电;

控制所述边缘虚拟字线开启;

控制所述预设位线处于高电位,向所述第二存储单元写入所述高电平数据;或者,控制所述预设位线处于低电位,向所述第二存储单元写入所述低电平数据;

控制所述边缘虚拟字线关闭。

5. 根据权利要求1-4任一项所述的半导体器件的测试方法,其特征在于,读取所述第一存储单元中的所述测试数据,包括:

对所述预设位线进行预充电;

控制所述测试字线开启,并控制感测放大器开启,以读取所述第一存储单元中的所述测试数据。

6. 根据权利要求1-4任一项所述的半导体器件的测试方法,其特征在于,当确定所述边缘虚拟字线处于电位可控状态时,对所述半导体器件进行老化测试。

7. 根据权利要求1-4任一项所述的半导体器件的测试方法,其特征在于,所述半导体器件的测试方法还包括:

当所述测试数据与所述第一数据相同时,确定所述边缘虚拟字线处于电位不可控状态。

8. 一种半导体器件的测试设备,其特征在于,所述半导体器件的测试设备包括:

处理器;

用于存储处理器可执行指令的存储器;

其中,所述处理器被配置为执行权利要求1-7任一项所述的半导体器件的测试方法。

9. 一种非临时性计算机可读存储介质,其特征在于,当所述非临时性计算机可读存储介质中的指令由半导体器件的测试设备的处理器执行时,使得所述半导体器件的测试设备能够执行权利要求1-7任一项所述的半导体器件的测试方法。

半导体器件的测试方法、设备及存储介质

技术领域

[0001] 本公开涉及半导体技术领域,尤其涉及一种半导体器件的测试方法、设备及存储介质。

背景技术

[0002] 在半导体器件出厂前,需要对半导体器件进行老化测试以确保出厂后的半导体器件具有良好的可靠性。在半导体器件进行老化测试前,需要判断半导体器件中设置在存储阵列边缘的虚拟字线是否处于电位可控状态,以确保老化测试的正常进行。

[0003] 目前,在确定边缘虚拟字线的状态时,通常是对边缘虚拟字线进行操作,检测靠近边缘虚拟字线的存储阵列边缘的测试字线中是否产生漏电流,以对边缘虚拟字线的状态进行间接判断。然而,该测试方法为老化测试的一部分,并不是对边缘虚拟字线的状态进行判断;此外,在半导体器件的运行过程中,测试字线容易受到存储阵列中的其它字线的启闭影响而产生漏电流,该测试方法的准确性不高。

发明内容

[0004] 以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0005] 本公开提供了一种半导体器件的测试方法、设备及存储介质。

[0006] 本公开的第一方面,本公开提供了一种半导体器件的测试方法,所述半导体器件的测试方法包括:

[0007] 向与测试字线连接的第一存储单元写入第一数据,所述第一数据为低电平数据和高电平数据的其中之一;

[0008] 向与边缘虚拟字线连接的第二存储单元写入第二数据,所述第二数据为所述低电平数据和所述高电平数据的其中另一,所述第一存储单元与所述第二存储单元连接于预设位线,所述测试字线与所述边缘虚拟字线相邻;

[0009] 控制所述边缘虚拟字线开启,所述第一存储单元通过所述预设位线与所述第二存储单元电连接,以使所述第一存储单元与所述第二存储单元进行电荷分享,于所述第一存储单元中形成测试数据;

[0010] 读取所述第一存储单元中的所述测试数据;

[0011] 当所述测试数据与所述第一数据相反时,确定所述边缘虚拟字线处于电位可控状态。

[0012] 根据本公开的一些实施例,控制所述边缘虚拟字线开启,所述第一存储单元通过所述预设位线与所述第二存储单元电连接,以使所述第一存储单元与所述第二存储单元进行电荷分享,于所述第一存储单元中形成测试数据,包括:

[0013] 控制所述边缘虚拟字线开启,导通所述第二存储单元和所述预设位线,以使所述第二存储单元与所述预设位线进行电荷分享;

[0014] 控制感测放大器开启,并控制所述边缘虚拟字线关闭,以使所述预设位线保持高电位,或者,以使所述预设位线保持低电位;

[0015] 控制所述预设位线与所述第一存储单元导通,以使所述预设位线与所述第一存储单元进行电荷分享,于所述第一存储单元中形成测试数据。

[0016] 根据本公开的一些实施例,控制所述边缘虚拟字线开启,导通所述第二存储单元和所述预设位线,以使所述第二存储单元与所述预设位线进行电荷分享,包括:

[0017] 对所述预设位线进行预充电;

[0018] 控制所述边缘虚拟字线开启并持续第一预设时长,以使所述第二存储单元与所述预设位线进行电荷分享。

[0019] 根据本公开的一些实施例,控制所述预设位线与所述第一存储单元导通,以使所述预设位线与所述第一存储单元进行电荷分享,于所述第一存储单元中形成测试数据,包括:

[0020] 控制所述测试字线开启并持续第二预设时长,以使所述预设位线与所述第一存储单元进行电荷分享;

[0021] 控制所述测试字线和所述感测放大器关闭,于所述第一存储单元中形成所述测试数据。

[0022] 根据本公开的一些实施例,向与边缘虚拟字线连接的第二存储单元写入第二数据,包括:

[0023] 对所述预设位线进行预充电;

[0024] 控制所述边缘虚拟字线开启;

[0025] 控制所述预设位线处于高电位,向所述第二存储单元写入所述高电平数据;或者,控制所述预设位线处于低电位,向所述第二存储单元写入所述低电平数据;

[0026] 控制所述边缘虚拟字线关闭。

[0027] 根据本公开的一些实施例,读取所述第一存储单元中的所述测试数据,包括:

[0028] 对所述预设位线进行预充电;

[0029] 控制所述测试字线开启,并控制感测放大器开启,以读取所述第一存储单元中的所述测试数据。

[0030] 根据本公开的一些实施例,当确定所述边缘虚拟字线处于电位可控状态时,对所述半导体器件进行老化测试。

[0031] 根据本公开的一些实施例,所述半导体器件的测试方法还包括:

[0032] 当所述测试数据与所述第一数据相同时,确定所述边缘虚拟字线处于电位不可控状态。

[0033] 本公开的第二方面,提供了一种半导体器件的测试设备,所述半导体器件的测试设备包括:

[0034] 处理器;

[0035] 用于存储处理器可执行指令的存储器;

[0036] 其中,所述处理器被配置为执行本公开第一方面所述的半导体器件的测试方法。

[0037] 本公开的第三方面,提供了一种非临时性计算机可读存储介质,当所述非临时性计算机可读存储介质中的指令由半导体器件的测试设备的处理器执行时,使得所述半导体

器件的测试设备能够执行本公开第一方面所述的半导体器件的测试方法。

[0038] 本公开提供的半导体器件的测试方法、设备及存储介质中,通过向与测试字线连接的第一存储单元写入第一数据,向与边缘虚拟字线连接的第二存储单元写入第二数据,并控制第一存储单元通过预设位线与第二存储单元进行电荷分享,当第一存储单元中形成的测试数据与预先写入的第一数据相反时,表明第二存储单元成功写入第二数据,即可确定边缘虚拟字线处于电位可控状态。本公开提供的测试方法可以准确地对边缘虚拟字线的状态进行测试,以确保老化测试的正常进行。

[0039] 在阅读并理解了附图和详细描述后,可以明白其他方面。

附图说明

[0040] 并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例,并且与描述一起用于解释本公开实施例的原理。在这些附图中,类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例,而不是全部实施例。对于本领域技术人员来讲,在不付出创造性劳动的前提下,可以根据这些附图获得其他的附图。

[0041] 图1是根据一示例性实施例示出的半导体器件的测试方法的流程图。

[0042] 图2是根据一示例性实施例示出的存储阵列的示意图。

[0043] 图3是根据一示例性实施例示出的测试方法所采用的电路图。

[0044] 图4是根据一示例性实施例示出的半导体器件的测试装置的结构框图。

[0045] 图5是根据一示例性实施例示出的半导体器件的测试设备的框图。

具体实施方式

[0046] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例中的附图,对本公开实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本公开一部分实施例,而不是全部的实施例。基于本公开中的实施例,本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本公开保护的范围。需要说明的是,在不冲突的情况下,本公开中的实施例及实施例中的特征可以相互任意组合。

[0047] 在半导体器件出厂前,需要对半导体器件进行老化测试以确保出厂后的半导体器件具有良好的可靠性。在半导体器件进行老化测试前,需要判断半导体器件中设置在存储阵列边缘的边缘虚拟字线是否处于电位可控状态,以确保老化测试的正常进行。

[0048] 目前,在确定边缘虚拟字线的状态时,通常是对边缘虚拟字线进行操作,检测靠近边缘虚拟字线的存储阵列边缘的测试字线中是否产生漏电流,以对边缘虚拟字线的状态进行间接判断。然而,该测试方法为老化测试的一部分,并不是对边缘虚拟字线的状态进行判断;此外,在半导体器件的运行过程中,测试字线容易受到存储阵列中的其它字线的启闭影响而产生漏电流,该测试方法的准确性不高。

[0049] 有鉴于此,本公开提供了一种半导体器件的测试方法,半导体器件的测试方法包括:向与测试字线连接的第一存储单元写入第一数据,第一数据为低电平数据和高电平数据的其中之一。向与边缘虚拟字线连接的第二存储单元写入第二数据,第二数据为低电平数据和高电平数据的其中另一,第一存储单元与第二存储单元连接于预设位线,测试字线与边缘虚拟字线相邻。控制边缘虚拟字线开启,第一存储单元通过预设位线与第二存储单

元电连接,以使第一存储单元与第二存储单元进行电荷分享,于第一存储单元中形成测试数据;读取所述第一存储单元中的测试数据;当测试数据与第一数据相反时,确定边缘虚拟字线处于电位可控状态。本公开通过向与边缘虚拟字线连接的第二存储单元中写入第二数据,向与测试字线连接的第一存储单元中写入第一数据,并控制第一存储单元通过预设位线与第二存储单元进行电荷分享,当第一存储单元中形成的测试数据与预先写入的第一数据相反时,表明第二存储单元成功写入第二数据,即可确定边缘虚拟字线处于电位可控状态。本公开提供的测试方法可以准确地对边缘虚拟字线的状态进行测试,以确保老化测试的正常进行。

[0050] 下面结合附图及具体实施例对本公开进行说明。本公开示例性的实施例提供了一种半导体器件的测试方法,如图1所示,图1是根据一示例性实施例示出的半导体器件的测试方法的流程图,该测试方法包括如下步骤:

[0051] 步骤S100、向与测试字线连接的第一存储单元写入第一数据,第一数据为低电平数据和高电平数据的其中之一;

[0052] 步骤S200、向与边缘虚拟字线连接的第二存储单元写入第二数据,第二数据为低电平数据和高电平数据的其中另一,第一存储单元与第二存储单元连接于预设位线,测试字线与边缘虚拟字线相邻;

[0053] 步骤S300、控制边缘虚拟字线开启,第一存储单元通过预设位线与第二存储单元电连接,以使第一存储单元与第二存储单元进行电荷分享,于第一存储单元中形成测试数据;

[0054] 步骤S400、读取第一存储单元中的测试数据;

[0055] 步骤S500、当测试数据与第一数据相反时,确定边缘虚拟字线处于电位可控状态。

[0056] 本实施例提供的半导体器件的测试方法中,以测试机台作为执行主体,测试机台可以是对半导体器件的存储功能进行测试的机台,例如可以是ATE(Automatic Test Equipment,半导体集成电路自动测试机)。半导体器件例如可以是DRAM(Dynamic Random Access Memory,动态随机存取存储器)、SRAM(Static RAM,静态随机存取存储器)、RDRAM(Rambus DRAM,高频动态随机存取存储器)、SDRAM(Synchronous DRAM,同步动态随机存取存储器)等存储器,本公开对此不作限制。在下述实施例中,以半导体器件为DRAM进行说明。

[0057] 在步骤S100中,测试字线可以为位于存储阵列边缘的字线,例如,当存储阵列为8x8的二维阵列时,参考图2所示,测试字线可以是图2中示出的存储阵列边缘的row0对应的字线(word line,WL),即WL0,第一存储单元可以是与WL0连接的存储单元。向与测试字线连接的第一存储单元写入第一数据时,可以是在一个第一存储单元中写入,也可以是在多个第一存储单元中写入。第一数据为低电平数据和高电平数据的其中之一,由于半导体器件存储的数据为二进制数据“0”和“1”,当第一数据为低电平数据时,第一数据为数据“0”,当第一数据为高电平数据时,第一数据为数据“1”。

[0058] 在步骤S200中,边缘虚拟字线(dummy word line,DWL)为设置在半导体器件中设置在存储阵列边缘的不起实际存储作用的布线,边缘虚拟字线可以是围绕存储阵列设置,也可以设置为与存储阵列中的实际字线平行,如图2所示,边缘虚拟字线与测试字线相邻。边缘虚拟字线的电路结构可以与存储阵列中的实际字线相同,具有与其连接的第二存储单元。由于本公开的目的是对边缘虚拟字线的状态进行测试,本实施例中,不论边缘虚拟字线

的状态是否处于电位可控状态,执行向与边缘虚拟字线连接的第三存储单元写入第二数据的动作,在后续的步骤中,通过判断第二数据是否写入成功,以确定边缘虚拟字线的状态。

[0059] 由于第一存储单元中写入的第一数据为低电平数据和高电平数据中的其中之一,第二存储单元中写入的第二数据为低电平数据和高电平数据中的其中另一,当第一数据为低电平数据即数据“0”时,第二数据为高电平数据即数据“1”,当第一数据为高电平数据即数据“1”时,第二数据为低电平数据即数据“0”。向与边缘虚拟字线连接的第三存储单元写入第二数据时,第二存储单元与写入第一数据的第一存储单元的位置对应。例如,参考图2所示,当在与WL0连接的第一个第一存储单元写入数据“0”时,边缘虚拟字线为与WL0接近的边缘虚拟字线,并在与边缘虚拟字线连接的第一个第二存储单元写入高电平数据“1”,此时,预设位线为连接该第一存储单元和该第二存储单元的存储阵列中的第一条位线。当在与WL0连接的全部第一存储单元写入数据“0”时,边缘虚拟字线为与WL0接近的边缘虚拟字线,并在与边缘虚拟字线连接的全部第二存储单元写入高电平数据“1”,此时,预设位线为存储阵列中的全部位线,每条预设位线连接位置对应的第一存储单元和第二存储单元。需要说明的是,基于与边缘虚拟字线连接的第三存储单元的特性,与边缘虚拟字线连接的第三存储单元仅可写入数据,不可对第三存储单元进行读出。

[0060] 在步骤S300中,信号线的“开启”通常是指使能有效,例如使得晶体管导通。由于存储单元是由晶体管和存储电容组成,在第三存储单元中的晶体管的栅极连接边缘虚拟字线时,边缘虚拟字线的开启是指边缘虚拟字线输出的电平信号使得晶体管导通。

[0061] 参考图3所示,当边缘虚拟字线开启后,第三存储单元的T2晶体管导通,此时,还可以控制测试字线开启,以使得第一存储单元的T1晶体管导通,第三存储单元通过预设位线与第一存储单元电连接。在一些实施例中,当第三存储单元内存储的第二数据为高电平数据时,第一存储单元内存储的第一数据为低电平数据,第三存储单元中的存储电容C2可以向预设位线充电,使得预设位线的电压升高。预设位线与感测放大器连接,感测放大器可以开启将预设位线的电压提升至高电位(后续会详细说明),同时由于预设位线与第一存储单元电连接,处于高电位的预设位线对第一存储单元中的存储电容C1进行电荷储存,从而在第一存储单元中形成测试数据,即完成第一存储单元与第三存储单元进行电荷分享的过程。

[0062] 在另一些实施例中,当第三存储单元内存储的第二数据为低电平数据时,第一存储单元内存储的第一数据为高电平数据,第三存储单元中的存储电容C2可以向预设位线放电,使得预设位线的电压降低。预设位线与感测放大器连接,感测放大器可以开启将预设位线的电压拉低至低电位(后续会详细说明),同时由于第一存储单元与预设位线电连接,第一存储单元的存储电容C1内存储的电荷通过预设位线释放,处于低电位的预设位线对第一存储单元中的存储电容C1进行电荷储存,从而在第一存储单元中形成测试数据,即完成第一存储单元与第三存储单元进行电荷分享的过程。

[0063] 在步骤S400中,读取测试字线中第一存储单元中的测试数据,例如可以通过控制测试字线以及与第一存储单元对应的预设位线以对测试数据进行读取,以确定与边缘虚拟字线连接的第三存储单元中是否已存入第二数据,从而确定边缘虚拟字线的状态是否处于电位可控状态。

[0064] 在步骤S500中,当测试数据与第一数据相反时,例如,在一些实施例中,当第一存

储单元内写入的第一数据为低电平数据,测试数据为高电平数据时,说明第一存储单元中原先写入的低电平数据经过电荷分享后被反写为高电平数据,可以确定与边缘虚拟字线连接的第二存储单元中写入了高电平数据,实现了电荷分享的过程,即可确定边缘虚拟字线处于电位可控状态。

[0065] 在另一些实施例中,当第一存储单元内写入的第一数据为高电平数据,测试数据为低电平数据时,说明第一存储单元中原先写入的高电平数据经过电荷分享后被反写为低电平数据,可以确定与边缘虚拟字线连接的第二存储单元中写入了低电平数据,实现了电荷分享的过程,即可确定边缘虚拟字线处于电位可控状态。当边缘虚拟字线处于电位可控状态时,边缘虚拟字线具有其正常的功能,在后续的老化测试中可以正常运行。

[0066] 在一些可能的实施方式中,当确定边缘虚拟字线处于电位可控状态时,对半导体器件进行老化测试。

[0067] 老化测试是一种采用电压和高温来加速半导体器件电学故障的电应力测试方法。老化测试的过程中应用的电激励反应了半导体器件工作的最坏情况,可以模拟运行半导体器件的整个寿命周期。老化测试可以作为器件可靠性测试,也可以作为生产窗口来发现器件的早期故障。

[0068] 边缘虚拟字线的状态主要影响老化测试的电压测试条件。当边缘虚拟字线处于电位可控状态时,在进行老化测试的过程中,通过设置边缘虚拟字线以及与边缘虚拟字线相邻的测试字线之间的高压差,以测试半导体器件中边缘虚拟字线与测试字线之间的潜在缺陷,例如制作材料的缺陷或者生产制程中的错误,等等。设置高压差,例如可以对边缘虚拟字线施加高电平电压,同时对测试字线施加低电平电压,持续一定的时长后,可以拉低边缘虚拟字线上的高电平电压,同时拉高测试字线上的低电平电压,循环特定的时长或周期,以完成老化测试。

[0069] 在一个示例性实施例中,半导体器件的测试方法还包括:

[0070] 步骤S600、当测试数据与第一数据相同时,确定边缘虚拟字线处于电位不可控状态。

[0071] 本实施例中,当测试数据与第一数据相同时,例如,当第一存储单元内写入的第一数据为低电平数据,测试数据也为低电平数据,或者,当第一存储单元内写入的第一数据为高电平数据,测试数据也为高电平数据,说明前述实施例中,向边缘虚拟字线连接的第二存储单元中写入第二数据失败,从而使得第一存储单元与第二存储单元无法进行电荷分享。此时,即可确定边缘虚拟字线处于电位不可控的故障状态,边缘虚拟字线不具有其正常的功能,无法进行后续的老化测试。

[0072] 在一些可能的实施方式中,当确定边缘虚拟字线处于电位不可控状态时,发出提示信息。

[0073] 本实施例中,当确定边缘虚拟字线处于电位不可控的故障状态时,说明边缘虚拟字线不具有其正常的功能,无法进行后续的老化测试,此时,测试机台发出提示信息,提示信息可以是表示边缘虚拟字线处于故障状态的信息,也可以是对边缘虚拟字线进行维修或修复的信息。提示信息的发出方式可以是提示音,也可以是在测试机台的显示屏幕上弹出提示窗口,以对技术人员进行提醒。

[0074] 在一个示例性实施例中,步骤S300中,控制边缘虚拟字线开启,第一存储单元通过

预设位线与第二存储单元电连接,以使第一存储单元与第二存储单元进行电荷分享,于第一存储单元中形成测试数据,包括:

[0075] 步骤S310、控制边缘虚拟字线开启,导通第二存储单元和预设位线,以使第二存储单元与预设位线进行电荷分享;

[0076] 步骤S320、控制感测放大器开启,并控制边缘虚拟字线关闭,以使预设位线保持高电位,或者,以使预设位线保持低电位;

[0077] 步骤S330、控制预设位线与第一存储单元导通,以使预设位线与第一存储单元进行电荷分享,于第一存储单元中形成测试数据。

[0078] 在步骤S310中,参考图3所示,控制边缘虚拟字线开启,第二存储单元中的T2晶体管导通,此时,第二存储单元与预设位线电连接。在一些实施例中,当与边缘虚拟字线连接的第二存储单元中写入的第一数据为高电平数据时,第二存储单元中的存储电容C2可以向预设位线充电,使得预设位线的电压升高,完成第二存储单元与预设位线进行电荷分享的过程。在另一些实施例中,当第二存储单元中写入的第一数据为低电平数据时,第二存储单元中的存储电容C2可以向预设位线放电,使得预设位线的电压降低,完成第二存储单元与预设位线进行电荷分享的过程。

[0079] 在一些可能的实施方式中,步骤S310中,控制边缘虚拟字线开启,导通第二存储单元和预设位线,以使第二存储单元与预设位线进行电荷分享,包括:

[0080] 步骤S311、对预设位线进行预充电 (precharge);

[0081] 步骤S312、控制边缘虚拟字线开启并持续第一预设时长,以使第二存储单元与预设位线进行电荷分享。

[0082] 在步骤S311中,参考图3所示,通过Precharge指令,该指令依次完成测试字线及边缘虚拟字线关闭、感测放大器关闭、均衡器开启(下文中的预充电处理,可以理解为相同的步骤,后续不再赘述),其中,均衡器可以是电压均衡电路(Voltage Equalization Circuit),控制均衡器开启,例如可以是控制预充信号线EQ发送预充电信号至均衡器,使得T7、T8、T9晶体管处于导通状态,以对预设位线以及与预设位线对应的反位线(Bit Line Bar, BLB)进行预充电,使得预设位线和反位线上的电压稳定在预充电电压(Vpre),预充电电压为工作电压VCC的一半,即 $V_{pre}=VCC/2$ 。完成预充电后,控制预充信号线EQ关闭,即均衡器关闭,T7、T8、T9晶体管处于截止状态。

[0083] 在步骤S312中,继续参考图3所示,控制边缘虚拟字线开启,例如可以向边缘虚拟字线输入可以将第二存储单元中的T2晶体管导通的电平信号,使得第二存储单元与预设位线电连接。第一预设时长可以是第二存储单元中的存储电容C2充分向预设位线充电或者放电的时长,例如可以是tRCD(RAS to CAS Delay)。控制边缘虚拟字线开启持续第一预设时长,可以是控制T2晶体管导通的时长为第一预设时长。

[0084] 在一些实施例中,当第二存储单元中写入的第二数据为高电平数据时,控制T2晶体管导通的时长为第一预设时长,使得第二存储单元中的存储电容C2中存储的电荷流向预设位线,从而将预设位线的电压拉高至大于预充电电压Vpre,预设位线的电压可以表示为 $V_{pre}+\Delta V$,完成第二存储单元与预设位线进行电荷分享的过程,其中, ΔV 为第二存储单元与预设位线进行电荷分享对预设位线造成影响的电压差。

[0085] 在另一些实施例中,当第二存储单元中写入的第二数据为低电平数据时,控制T2

晶体管导通的时长为第一预设时长,由于第二存储单元中的存储电容C2中未存储电荷,第二存储单元中的存储电容C2向预设位线放电,从而将预设位线的电压拉低至小于预充电电压 V_{pre} ,预设位线的电压可以表示为 $V_{pre} - \Delta V$,完成第二存储单元与预设位线进行电荷分享的过程, ΔV 为第二存储单元与预设位线进行电荷分享对预设位线造成影响的电压差。

[0086] 在步骤S320中,继续参考图3所示,控制感测放大器开启,例如可以控制感测放大器上的感测信号线SAN(Sense-Amplifier N-Fet Control)及感测信号线SAP(Sense-Amplifier P-Fet Control)开启。感测放大器中,感测信号线SAN设定为逻辑0电压,即接地电压VSS,感测信号线SAP设定为逻辑1的电压,即工作电压VCC。T3和T4为N型晶体管,N型晶体管在栅极电压高于特定值时导通,T5和T6为P型晶体管,P型晶体管在栅极电压低于特定值时导通。晶体管T3的栅极和晶体管T5的栅极均与反位线连接,晶体管T4的栅极和晶体管T6的栅极均与预设位线连接。

[0087] 在一些实施例中,当第二存储单元中写入的第二数据为高电平数据时,预设位线的电压为 $V_{pre} + \Delta V$,反位线的电压为预充电电压 V_{pre} ,预设位线的电压高于反位线的电压。此时,晶体管T4比晶体管T3更具导通性,反位线通过晶体管T4与感测信号线SAN电连接,反位线上的电压被感测信号线SAN拉低至接地电压VSS,晶体管T3截止。进一步地,由于反位线上的电压为接地电压VSS,晶体管T5导通,预设位线通过晶体管T5与感测信号线SAP电连接,预设位线上的电压被感测信号线SAP拉高至工作电压VCC,晶体管T6截止。在感测放大器开启的条件下控制边缘虚拟字线关闭,例如可以向边缘虚拟字线输入可以将第二存储单元中的T2晶体管截止的电平信号,第二存储单元与边缘虚拟字线断开,使得预设位线上的电压处于稳定的工作电压VCC,即预设位线保持高电位。

[0088] 在另一些实施例中,当第二存储单元中写入的第二数据为低电平数据时,预设位线的电压为 $V_{pre} - \Delta V$,反位线的电压为预充电电压 V_{pre} ,反位线的电压高于预设位线的电压。此时,晶体管T3比晶体管T4更具导通性,预设位线通过晶体管T3与感测信号线SAN电连接,预设位线上的电压被感测信号线SAN拉低至接地电压VSS,晶体管T4截止。进一步地,由于预设位线上的电压为接地电压VSS,晶体管T6导通,反位线通过晶体管T6与感测信号线SAP电连接,反位线上的电压被感测信号线SAP拉高至工作电压VCC,晶体管T5截止。在感测放大器开启的条件下控制边缘虚拟字线关闭,例如可以向边缘虚拟字线输入可以将第二存储单元中的T2晶体管截止的电平信号,第二存储单元与边缘虚拟字线断开,使得预设位线上的电压处于稳定的接地电压VSS,即预设位线保持低电位。

[0089] 在步骤S330中,参考图3所示,控制预设位线与第一存储单元导通,例如可以是控制测试字线开启,第一存储单元中的T1晶体管导通,此时,第一存储单元与预设位线电连接。

[0090] 在一些实施例中,当第二存储单元中写入的第二数据为高电平数据时,由于感测放大器处于开启状态,预设位线与提供工作电压VCC的感测信号线SAP电连接,预设位线上的电压处于稳定的工作电压VCC。而第一存储单元中的第一数据为低电平数据,预设位线可以对第一存储单元进行充电,以向第一存储单元中的存储电容C1存储电荷,完成预设位线与第一存储单元进行电荷分享的过程,从而在第一存储单元中形成测试数据。

[0091] 在另一些实施例中,当第二存储单元中写入的第二数据为低电平数据时,由于感测放大器处于开启状态,预设位线与提供接地电压VSS的感测信号线SAN电连接,预设位线

上的电压处于稳定的接地电压VSS。而第一存储单元中的第一数据为高电平数据,第一存储单元中的存储电容C1中存储的电荷通过预设位线接地释放,预设位线的电压仍为低电位即接地电压VSS,第一存储单元中的存储电容C1不对电荷进行存储,完成预设位线与第一存储单元进行电荷分享的过程,从而在第一存储单元中形成测试数据。

[0092] 在一些可能的实施方式中,步骤S330中,控制预设位线与第一存储单元导通,以使预设位线与第一存储单元进行电荷分享,于第一存储单元中形成测试数据,包括:

[0093] 步骤S331、控制测试字线开启并持续第二预设时长,以使预设位线与第一存储单元进行电荷分享;

[0094] 步骤S332、控制测试字线和感测放大器关闭,于第一存储单元中形成测试数据。

[0095] 本实施例中,参考图3所示,控制测试字线开启,例如可以向测试字线输入可以将第一存储单元中的T1晶体管导通的电平信号,使得第一存储单元与测试字线电连接。第二预设时长可以是预设位线充分向第一存储单元中的存储电容C2充电或者放电的时长,例如可以是 t_{RCD} 。控制测试字线开启持续第二预设时长,可以是控制T1晶体管导通的时长为第二预设时长。

[0096] 在一些实施例中,当第二存储单元中写入的第二数据为高电平数据时,经过上述步骤后,预设电位的电压为工作电压VCC,而第一存储单元中写入的数据为低电平数据,测试字线开启第二预设时长后,处于高电平电位的预设位线向第一存储单元中的存储电容C1充电,使得第一存储单元中的存储电容C1中存储电荷,完成预设位线与第一存储单元进行电荷分享的过程。进一步地,将测试字线和感测放大器关闭,例如可以向测试字线输入可以将第一存储单元中的T1晶体管截止的电平信号,第一存储单元与测试字线断开,同时,控制感测放大器上的感测信号线SAN及感测信号线SAP关闭,以使得充电得到的电荷保留于第一存储单元的存储电容C1中,从而在第一存储单元中形成测试数据。

[0097] 在另一些实施例中,当第二存储单元中写入的第二数据为低电平数据时,经过上述步骤后,预设电位的电压为接地电压VSS,而第一存储单元中写入的数据为高电平数据,测试字线开启第二预设时长后,第一存储单元中的存储电容C1中存储的电荷通过预设位线接地释放,预设位线的电压仍为低电位即接地电压VSS。预设位线与第一存储单元进行电荷分享,使得第一存储单元中的存储电容C1不对电荷进行存储,完成预设位线与第一存储单元进行电荷分享的过程。进一步地,将感测放大器与测试字线关闭,例如可以向测试字线输入可以将第一存储单元中的T1晶体管截止的电平信号,第一存储单元与测试字线断开,同时,控制感测放大器上的感测信号线SAN及感测信号线SAP关闭,以使得第一存储单元的存储电容C1保持不存储电荷的状态,从而在第一存储单元中形成测试数据。

[0098] 需要说明的是,在控制测试字线关闭时,感测放大器还处于开启状态,以确保预设位线的电位处于稳定的高电平电位或者低电平电位的状态,以进一步确保第一存储单元的存储电容C1中的电荷状态保持其与预设位线进行电荷分享后的状态,确保形成的测试数据的准确性,避免电荷分享失败。也就是说,在第一存储单元形成测试数据时,先控制测试字线关闭,再控制感测放大器关闭。

[0099] 在一些可能的实施方式中,步骤S100中,向与测试字线连接的第一存储单元写入第一数据,包括:

[0100] 步骤S110、对预设位线进行预充电;

[0101] 步骤S120、控制测试字线开启；

[0102] 步骤S130、控制预设位线处于低电位，向第一存储单元写入低电平数据；或者，控制预设位线处于高电位，向第一存储单元写入高电平数据；

[0103] 步骤S140、控制测试字线关闭。

[0104] 本实施例中，参考图3所示，控制均衡器开启，例如可以是控制预充信号线EQ发送预充电信号至均衡器，使得T7、T8、T9晶体管处于导通状态，以对预设位线以及与预设位线对应的反位线进行预充电，使得预设位线和反位线上的电压稳定在预充电电压(V_{pre})，预充电电压为工作电压VCC的一半，即 $V_{pre}=VCC/2$ 。完成预充电后，控制预充信号线EQ关闭，即均衡器关闭，T7、T8、T9晶体管处于截止状态。控制测试字线开启，使得第一存储单元中的存储电容C1与预设位线导通。

[0105] 在一些实施例中，当第一数据为低电平数据时，控制预设位线处于低电位，例如可以控制WE信号线，使得T12、T13晶体管处于导通状态，施加外部电压，使得预设位线上的电压被Input拉到逻辑0电平，即接地电压VSS，此时预设位线处于低电位；反位线上的电压被/ Input拉到逻辑1电平，即工作电压VCC，此时反位线处于高电位。此时，第一存储单元可以通过预设位线进行放电，经过特定的时间后，第一存储单元的存储电容C1中的电荷放电至0状态，控制测试字线关闭，从而使得第一存储单元写入低电平数据。

[0106] 在另一些实施例中，当第一数据为高电平数据时，控制预设位线处于高电位，例如可以控制WE信号线，使得T12、T13晶体管处于导通状态，施加外部电压，使得预设位线上的电压被Input拉到逻辑1电平，即工作电压VCC，此时预设位线处于高电位；反位线上的电压被/ Input拉到逻辑0电平，即接地电压VSS，此时反位线处于低电位。此时，第一存储单元可以通过预设位线进行充电，经过特定的时间后，第一存储单元的存储电容C1被充电以存储电荷，控制测试字线关闭，从而使得第一存储单元写入高电平数据。

[0107] 在一些可能的实施方式中，步骤S200中，向与边缘虚拟字线连接的第二存储单元写入第二数据，包括：

[0108] 步骤S210、对预设位线进行预充电；

[0109] 步骤S220、控制边缘虚拟字线开启；

[0110] 步骤S230、控制预设位线处于高电位，向第二存储单元写入高电平数据；或者，控制预设位线处于低电位，向第二存储单元写入低电平数据；

[0111] 步骤S240、控制边缘虚拟字线关闭。

[0112] 本实施例中，参考图3所示，控制均衡器开启，例如可以是控制预充信号线EQ发送预充电信号至均衡器，使得T7、T8、T9晶体管处于导通状态，以对预设位线以及与预设位线对应的反位线进行预充电，使得预设位线和反位线上的电压稳定在预充电电压(V_{pre})，预充电电压为工作电压VCC的一半，即 $V_{pre}=VCC/2$ 。完成预充电后，控制预充信号线EQ关闭，即均衡器关闭，T7、T8、T9晶体管处于截止状态。控制边缘虚拟字线开启，使得第二存储单元中的存储电容C2与预设位线导通。

[0113] 在一些实施例中，当第一数据为低电平数据时，向第二存储单元写入的第二数据为高电平数据。此时，控制预设位线处于高电位，例如可以控制WE信号线，使得T12、T13晶体管处于导通状态，施加外部电压，使得预设位线上的电压被Input拉到逻辑1电平，即工作电压VCC，此时预设位线处于高电位；反位线上的电压被/ Input拉到逻辑0电平，即接地电压

VSS,此时反位线处于低电位。此时,第二存储单元可以通过预设位线进行充电,经过特定的时间后,第二存储单元的存储电容C2被充电以存储电荷,控制测试字线关闭,从而使得第二存储单元写入高电平数据。

[0114] 在另一些实施例中,当第一数据为高电平数据时,向第二存储单元写入的第二数据为低电平数据。此时,控制预设位线处于低电位,例如可以控制WE信号线,使得T12、T13晶体管处于导通状态,施加外部电压,使得预设位线上的电压被Input拉到逻辑0电平,即接地电压VSS,此时预设位线处于低电位;反位线上的电压被/ Input拉到逻辑1电平,即工作电压VCC,此时反位线处于高电位。此时,第二存储单元可以通过预设位线进行放电,经过特定的时间后,第二存储单元的存储电容C2中的电荷放电至0状态,控制边缘虚拟字线关闭,从而使得第二存储单元写入低电平数据。

[0115] 在一些可能的实施方式中,步骤S400中,读取第一存储单元中的测试数据,包括:

[0116] 步骤S410、对预设位线进行预充电;

[0117] 步骤S420、控制测试字线开启,并控制感测放大器开启,以读取第一存储单元中的测试数据。

[0118] 本实施例中,参考图3所示,控制均衡器开启,例如可以是控制预充信号线EQ发送预充电信号至均衡器,使得T7、T8、T9晶体管处于导通状态,以对预设位线以及与预设位线对应的反位线进行预充电,使得预设位线和反位线上的电压稳定在预充电电压(V_{pre}),预充电电压为工作电压VCC的一半,即 $V_{pre}=VCC/2$ 。完成预充电后,控制预充信号线EQ关闭,即均衡器关闭,T7、T8、T9晶体管处于截止状态。控制测试字线开启,使得第一存储单元中的存储电容C1与预设位线导通。

[0119] 若第一存储单元中的存储电容C1中存储的测试数据为低电平数据,则存储单元C1的电压小于预设位线的电压,第一存储单元中的存储电容C1向预设位线放电,使得预设位线上的电压小于 V_{pre} ,即预设位线的电压为 $V_{pre}-\Delta V$,反位线的电压为预充电电压 V_{pre} ,反位线的电压高于预设位线的电压。此时,晶体管T3比晶体管T4更具导通性,预设位线通过晶体管T3与感测信号线SAN电连接,预设位线上的电压被感测信号线SAN拉低至接地电压VSS,晶体管T4截止。进一步地,由于预设位线上的电压为接地电压VSS,晶体管T6导通,反位线通过晶体管T6与感测信号线SAP电连接,反位线上的电压被感测信号线SAP拉高至工作电压VCC,晶体管T5截止。此时预设位线上的电压处于稳定的逻辑0电压,通过控制CSL信号线,使得T10、T11晶体管进入导通状态,从而通过读取预设位线的逻辑0电压,以读取第一存储单元中的测试数据为低电平数据。

[0120] 若第一存储单元中的存储电容C1中存储的测试数据为高电平数据,则存储单元C1的电压大于预设位线的电压,第一存储单元中的存储电容C1向预设位线充电,使得预设位线上的电压大于 V_{pre} ,即预设位线的电压为 $V_{pre}+\Delta V$,反位线的电压为预充电电压 V_{pre} ,预设位线的电压高于反位线的电压。此时,晶体管T4比晶体管T3更具导通性,反位线通过晶体管T4与感测信号线SAN电连接,反位线上的电压被感测信号线SAN拉低至接地电压VSS,晶体管T3截止。进一步地,由于反位线上的电压为接地电压VSS,晶体管T5导通,预设位线通过晶体管T5与感测信号线SAP电连接,预设位线上的电压被感测信号线SAP拉高至工作电压VCC,晶体管T6截止。此时预设位线上的电压处于稳定的逻辑1电压,通过控制CSL信号线,使得T10、T11晶体管进入导通状态,从而通过读取预设位线的逻辑1电压,以读取第一存储单元

中的测试数据为高电平数据。

[0121] 本公开提供的半导体器件的测试方法中,通过向与测试字线连接的第一存储单元写入第一数据,向与边缘虚拟字线连接的第二存储单元写入第二数据,并控制第一存储单元通过预设位线与第二存储单元进行电荷分享,当第一存储单元中形成的测试数据与预先写入的第一数据相反时,表明第二存储单元成功写入第二数据,即可确定边缘虚拟字线处于电位可控状态。本公开提供的测试方法可以准确地对边缘虚拟字线的状态进行测试,以确保老化测试的正常进行。

[0122] 本公开示例性地提供了一种半导体器件的测试装置,参考图4所示,图4是根据一示例性实施例示出的半导体器件的测试装置的结构框图,该测试装置被配置为能够执行本公开上述实施例中的半导体器件的测试方法,该测试装置包括:

[0123] 第一写入模块100,被配置为向与测试字线连接的第一存储单元写入第一数据,第一数据为低电平数据和高电平数据的其中之一;

[0124] 第二写入模块200,被配置为向与边缘虚拟字线连接的第二存储单元写入第二数据,第二数据为低电平数据和高电平数据的其中另一,第一存储单元与第二存储单元连接于预设位线,测试字线与边缘虚拟字线相邻;

[0125] 测试数据形成模块300,被配置为控制边缘虚拟字线开启,第一存储单元通过预设位线与第二存储单元电连接,以使第一存储单元与第二存储单元进行电荷分享,于第一存储单元中形成测试数据;

[0126] 读取模块400,被配置为读取第一存储单元中的测试数据;

[0127] 判断模块500,被配置为当测试数据与第一数据相反时,确定边缘虚拟字线处于电位可控状态。

[0128] 关于上述实施例中的半导体器件的测试装置,其中各个模块执行操作的具体方式已经在有关该方法的实施例中进行了详细描述,此处将不做详细阐述说明。

[0129] 图5是根据一示例性实施例示出的一种半导体器件的测试设备,即测试设备600的框图。例如,测试设备600可以被提供为测试机台,例如可以是上述实施例提供的ATE机台。参照图5,测试设备600包括处理器601,处理器的个数可以根据需要设置为一个或者多个。测试设备600还包括存储器602,用于存储可由处理器601的执行的指令,例如应用程序。存储器的个数可以根据需要设置一个或者多个。其存储的应用程序可以为一个或者多个。处理器601被配置为执行指令,以执行上述的半导体器件的测试方法。

[0130] 本领域技术人员应明白,本公开的实施例可提供为方法、装置(设备)、或计算机程序产品。因此,本公开可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本公开可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质上实施的计算机程序产品的形式。计算机存储介质包括在用于存储信息(诸如计算机可读指令、数据结构、程序模块或其他数据)的任何方法或技术中实施的易失性和非易失性、可移除和不可移除介质,包括但不限于RAM、ROM、EEPROM、闪存或其他存储器技术、CD-ROM、数字多功能盘(DVD)或其他光盘存储、磁盒、磁带、磁盘存储或其他磁存储装置、或者可以用于存储期望的信息并且可以被计算机访问的任何其他的介质等。此外,本领域技术人员公知的是,通信介质通常包含计算机可读指令、数据结构、程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据,并且可包括任何信息递送介质。

[0131] 在一个示例性实施例中,提供了一种包括指令的非临时性计算机可读存储介质,该非临时性计算机可读存储介质可以设置于半导体器件的测试设备,使得半导体器件的测试设备能够执行本公开示例性的实施例所提供的半导体器件的测试方法。该非临时性计算机可读存储介质例如包括指令的存储器602,上述指令可由测试设备600的处理器601执行以完成上述半导体器件的测试方法。例如,非临时性计算机可读存储介质可以是ROM、随机存取存储器(RAM)、CD-ROM、磁带、软盘和光数据存储设备等。

[0132] 本公开是参照根据本公开实施例的方法、装置(设备)和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0133] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0134] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上,使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0135] 在本公开中,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括……”限定的要素,并不排除在包括所述要素的物品或者设备中还存在另外的相同要素。

[0136] 尽管已描述了本公开的优选实施例,但本领域技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本公开范围的所有变更和修改。

[0137] 显然,本领域技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样,倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内,则本公开的意图也包含这些改动和变型在内。

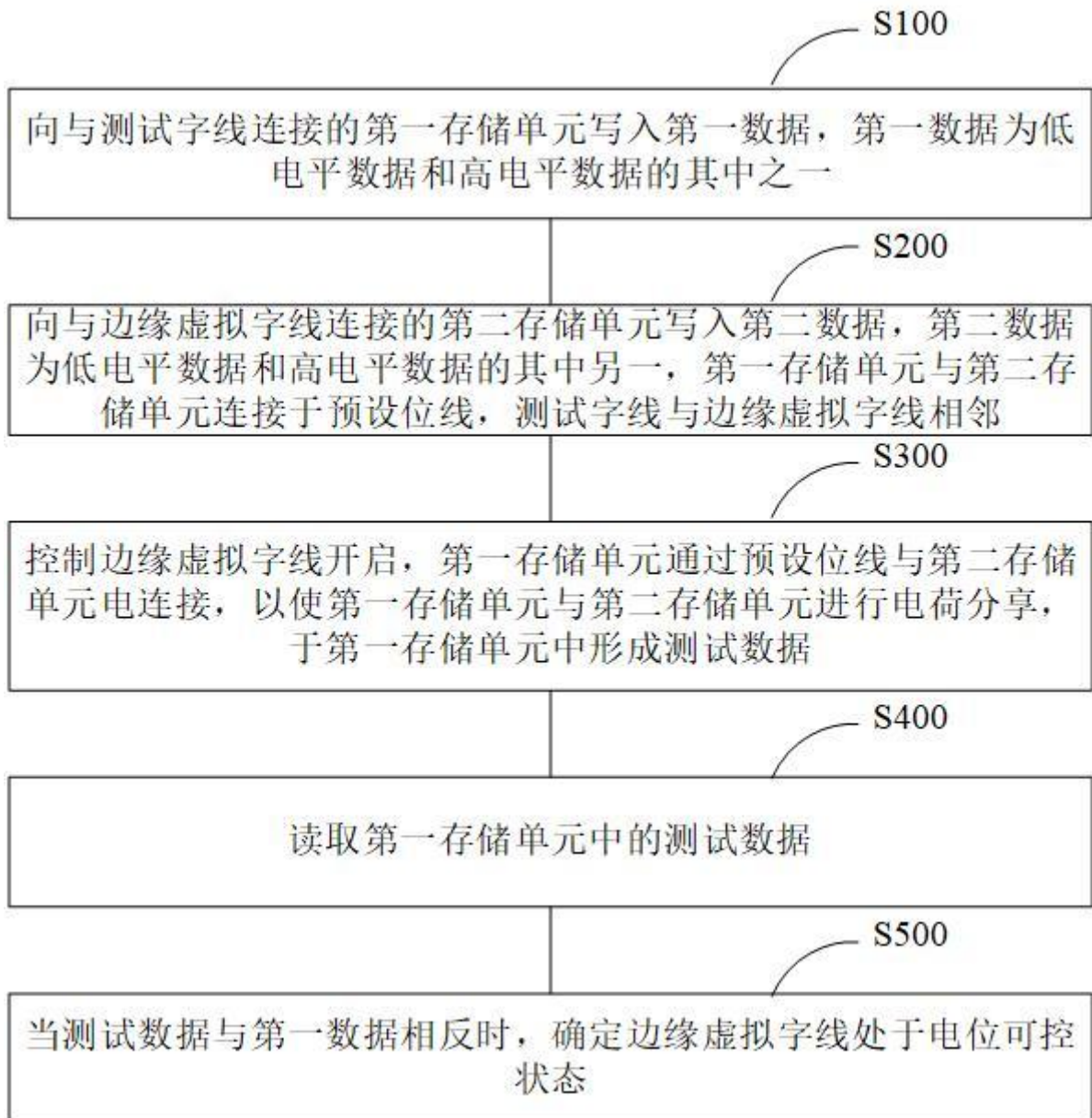


图 1

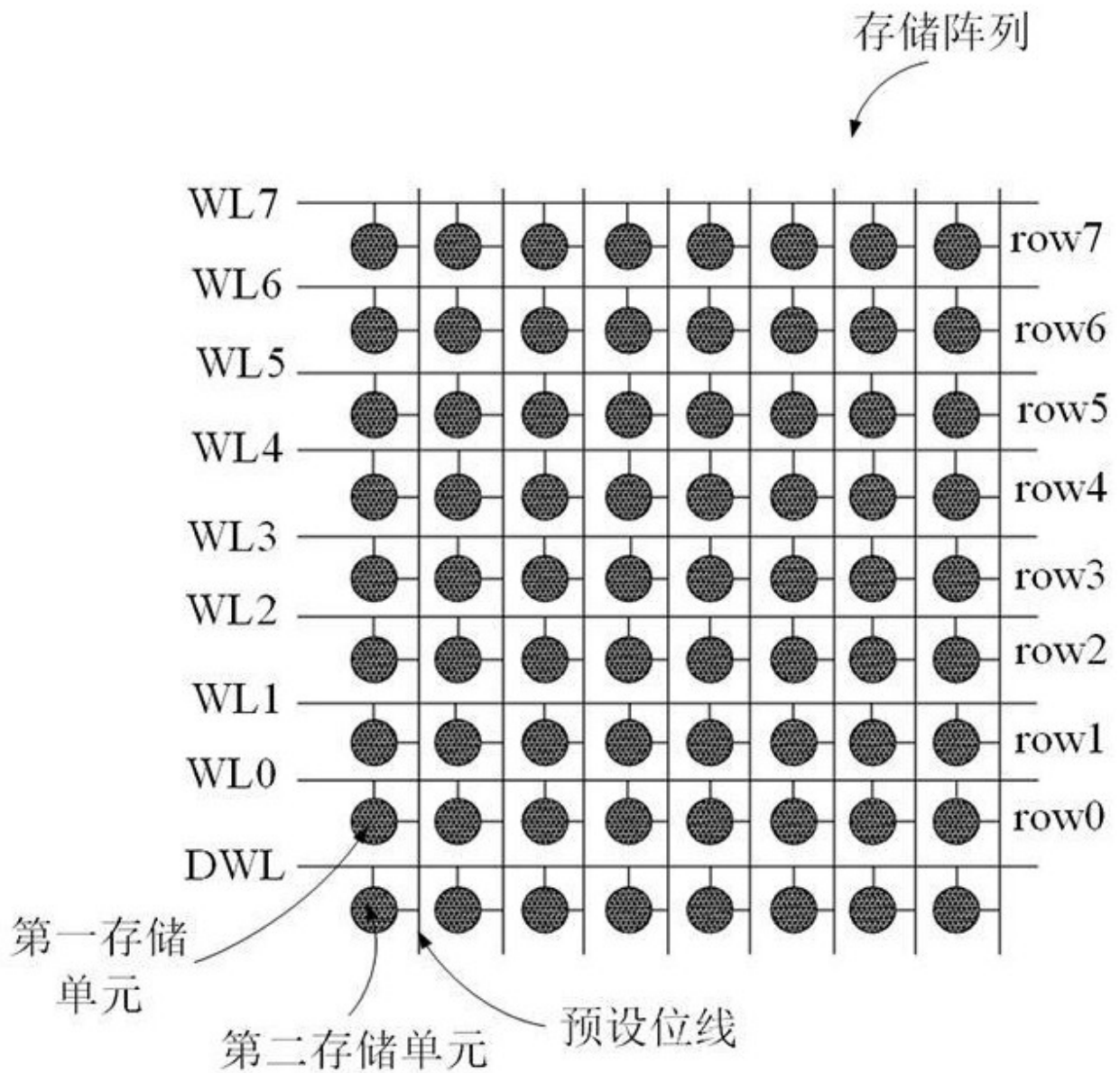


图 2

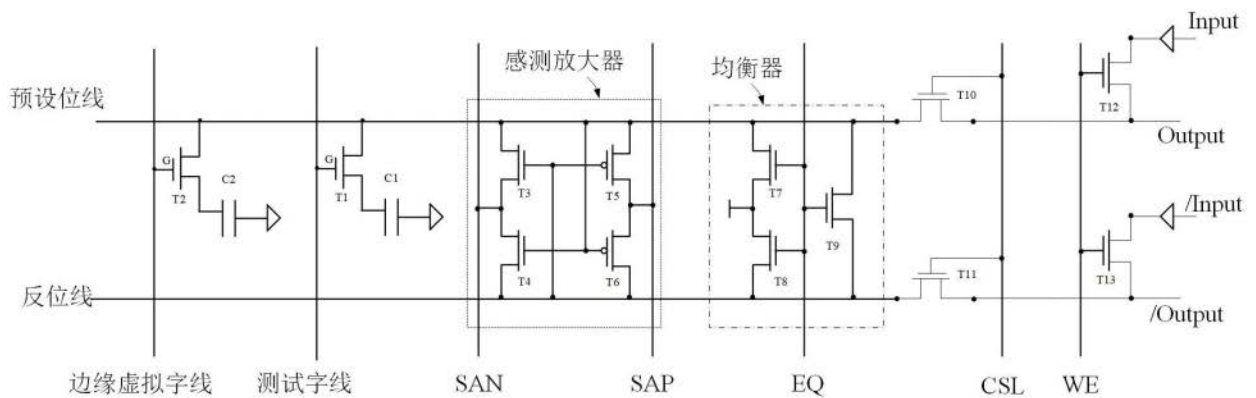


图 3

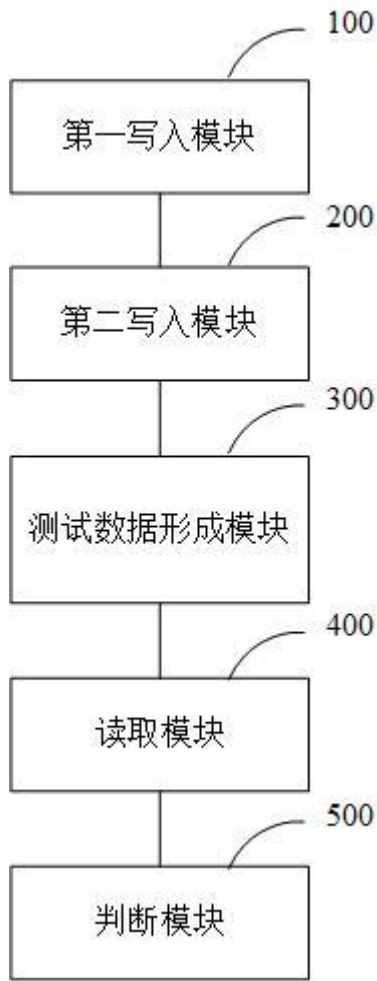


图 4

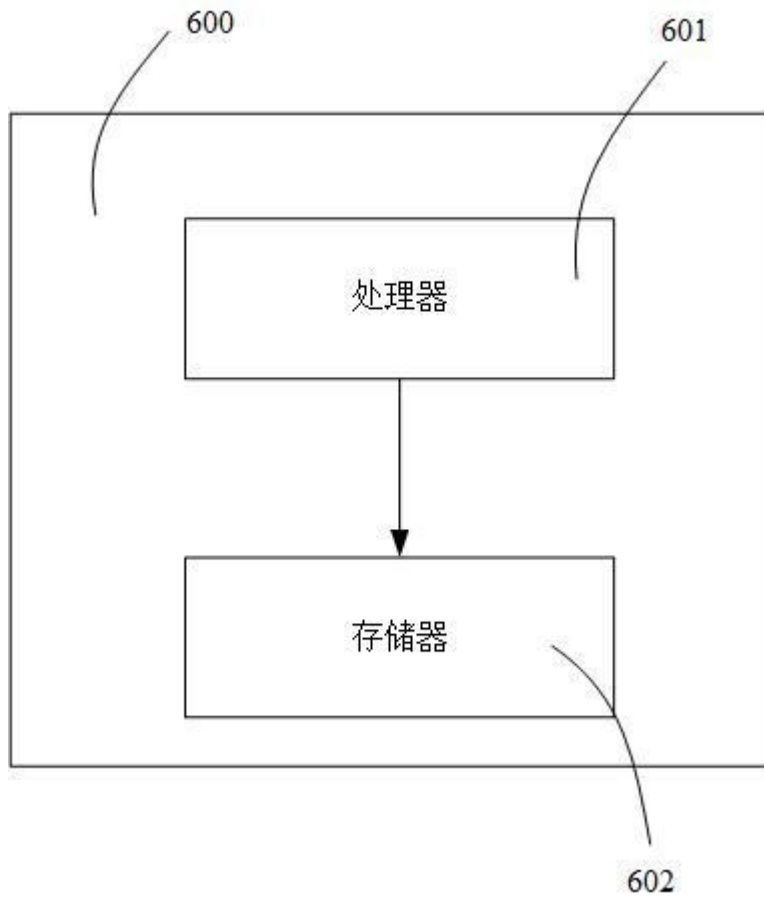


图 5