

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5737570号
(P5737570)

(45) 発行日 平成27年6月17日(2015.6.17)

(24) 登録日 平成27年5月1日(2015.5.1)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 624B
	G09G 3/20 642P
	G09G 3/20 642F
	G09G 3/20 670K
請求項の数 2 (全 19 頁) 最終頁に続く	

(21) 出願番号 特願2011-86433 (P2011-86433)
 (22) 出願日 平成23年4月8日(2011.4.8)
 (65) 公開番号 特開2012-220723 (P2012-220723A)
 (43) 公開日 平成24年11月12日(2012.11.12)
 審査請求日 平成26年2月14日(2014.2.14)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 尾本 啓介
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

自発光素子と、前記自発光素子を駆動する画素回路とを画素ごとに有する表示パネルと、
 前記画素回路を駆動する駆動回路と
 を備え、

前記画素回路は、保持容量と、外光の入射する位置に配置され、映像信号に対応する電圧を前記保持容量に書き込む第1トランジスタと、前記保持容量の電圧に基づいて前記自発光素子を駆動する第2トランジスタとを有するとともに、外光の輝度の大きさに応じた電圧を前記第2トランジスタのゲート電圧にフィードバックするようになっており、
前記表示パネルは、1または複数画素行ごとに各画素の自発光素子に接続された配線をさら

10

らに有し、
前記駆動回路は、前記第1トランジスタによって前記保持容量に書き込まれる電圧よりも常に低くなるような電圧を、前記自発光素子が発光している間、前記配線に印加するよう
になっている

表示装置。

【請求項2】

表示装置を備え、

前記表示装置は、

自発光素子と、前記自発光素子を駆動する画素回路とを画素ごとに有する表示パネルと、
 前記画素回路を駆動する駆動回路と

20

を有し、

前記画素回路は、保持容量と、外光の入射する位置に配置され、映像信号に対応する電圧を前記保持容量に書き込む第1トランジスタと、前記保持容量の電圧に基づいて前記自発光素子を駆動する第2トランジスタとを有するとともに、外光の輝度の大きさに応じた電圧を前記第2トランジスタのゲート電圧にフィードバックするようになっており、

前記表示パネルは、1または複数画素行ごとに各画素の自発光素子に接続された配線をさらに有し、

前記駆動回路は、前記第1トランジスタによって前記保持容量に書き込まれる電圧よりも常に低くなるような電圧を、前記自発光素子が発光している間、前記配線に印加するようになっている

10

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL (electro luminescence) 素子を備えた表示装置および電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機EL素子を用いた表示装置が開発され、商品化が進められている（例えば、特許文献1参照）。有機EL素子は、液晶素子などと異なり自発光素子である。そのため、有機EL素子を用いた表示装置（有機EL表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

20

【0003】

有機EL表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を、発光素子ごとに設けた駆動回路内に設けた能動素子（一般にはTFT (Thin Film Transistor; 薄膜トランジスタ)）によって制御するものである。

30

【0004】

ところで、一般的に、有機EL表示装置では、強い外光下での視認性があまりよくない。強い外光下で視認性をよくするためには、有機EL素子の発光輝度を大きくすることが必要となる。しかし、従来の有機EL表示装置には、外光を検出してフィードバックする機能がない。そのため、例えば、パネル外部に外光輝度センサを設け、その輝度に応じて映像信号を変化させ、輝度を変化させることが考えられる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-083272号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、そのようにした場合には、システムが複雑になるだけでなく、製造コストも上昇してしまうという問題があった。

【0007】

本発明はかかる問題点に鑑みてなされたものであり、その目的は、低コストかつ簡易なシステムで、外光輝度に応じて表示輝度を変化させることの可能な表示装置および電子機器を提供することにある。

40

50

【課題を解決するための手段】

【0008】

参考例に係る表示パネルは、自発光素子と、自発光素子を駆動する画素回路とを画素ごとに備えたものである。画素回路は、保持容量と、映像信号に対応する電圧を保持容量に書き込む第1トランジスタと、保持容量の電圧に基づいて自発光素子を駆動する第2トランジスタとを有している。この画素回路は、さらに、外光の輝度の大きさに応じた電圧を第2トランジスタのゲート電圧にフィードバックするようになっている。

【0009】

本発明による表示装置は、自発光素子と、自発光素子を駆動する画素回路とを画素ごとに有する表示パネルと、画素回路を駆動する駆動回路とを備えたものである。この表示装置に含まれる表示パネルは、上記の表示パネルと同一の構成要素を有している。本発明による電子機器は、上記の表示装置を備えたものである。

10

【0010】

参考例に係る表示パネル、ならびに本発明による表示装置および電子機器では、外光の輝度の大きさに応じた電圧が第2トランジスタのゲート電圧にフィードバックされる。これにより、同一の映像信号に基づいて画素が駆動されているときに、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなる。

【0011】

本発明において、画素回路は、外光の入射する位置に配置された第3トランジスタを有していてもよい。この場合に、画素回路は、第3トランジスタに入射する外光の輝度の大きさに応じたリーク電流によって、保持容量に電荷をチャージするようになっている。また、画素回路が第3トランジスタを有している場合に、第3トランジスタは、例えば、第2トランジスタのゲート電圧よりも高い電圧が印加される配線と、保持容量との間に挿入されている。このとき、第3トランジスタのゲートは、例えば、第1保持容量に電気的に接続されている。

20

【0012】

また、本発明において、表示パネルが、1または複数画素行ごとに各画素の自発光素子に接続された配線をさらに備えていてもよい。この場合には、駆動回路が、例えば、第1トランジスタによって保持容量に書き込まれる電圧よりも常に低くなるような電圧を、自発光素子が発光している間、配線に印加するようになっている。

30

【発明の効果】

【0013】

参考例に係る表示パネル、ならびに本発明による表示装置および電子機器によれば、同一の映像信号に基づいて画素が駆動されているときに、発光効率の相対的に高い画素と、発光効率の相対的に低い画素との輝度差が小さくなるようにしたので、焼き付きを低減することができる。

【図面の簡単な説明】

【0014】

【図1】第1の実施の形態に係る表示装置の概略図である。

【図2】図1のサブピクセルの回路図である。

40

【図3】図1のサブピクセルのレイアウト図である。

【図4】図1のサブピクセルの断面図である。

【図5】図2のサブピクセルの動作の一例を表す波形図である。

【図6】EL光の強さの違いによるリーク電流量について説明するための波形図である。

【図7】EL光の強さに応じた電圧がゲートにフィードバックされている様子を表す波形図である。

【図8】第2の実施の形態に係る表示装置内のサブピクセルのレイアウト図である。

【図9】図8のサブピクセルの断面図である。

【図10】図2のサブピクセルの一変形例の回路図である。

【図11】図3のサブピクセルの一変形例を表すレイアウト図である。

50

【図 1 2】図 1 1 のサブピクセルの断面図である。

【図 1 3】図 8 のサブピクセルの一変形例を表すレイアウト図である。

【図 1 4】図 1 3 のサブピクセルの断面図である。

【図 1 5】図 1 0 のサブピクセルの動作の一例を表す波形図である。

【図 1 6】上記各実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図 1 7】上記実施の形態の表示装置の適用例 1 の外観を表す斜視図である。

【図 1 8】(A) は適用例 2 の表側から見た外観を表す斜視図であり、(B) は裏側から見た外観を表す斜視図である。

【図 1 9】適用例 3 の外観を表す斜視図である。

10

【図 2 0】適用例 4 の外観を表す斜視図である。

【図 2 1】(A) は適用例 5 の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【発明を実施するための形態】

【0015】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態

20

外光が照射されるトランジスタが

書込トランジスタとは別個に設けられている例

表示パネルがボトムエミッション構造となっている例

2. 第 2 の実施の形態

外光が照射されるトランジスタが

書込トランジスタとは別個に設けられている例

表示パネルがトップエミッション構造となっている例

3. 変形例

外光が照射されるトランジスタが書込トランジスタである例

4. モジュールおよび適用例

30

【0016】

< 1. 第 1 実施の形態 >

[構成]

図 1 は、第 1 の実施の形態に係る表示装置 1 の全体構成の一例を表したものである。この表示装置 1 は、表示パネル 1 0 と、表示パネル 1 0 を駆動する駆動回路 2 0 とを備えている。

【0017】

表示パネル 1 0 は、複数の表示画素 1 4 が 2 次元配置された表示領域 1 0 A を有している。表示パネル 1 0 は、外部から入力された映像信号 2 0 A に基づく画像を、各表示画素 1 4 をアクティブマトリクス駆動することにより表示するものである。各表示画素 1 4 は、赤色用のサブピクセル 1 3 R と、緑色用のサブピクセル 1 3 G と、青色用のサブピクセル 1 3 B とを含んでいる。なお、以下では、サブピクセル 1 3 R, 1 3 G, 1 3 B の総称としてサブピクセル 1 3 を用いるものとする。

40

【0018】

図 2 は、サブピクセル 1 3 の回路構成の一例を表したものである。サブピクセル 1 3 は、図 2 に示したように、有機 EL 素子 1 1 と、有機 EL 素子 1 1 を駆動する画素回路 1 2 とを有している。有機 EL 素子 1 1 は、特許請求の範囲の「自発光素子」の一具体例に相当する。なお、サブピクセル 1 3 R には、有機 EL 素子 1 1 として、赤色光を発する有機 EL 素子 1 1 R が設けられている。同様に、サブピクセル 1 3 G には、有機 EL 素子 1 1 として、緑色光を発する有機 EL 素子 1 1 G が設けられている。サブピクセル 1 3 B には

50

、有機EL素子11として、青色光を発する有機EL素子11Bが設けられている。

【0019】

画素回路12は、例えば、書込トランジスタ T_{ws} と、駆動トランジスタ T_{dr} と、輝度補正用のトランジスタ T_{r1} と、保持容量 C_s とを含んで構成されたものであり、3 T_{r1C} の回路構成となっている。なお、画素回路12は、3 T_{r1C} の回路構成に限られるものではなく、互いに直列接続された2つの書込トランジスタ T_{ws} を有していてもよいし、上記以外のトランジスタや、容量を有していてもよい。

【0020】

書込トランジスタ T_{ws} は、映像信号に対応する電圧を保持容量 C_s に書き込むトランジスタである。駆動トランジスタ T_{dr} は、書込トランジスタ T_{ws} によって書き込まれた保持容量 C_s の電圧に基づいて有機EL素子11を駆動するトランジスタである。トランジスタ T_{r1} は、外光輝度の大きさに応じた電圧を駆動トランジスタ T_{dr} のゲート電圧にフィードバックするものである。トランジスタ T_{ws} 、 T_{dr} 、 T_{r1} は、例えば、 n チャネルMOS型の薄膜トランジスタ(TFT(Thin Film Transistor))により構成されている。なお、トランジスタ T_{ws} 、 T_{dr} 、 T_{r1} は、 p チャネルMOS型のTFTにより構成されていてもよい。

【0021】

なお、本実施の形態の書込トランジスタ T_{ws} が特許請求の範囲の「第1トランジスタ」の一具体例に相当し、本実施の形態の駆動トランジスタ T_{dr} が特許請求の範囲の「第2トランジスタ」の一具体例に相当する。また、本実施の形態のトランジスタ T_{r1} が特許請求の範囲の「第3トランジスタ」の一具体例に相当する。また、本実施の形態の保持容量 C_s が特許請求の範囲の「保持容量」の一具体例に相当する。

【0022】

駆動回路20は、タイミング生成回路21、映像信号処理回路22、データ線駆動回路23、ゲート線駆動回路24およびドレイン線駆動回路25を有している。表示パネル10は、データ線駆動回路23の出力に接続されたデータ線DTLと、ゲート線駆動回路24の出力に接続されたゲート線WSLと、ドレイン線駆動回路25の出力に接続されたドレイン線DSLとを有している。表示パネル10は、さらに、書込トランジスタ T_{ws} のゲート電圧よりも高い電圧 V_{dd} を出力する電源(図示せず)に接続された電源線VDDLと、有機EL素子11のカソードに接続されたカソード線CTLとを有している。カソード線CTLは、基準電位が印加される配線であり、例えば、各サブピクセル13の有機EL素子11のカソードに接続された共通配線となっている。カソード線CTLは、例えば、グラウンドに接続されるようになっており、グラウンドに接続されたときにグラウンド電圧となる。

【0023】

タイミング生成回路21は、例えば、データ線駆動回路23、ゲート線駆動回路24およびドレイン線駆動回路25が連動して動作するように制御するものである。タイミング生成回路21は、例えば、外部から入力された同期信号20Bに応じて(同期して)、これらの回路に対して制御信号21Aを出力するようになっている。

【0024】

映像信号処理回路22は、例えば、外部から入力されたデジタルの映像信号20Aを補正すると共に、補正した後の映像信号をアナログに変換して信号電圧22Bをデータ線駆動回路23に出力するものである。

【0025】

データ線駆動回路23は、制御信号21Aの入力に応じて(同期して)、映像信号処理回路22から入力されたアナログの信号電圧22Bを、各データ線DTLを介して、選択対象の表示画素14(またはサブピクセル13)に書き込むものである。データ線駆動回路23は、例えば、信号電圧22Bと、映像信号とは無関係の一定電圧とを出力することが可能となっている。

【0026】

ゲート線駆動回路24は、制御信号21Aの入力に応じて(同期して)、複数のゲート線WSLに選択パルスを順次印加して、複数の表示画素14(またはサブピクセル13)をゲート線WSL単位で順次選択するものである。ゲート線駆動回路24は、例えば、書込トランジスタTwsをオンさせるときに印加する電圧と、書込トランジスタTwsをオフさせるときに印加する電圧とを出力することが可能となっている。

【0027】

ドレイン線駆動回路25は、制御信号21Aの入力に応じて(同期して)、所定の電圧を、各ドレイン線DSLを介して、各画素回路12の駆動トランジスタTdrのドレインに出力するようになっている。ドレイン線駆動回路25は、例えば、有機EL素子11を発光させるときに印加する電圧と、有機EL素子11を消光させるときに印加する電圧とを出力することが可能となっている。

10

【0028】

次に、図2、図3を参照して、各構成要素の接続関係および配置について説明する。なお、図3は、サブピクセル13のレイアウトの一例を表したものである。

【0029】

ゲート線WSLは、行方向に延在して形成されており、コンタクト37Aを介して、書込トランジスタTwsのゲート31Aに接続されている。ドレイン線DSLも行方向に延在して形成されており、コンタクト37Bを介して、駆動トランジスタTdrのドレイン32Cに接続されている。データ線DTLは列方向に延在して形成されており、コンタクト37Cを介して、書込トランジスタTwsのドレイン31Cに接続されている。電源線VDDLは、コンタクト37Eを介して、トランジスタTr1のドレイン36Cに接続されている。

20

【0030】

書込トランジスタTwsのソース31Bは駆動トランジスタTdrのゲート32Aと、保持容量Csの一端(端子33A)に接続されている。駆動トランジスタTdrのソース32Bと保持容量Csの他端(端子33B)とが、コンタクト37Dを介して、有機EL素子11のアノード35Aに接続されている。有機EL素子11の有機層35Cはアノード35A上に配置されている。有機EL素子11のカソード35Bは、有機層35C上に配置されており、かつ、カソード線CTLに接続されている。トランジスタTr1のゲート36Aは、コンタクト37Fを介して、トランジスタTr1のソース36Bに接続されている。さらに、トランジスタTr1のゲート36Aは、駆動トランジスタTdrのゲート32Aと、保持容量Csの一端(33A)とに接続されている。

30

【0031】

次に、表示パネル10におけるトランジスタTr1およびその近傍の断面構成について説明する。図4は、図3のサブピクセル13のA-A矢視方向の断面構成の一例を表したものである。表示パネル10は、例えば、図4に示したように、トランジスタTr1およびその近傍において、基板41上に、トランジスタTr1、駆動トランジスタTdr、保持容量Csを有している。なお、図4には、トランジスタTr1のうちゲート36Aおよびチャンネル層36Dだけが記載されている。また、図4には、駆動トランジスタTdrのうちゲート32Aおよびチャンネル層32Dだけが記載されている。表示パネル10は、例えば、図4に示したように、トランジスタTr1およびその近傍において、トランジスタTr1等の上に、絶縁膜43、絶縁膜44、絶縁膜45、絶縁膜46および基板47を基板41側からこの順に有している。絶縁層43は開口43Aを有しており、開口43Aにコンタクト37Cが設けられている。絶縁層44も開口44Aを有しており、開口44Aにコンタクト37Dと、コンタクト37Dに接するアノード電極35Aが設けられている。

40

【0032】

基板41, 47は、例えば、ガラス基板, シリコン(Si)基板あるいは樹脂基板などからなる。アノード電極35Aは、絶縁層44の平坦面にならった平坦な膜となっている。アノード電極35Aは、可視光に対して透明な導電性材料、例えばITO(Indium Tin

50

Oxide；酸化インジウムスズ）によって構成されている。カソード電極 35B は、少なくとも有機層 35C の上面に接して形成されており、例えば、絶縁層 43 を含む表面全体に形成された共通電極として機能する。図 4 には図示されていないが、有機層 35C は、例えば、アノード電極 35A 側から順に、正孔注入効率を高める正孔注入層と、発光層への正孔輸送効率を高める正孔輸送層と、電子と正孔との再結合による発光を生じさせる発光層と、発光層への電子輸送効率を高める電子輸送層とを有している。カソード電極 35B は、金属材料で構成されており、反射ミラーとして機能する。これにより、有機 EL 素子 11 の有機層 35C から発せられた光は、アノード電極 35A、絶縁層 44、43 および基板 41 を介して外部に出力されるようになっている。従って、基板 41 の裏面（トランジスタ Tr1 とは反対側の面）が映像表示面 S となっており、表示パネル 10 は、ボトムエミッション構造となっている。

10

【0033】

ところで、本実施の形態では、例えば、図 4 に示したように、トランジスタ Tr1 が映像表示面 S に近接して配置されており、しかも、外光がトランジスタ Tr1 に直接入射するのを遮る構造が設けられていない。つまり、トランジスタ Tr1 は、外光が直接入射する位置に配置されている。一方、図示しないが、書込トランジスタ Tw s に外光が入射するのを遮る構造が設けられている。つまり、書込トランジスタ Tw s は、外光が直接入射しない位置に配置されている。

【0034】

〔動作〕

次に、本実施の形態の表示装置 1 の動作の一例について説明する。

20

【0035】

この表示装置 1 では、映像信号 20A に対応する信号電圧 22B がデータ線駆動回路 23 によって各データ線 DTL に印加されると共に、制御信号 21A に応じた選択パルスがゲート線駆動回路 24 およびドレイン線駆動回路 25 によって複数のゲート線 WSL およびドレイン線 DSL に順次印加される。実際には、以下に説明する動作を経て映像が表示される。

【0036】

なお、トランジスタ Tr1 のドレイン 36C が、トランジスタ Tr1 のゲート 36A の電圧よりも高い電圧 Vdd が印加されており、トランジスタ Tr1 は常に逆バイアス状態となっている。そのため、トランジスタ Tr1 は、外光が入射していない状態では、常にオフしており、トランジスタ Tr1 には電流が流れない。従って、外光が入射していない時は、トランジスタ Tr1 が設けられていない一般的な 2Tr1C の画素回路における動作と同様の動作となる。以下は、トランジスタ Tr1 に外光が入射していない時の動作についての説明である。

30

【0037】

図 5 は、ある画素回路 12 に印加される電圧波形の一例と、駆動トランジスタ Tdr のゲート電圧 Vg およびソース電圧 Vs の変化の一例とを表したものである。図 5 (A) にはデータ線 DTL に、信号電圧 Vsig と、オフセット電圧 Vofs が印加されている様子が示されている。図 5 (B) にはゲート線 WSL に、書込トランジスタ Tw s をオンする電圧 Von と、書込トランジスタ Tw s をオフする電圧 Voff が印加されている様子が示されている。図 5 (C) にはドレイン線 DSL に、電圧 Vcc と、電圧 Vini が印加されている様子が示されている。さらに、図 5 (D)、(E) には、ドレイン線 DSL、データ線 DTL およびゲート線 WSL への電圧印加に応じて、駆動トランジスタ Tdr のゲート電圧 Vg およびソース電圧 Vs が時々刻々変化している様子が示されている。

40

【0038】

(閾値補正準備期間)

まず、閾値補正の準備を行う。具体的には、ゲート線 WSL の電圧が Voff となっており、ドレイン線 DSL の電圧が Vcc となっている時（つまり有機 EL 素子 11 が発光している時）に、ドレイン線駆動回路 25 がドレイン線 DSL の電圧を Vcc から Vin

50

iに下げる(T1)。すると、ソース電圧 V_s が V_{ini} となり、有機EL素子11が消光する。その後、データ線DTLの電圧が V_{ofs} となっている時にゲート線駆動回路24がゲート線WSLの電圧を V_{off} から V_{on} に上げ、駆動トランジスタTdrのゲートを V_{ofs} とする。

【0039】

(最初の閾値補正期間)

次に、閾値の補正を行う。具体的には、書込トランジスタTwsがオンしており、データ線DTLの電圧が V_{ofs} となっている間に、ドレイン線駆動回路25がドレイン線DSLの電圧を V_{ini} から V_{cc} に上げる(T2)。すると、駆動トランジスタTdrのドレイン-ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その後、データ線駆動回路23がデータ線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、ゲート線駆動回路24がゲート線WSLの電圧を V_{on} から V_{off} に下げる(T3)。すると、駆動トランジスタTdrのゲートがフローティングとなり、閾値の補正が休止する。

10

【0040】

(最初の閾値補正休止期間)

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行(画素)とは異なる他の行(画素)において、データ線DTLの電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行(画素)において、ソース電圧 V_s が $V_{ofs} - V_{th}$ (V_{th} は駆動トランジスタTdrの閾値電圧)よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行(画素)において、駆動トランジスタTdrのドレイン-ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

20

【0041】

(2回目の閾値補正期間)

次に、閾値補正を再び行う。具体的には、データ線DTLの電圧が V_{ofs} となっており、閾値補正が可能となっている時に、ゲート線駆動回路24がゲート線WSLの電圧を V_{off} から V_{on} に上げ、駆動トランジスタTdrのゲート電圧を V_{ofs} にする(T4)。このとき、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低い場合(閾値補正がまだ完了していない場合)には、駆動トランジスタTdrがカットオフするまで(ゲート-ソース間電圧 V_{gs} が V_{th} になるまで)、駆動トランジスタTdrのドレイン-ソース間に電流 I_{ds} が流れる。その後、データ線駆動回路23がデータ線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、ゲート線駆動回路24がゲート線WSLの電圧を V_{on} から V_{off} に下げる(T5)。すると、駆動トランジスタTdrのゲートがフローティングとなるので、ゲート-ソース間電圧 V_{gs} をデータ線DTLの電圧の大きさに拘わらず一定に維持することができる。

30

【0042】

なお、この閾値補正期間において、保持容量 C_s が V_{th} に充電され、ゲート-ソース間電圧 V_{gs} が V_{th} となった場合には、駆動回路20は、閾値補正を終了する。しかし、ゲート-ソース間電圧 V_{gs} が V_{th} にまで到達しない場合には、駆動回路20は、ゲート-ソース間電圧 V_{gs} が V_{th} に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

40

【0043】

(書き込み・移動度補正期間)

閾値補正休止期間が終了した後、書き込みと移動度補正を行う。具体的には、データ線DTLの電圧が V_{sig} となっている間に、ゲート線駆動回路24がゲート線WSLの電圧を V_{off} から V_{on} に上げ(T6)、駆動トランジスタTdrのゲートをデータ線DTLに接続する。すると、駆動トランジスタTdrのゲート電圧 V_g がデータ線DTLの電圧 V_{sig} となる。このとき、有機EL素子11のアノード電圧はこの段階ではまだ有機EL素子11の閾値電圧 V_{el} よりも小さく、有機EL素子11はカットオフしている。そのため、電流 I_{ds} は有機EL素子11の素子容量(図示せず)に流れ、素子容量が

50

充電されるので、ソース電圧 V_s が V だけ上昇し、やがてゲート - ソース間電圧 V_{gs} が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に移動度補正が行われる。ここで、駆動トランジスタ T_{dr} の移動度が大きい程、 V も大きくなるので、ゲート - ソース間電圧 V_{gs} を発光前に V だけ小さくすることにより、サブピクセル 13 ごとの移動度のばらつきを取り除くことができる。

【0044】

(ブートストラップ期間)

最後に、ゲート線駆動回路 24 がゲート線 WSL の電圧を V_{on} から V_{off} に下げる ($T7$)。すると、駆動トランジスタ T_{dr} のゲートがフローティングとなり、駆動トランジスタ T_{dr} のドレイン - ソース間に電流 I_{ds} が流れ、ソース電圧 V_s が上昇する。その結果、有機 EL 素子 11 に閾値電圧 V_{el} 以上の電圧が印加され、有機 EL 素子 11 が所望の輝度で発光を開始する。

10

【0045】

このように、本実施の形態の表示装置 1 では、各サブピクセル 13 において画素回路 12 がオンオフ制御され、各サブピクセル 13 の有機 EL 素子 11 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル 10 の表示領域 10A において画像が表示される。

【0046】

[効果]

次に、本実施の形態の表示装置 1 の効果について説明する。本実施の形態では、表示パネル 10 がボトムエミッション構造となっており、かつトランジスタ T_{r1} が、映像表示面 S から入射した外光が直接入射する位置に配置されている。そのため、トランジスタ T_{r1} の特性は外光によって変化する。

20

【0047】

一般的に、トランジスタは、光を受光すると、図 6 のように特性が変化し、オフ領域のリーク電流が光の強度に応じて増加する特性をもつ。これを画素回路 12 にあてはめて考えてみる。まず、トランジスタ T_{r1} に、外光が入射すると、図 2 に示したように、トランジスタ T_{r1} において電流リークが生じ、電源線 V_{DDL} から保持容量 C_s に向かってリーク電流 I_L が流れ、保持容量 C_s に電荷がチャージされる。そのため、例えば、図 5 (D), (E) に示したように、駆動トランジスタ T_{dr} のゲート - ソース間電圧 V_{gs} が上昇して、電流が増大する。その結果、有機 EL 素子 11 の発光輝度も増大する。なお、図 5 (D), (E) では、通常のゲート - ソース間電圧が V_{gs0} となっているときに、本実施の形態では、ゲート - ソース間電圧が V_{gs0} よりも大きな V_{gs1} となっていることが示されている。

30

【0048】

電源線 V_{DDL} からのリーク電流は光の強度に依存する。そのため、図 7 に示したように、リーク電流によって保持容量 C_s を充電するスピードも輝度に応じて変化する。したがって、外光輝度が高い場合は保持容量 C_s を充電するスピードが速いので、有機 EL 素子 11 の発光輝度の上昇も大きくなる。一方、外光輝度が低い場合は保持容量 C_s を充電するスピードが遅いので、輝度の上昇は小さい。このように、信号電圧を変化させたり、特殊な回路を設けたりすることなく、外光輝度に応じて有機 EL 素子 11 の発光輝度を自動的に変えることができる。従って、低コストかつ簡易なシステムで、外光輝度に応じて表示輝度を変化させることができる。

40

【0049】

< 2 . 第 2 の実施の形態 >

[構成]

次に、第 2 の実施形態に係る表示装置について説明する。本実施の形態の表示装置は、表示パネル 10 としてトップエミッション構造のものを備えている点で、上記実施の形態の表示装置 1 の構成と主に相違する。そこで、以下では、上記実施の形態との相違点について主に説明し、上記実施の形態との共通点についての説明を適宜、省略するものとする

50

。

【 0 0 5 0 】

図 8 は、本実施の形態におけるサブピクセル 1 3 のレイアウトの一例を表したものである。図 9 は、図 8 のサブピクセル 1 3 の A - A 矢視方向の断面構成の一例を表したものである。

【 0 0 5 1 】

本実施の形態では、有機 EL 素子 1 1 のアノード電極 3 5 A および有機層 3 5 C がサブピクセル 1 3 の上面に広く形成されている。アノード電極 3 5 A は、トランジスタ Tr 1 の直上に開口 H を有している。アノード電極 3 5 A は、金属材料で構成されており、反射ミラーとして機能する。有機層 3 5 C は、トランジスタ Tr 1 の直上を含むサブピクセル 1 3 の上面に広く形成されており、トランジスタ Tr 1 の直上には、開口 H および有機層 3 5 C が見えている。カソード電極 3 5 B は、可視光に対して透明な導電性材料、例えば ITO によって構成されている。つまり、トランジスタ Tr 1 は、開口 H と対向する領域に配置されており、外光が、開口 H、有機層 3 5 C およびカソード電極 3 5 B を介して入射する位置に配置されている。従って、表示パネル 1 0 は、絶縁層 4 4、有機層 3 5 C、カソード電極 3 5 B、絶縁層 4 6 および基板 4 7 を介して外光がトランジスタ Tr 1 に入射するようになっている。

【 0 0 5 2 】

[効果]

次に、本実施の形態の表示装置の効果について説明する。本実施の形態では、表示パネル 1 0 がトップエミッション構造となっており、かつトランジスタ Tr 1 が、外光が直接入射する位置に配置されている。そのため、トランジスタ Tr 1 の特性は外光によって変化する。

【 0 0 5 3 】

本実施の形態では、上記第 1 の実施の形態と同様、トランジスタ Tr 1 に、外光が入射すると、図 2 に示したように、トランジスタ Tr 1 において電流リークが生じ、電源線 VDDL から保持容量 Cs に向かってリーク電流 I_L が流れ、保持容量 Cs に電荷がチャージされる。そのため、例えば、図 5 (D)、(E) に示したように、駆動トランジスタ Tdr のゲート - ソース間電圧 Vgs が上昇して、電流が増大する。その結果、有機 EL 素子 1 1 の発光輝度も増大する。

【 0 0 5 4 】

電源線 VDDL からのリーク電流は光の強度に依存する。そのため、図 7 に示したように、リーク電流によって保持容量 Cs を充電するスピードも輝度に応じて変化する。したがって、外光輝度が高い場合は保持容量 Cs を充電するスピードが速いので、有機 EL 素子 1 1 の発光輝度の上昇も大きくなる。一方、外光輝度が低い場合は保持容量 Cs を充電するスピードが遅いので、輝度の上昇は小さい。このように、信号電圧を変化させたり、特殊な回路を設けたりすることなく、外光輝度に応じて有機 EL 素子 1 1 の発光輝度を自動的に変えることができる。従って、低コストかつ簡易なシステムで、外光輝度に応じて表示輝度を変化させることができる。

【 0 0 5 5 】

< 3 . 変形例 >

[構成]

上記各実施の形態では、各サブピクセル 1 3 は、トランジスタ Tr 1 を備えていたが、例えば、図 1 0 に示したように、省略することも可能である。そのようにした場合には、まず、カソード線 CTL が、行方向 (ドレイン線 DSL の延在方向) に延在しており、行方向に配列された複数の有機 EL 素子 1 1 で共有された帯状電極となっていることが必要である。複数のカソード線 CTL は、互いに並列に配置されており、1 または複数画素行ごとに各サブピクセル 1 3 の有機 EL 素子 1 1 のカソードに接続された共通配線となっている。本変形例では、各カソード線 CTL は、グラウンドではなく、駆動回路 2 0 に接続されている。

10

20

30

40

50

【 0 0 5 6 】

次に、表示パネル 1 0 がボトムエミッション構造となっている場合には、例えば、図 1 1、図 1 2 に示したように、書込トランジスタ T_{ws} が映像表示面 S に近接して配置されており、しかも、外光が書込トランジスタ T_{ws} に直接入射するのを遮る構造が設けられていない。つまり、書込トランジスタ T_{ws} は、外光が直接入射する位置に配置されている。

【 0 0 5 7 】

また、表示パネル 1 0 がボトムエミッション構造となっている場合には、例えば、図 1 3、図 1 4 に示したように、アノード電極 3 5 A は、書込トランジスタ T_{ws} の直上に開口 H を有している。有機層 3 5 C は、書込トランジスタ T_{ws} の直上を含むサブピクセル 1 3 の上面に広く形成されており、書込トランジスタ T_{ws} の直上には、開口 H および有機層 3 5 C が見えている。つまり、書込トランジスタ T_{ws} は、開口 H と対向する領域に配置されており、外光が、開口 H 、有機層 3 5 C およびカソード電極 3 5 B を介して入射する位置に配置されている。

【 0 0 5 8 】

さらに、表示パネル 1 0 がいずれの構造となっている場合においても、駆動回路 2 0 は、制御信号 2 1 A の入力に応じて（同期して）、複数のカソード線 CTL に選択パルスを順次印加するようになっており、必要である。

【 0 0 5 9 】

駆動回路 2 0 は、制御信号 2 1 A の入力に応じて（同期して）、複数のカソード線 CTL に選択パルスを順次印加して、複数の表示画素 1 4（またはサブピクセル 1 3）をカソード線 CTL 単位で順次選択するようになっており、必要である。駆動回路 2 0 は、例えば、図 1 5 に示したように、有機 EL 素子 1 1 を発光させるときに印加する電圧 V_a と、有機 EL 素子 1 1 を消光させるときに印加する電圧 V_b （ $>$ 電圧 V_a ）とを出力することが可能となっている。駆動回路 2 0 は、例えば、図 1 5 に示したように、有機 EL 素子 1 1 が発光している間、電圧 V_a をカソード線 CTL に印加するようになっており、有機 EL 素子 1 1 が消光している間、電圧 V_b をカソード線 CTL に印加するようになっており、ここで、電圧 V_a は、書込トランジスタ T_{ws} によって保持容量 C_s に書き込まれる電圧（つまりデータ線 DTL の電圧）よりも常に低くなるような電圧である。

【 0 0 6 0 】

本変形例では、駆動トランジスタ T_{dr} のゲート電圧 V_g がデータ線 DTL の電圧よりも常に低くなるような電圧が、有機 EL 素子 1 1 が発光している間、カソード線 CTL に印加される。これにより、有機 EL 素子 1 1 が発光している間に、外光が書込トランジスタ T_{ws} に入射して、書込トランジスタ T_{ws} のオフ電流が大きくなると、電荷が書込トランジスタ T_{ws} を介してデータ線 DTL から保持容量 C_s に充電される。その結果、上記各実施の形態と同様に、信号電圧を変化させたり、特殊な回路を設けたりすることなく、外光輝度に応じて有機 EL 素子 1 1 の発光輝度を自動的に変えることができる。従って、低コストかつ簡易なシステムで、外光輝度に応じて表示輝度を変化させることができる。

【 0 0 6 1 】

< 4 . モジュールおよび適用例 >

以下、上記第 1 および第 2 の実施の形態およびそれらの変形例で説明した表示装置 1 の適用例について説明する。表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 0 6 2 】

[モジュール]

表示装置 1 は、例えば、図 1 6 に示したようなモジュールとして、後述する適用例 1 ~ 5 などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板 3 の一辺に、

10

20

30

40

50

表示パネル 10 を封止する部材（図示せず）から露出した領域 210 を設け、この露出した領域 210 に、タイミング生成回路 21、映像信号処理回路 22、データ線駆動回路 23、ゲート線駆動回路 24 およびドレイン線駆動回路 25 の配線を延長して外部接続端子（図示せず）を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板（FPC；Flexible Printed Circuit）220 が設けられていてもよい。

【0063】

[適用例 1]

図 17 は、表示装置 1 が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル 310 およびフィルターガラス 320 を含む映像表示画面部 300 を有しており、この映像表示画面部 300 は、表示装置 1 により構成されている。

10

【0064】

[適用例 2]

図 18 は、表示装置 1 が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部 410、表示部 420、メニュースイッチ 430 およびシャッターボタン 440 を有しており、その表示部 420 は、表示装置 1 により構成されている。

【0065】

[適用例 3]

図 19 は、表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 510、文字等の入力操作のためのキーボード 520 および画像を表示する表示部 530 を有しており、その表示部 530 は、表示装置 1 により構成されている。

20

【0066】

[適用例 4]

図 20 は、表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 610、この本体部 610 の前方側面に設けられた被写体撮影用のレンズ 620、撮影時のスタート/ストップスイッチ 630 および表示部 640 を有しており、その表示部 640 は、表示装置 1 により構成されている。

30

【0067】

[適用例 5]

図 21 は、表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 710 と下側筐体 720 とを連結部（ヒンジ部）730 で連結したものであり、ディスプレイ 740、サブディスプレイ 750、ピクチャーライト 760 およびカメラ 770 を有している。そのディスプレイ 740 またはサブディスプレイ 750 は、表示装置 1 により構成されている。

【0068】

以上、上記各実施の形態および適用例を挙げて本発明を説明したが、本発明はそれらに限定されるものではなく、種々変形が可能である。

40

【0069】

例えば、上記実施の形態等では、表示装置がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 12 の構成は上記実施の形態等で説明したものに限られない。従って、必要に応じて容量素子やトランジスタを画素回路 12 に追加することが可能である。その場合、画素回路 12 の変更に応じて、上述したタイミング生成回路 21、映像信号処理回路 22、データ線駆動回路 23、ゲート線駆動回路 24 およびドレイン線駆動回路 25 のほかに、必要な駆動回路を追加してもよい。

【0070】

また、上記実施の形態等では、データ線駆動回路 23、ゲート線駆動回路 24 およびドレイン線駆動回路 25 の駆動をタイミング生成回路 21 および映像信号処理回路 22 が制

50

御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、データ線駆動回路23、ゲート線駆動回路24およびドレイン線駆動回路25の制御は、ハードウェア(回路)で行われていてもよいし、ソフトウェア(プログラム)で行われていてもよい。

【0071】

また、上記実施の形態等では、書込トランジスタTwsのソースおよびドレインや、駆動トランジスタTdrのソースおよびドレインが固定されたものとして説明されていたが、いうまでもなく、電流の流れる向きによっては、ソースとドレインの対向関係が上記の説明とは逆になることがある。

【0072】

また、上記実施の形態等では、書込トランジスタTwsおよび駆動トランジスタTdrがnチャンネルMOS型のTFTにより形成されているものとして説明されていたが、書込トランジスタTwsおよび駆動トランジスタTdrの少なくとも一方がpチャンネルMOS型のTFTにより形成されていてもよい。なお、駆動トランジスタTdrがpチャンネルMOS型のTFTにより形成されている場合には、上記実施の形態等において、有機EL素子11のアノード35Aがカソードとなり、有機EL素子11のカソード35Bがアノードとなる。また、上記実施の形態等において、書込トランジスタTwsおよび駆動トランジスタTdrは、常に、アモルファスシリコン型のTFTやマイクロシリコン型のTFTである必要はなく、例えば、低温ポリシリコン型のTFTであってもよい。

【符号の説明】

【0073】

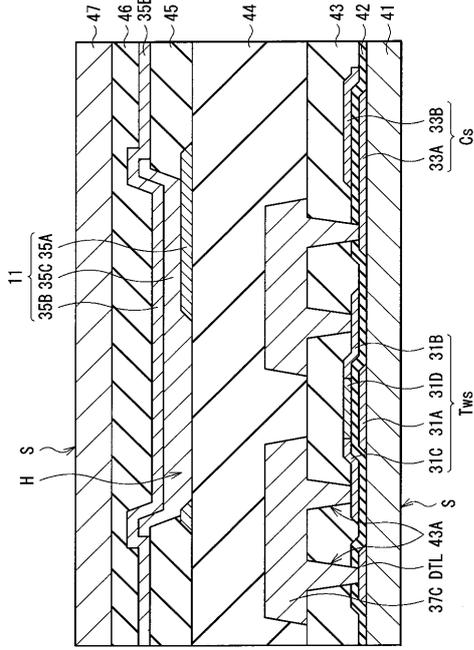
1...表示装置、10...表示パネル、10A...表示領域、11, 11R, 11G, 11B...有機EL素子、12...画素回路、13, 13R, 13G, 13B...サブピクセル、14...表示画素、20...駆動回路、20A...映像信号、20B...同期信号、21...タイミング生成回路、21A...制御信号、22...映像信号処理回路、23...データ線駆動回路、24...ゲート線駆動回路、25...ドレイン線駆動回路、31A, 32A, 36A...ゲート、31B, 32B, 36B...ソース、31C, 32C, 36C...ドレイン、31D, 32D, 36D...チャンネル、33A, 33B...端子、35A...アノード電極、35B...カソード電極、35C...有機層、37A, 37B, 37C, 37D, 37E...コンタクト、41, 47...基板、42...ゲート絶縁膜、43, 44, 45, 46...絶縁膜、43A, 44A...開口、300...映像表示画面部、310...フロントパネル、320...フィルターガラス、410...発光部、420, 530, 640...表示部、430...メニュースイッチ、440...シャッターボタン、510...本体、520...キーボード、610...本体部、620...レンズ、630...スタート/ストップスイッチ、710...上側筐体、720...下側筐体、730...連結部、740...ディスプレイ、750...サブディスプレイ、760...ピクチャーライト、770...カメラ、Cs...保持容量、CTL...カソード線、DSL...ドレイン線、DTL...データ線、H...開口、S...映像表示面、Tdr...駆動トランジスタ、Tr1...トランジスタ、Tws...書込トランジスタ、WSL...ゲート線。

10

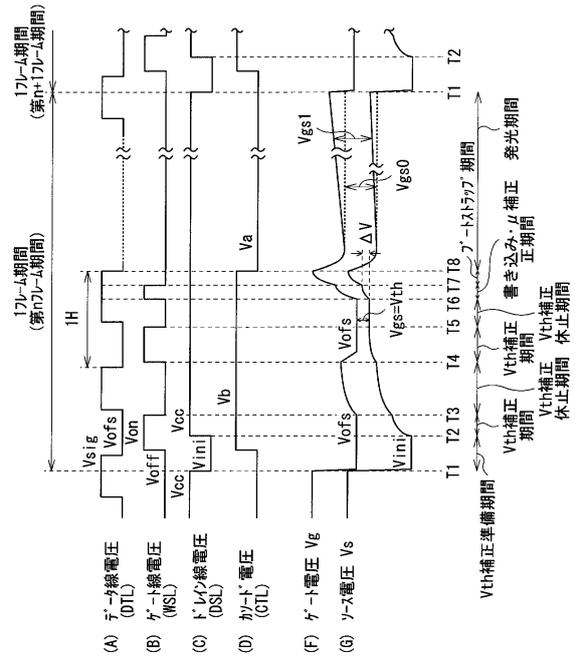
20

30

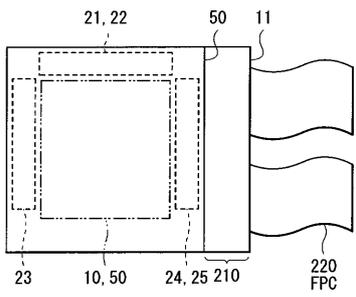
【図14】



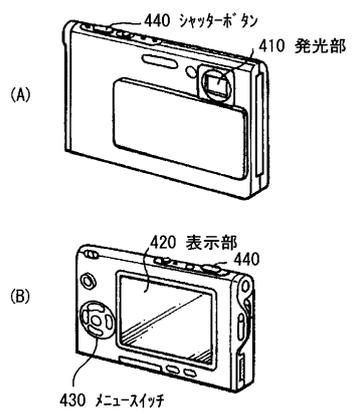
【図15】



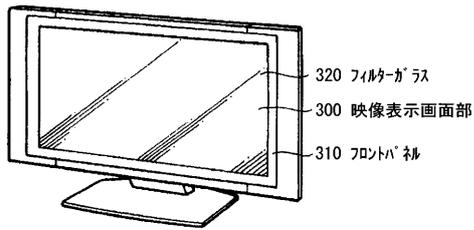
【図16】



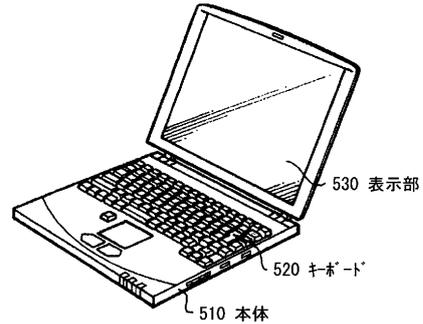
【図18】



【図17】



【図19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 E

審査官 中村 直行

(56)参考文献 特開2004-348044(JP,A)
特開2005-092006(JP,A)
特表2008-541185(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 0 2