



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월12일
 (11) 등록번호 10-1746064
 (24) 등록일자 2017년06월05일

(51) 국제특허분류(Int. Cl.)
 H03M 1/38 (2006.01) H03M 1/02 (2006.01)
 H03M 1/10 (2006.01) H03M 1/46 (2006.01)
 (52) CPC특허분류
 H03M 1/38 (2013.01)
 H03M 1/02 (2013.01)
 (21) 출원번호 10-2016-0078990
 (22) 출원일자 2016년06월24일
 심사청구일자 2016년06월24일
 (56) 선행기술조사문헌
 KR1020100084746 A
 US20120286980 A1
 JP2012119767 A

(73) 특허권자
 금오공과대학교 산학협력단
 경상북도 구미시 대학로 61 (양호동)
 (72) 발명자
 장영찬
 경상북도 구미시 옥계북로 69, 110동 1403호(옥계동, 현진에버빌엠피아아파트)
 손지수
 경상남도 김해시 인제로 167, 115동 1504호(어방동, 대우유토피아아파트)
 (74) 대리인
 이철희, 고유호

전체 청구항 수 : 총 14 항

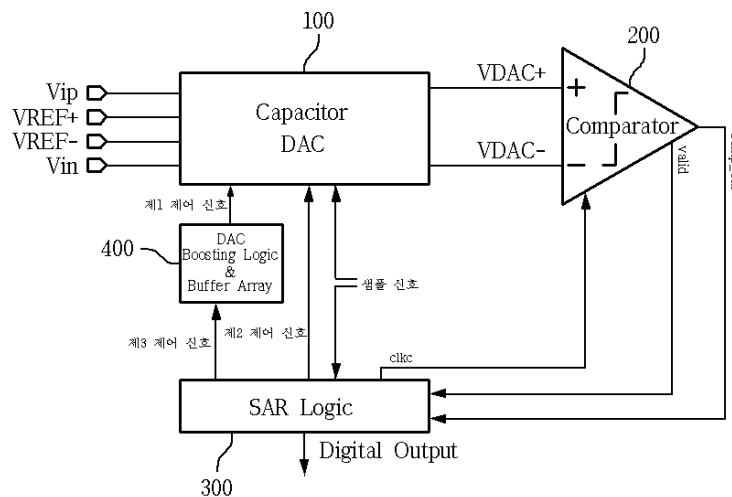
심사관 : 유선중

(54) 발명의 명칭 **축차 근사형 AD 변환기**

(57) 요약

본 발명은 축차 근사형 AD 변환기를 개시하며, 비교기에 인가되는 출력 전압으로 인한 비교기의 성능 저하를 개선하기 위하여, 복수의 커패시터를 포함하는 커패시터 어레이 및 복수의 스위치부를 포함하는 스위치 어레이를 포함하고, 외부에서 입력되는 제1 아날로그 입력 전압, 일정한 크기로 입력되는 제2 아날로그 입력 전압, 출력 범위를 설정하는 제1 및 제2 기준 전압 및 공통 전압 중 하나 이상을 제1 제어 신호, 제2 제어 신호 및 샘플 신호에 대응하여 상기 커패시터 어레이에 인가함으로써 제1 및 제2 출력 전압을 출력하는 커패시터형 DA 변환기; 비교기; 축차 근사형 로직부; 및 상기 제3 제어 신호를 수신하여 상기 제1 제어 신호를 생성하며, 상기 제1 및 제2 출력 전압의 레벨이 소정의 범위 내인 경우, 상기 제1 및 제2 출력 전압을 부스팅하는 상기 제1 제어 신호를 출력하는 부스팅 로직부; 를 포함한다.

대표도 - 도1



(52) CPC특허분류

H03M 1/1014 (2013.01)

H03M 1/466 (2013.01)

공지예외적용 : 있음

명세서

청구범위

청구항 1

복수의 커패시터를 포함하는 커패시터 어레이 및 복수의 스위치부를 포함하는 스위치 어레이를 포함하고, 외부에서 입력되는 제1 아날로그 입력 전압, 일정한 크기로 입력되는 제2 아날로그 입력 전압, 출력 범위를 설정하는 제1 및 제2 기준 전압 및 공통 전압 중 하나 이상을 제1 제어 신호, 제2 제어 신호 및 샘플 신호에 대응하여 상기 커패시터 어레이에 인가함으로써 제1 및 제2 출력 전압을 출력하는 커패시터형 DA 변환기;

상기 제1 및 제2 출력 전압을 비교하여 비교 결과에 대한 비교 신호를 출력하는 비교기;

상기 비교신호에 대응하여 상기 커패시터 어레이에 인가되는 전압을 제어하기 위한 상기 제2 제어 신호 및 제3 제어 신호를 출력하고, 상기 제1 아날로그 입력 전압에 대한 DA 변환이 완료되면 디지털 출력 신호를 출력하는 축차 근사형 로직부; 및

상기 제3 제어 신호를 수신하여 상기 제1 제어 신호를 생성하며, 상기 제1 및 제2 출력 전압의 레벨이 소정의 범위 내인 경우, 상기 제1 및 제2 출력 전압을 부스팅하는 상기 제1 제어 신호를 출력하는 부스팅 로직부; 를 포함하는 축차 근사형 AD 변환기.

청구항 2

제1 항에 있어서, 상기 커패시터 어레이는

상기 제1 출력 전압을 생성하는 상부 커패시터 어레이;

상기 제2 출력 전압을 생성하는 하부 커패시터 어레이; 를 포함하며,

상기 상부 및 하부 커패시터 어레이는 각각 상기 디지털 출력 신호의 MSB(Most Significant Bit)의 값을 결정하는 MSB 커패시터부터 상기 디지털 출력 신호의 LSB(Least Significant Bit)의 값을 결정하는 LSB 커패시터까지 순서에 따라 병렬로 배열되는 복수의 커패시터를 포함하는 축차 근사형 AD 변환기.

청구항 3

제2 항에 있어서, 상기 스위치 어레이는

복수의 상부 스위치부 및 복수의 하부 스위치부를 포함하고,

복수의 상기 상부 스위치부는 각각 상기 상부 커패시터 어레이의 각 커패시터에 연결되고, 복수의 상기 하부 스위치부는 각각 상기 하부 커패시터 어레이의 각 커패시터에 연결되는 축차 근사형 AD 변환기.

청구항 4

제3 항에 있어서,

각각의 상기 상부 스위치부는 연결된 커패시터에 상기 제1 기준 전압을 인가하기 위한 제1 상부 스위치, 연결된 커패시터에 상기 제2 기준 전압을 인가하기 위한 제2 상부 스위치, 연결된 커패시터에 상기 제1 아날로그 입력 전압을 인가하기 위한 제3 상부 스위치, 연결된 커패시터에 상기 공통 전압을 인가하기 위한 제4 상부 스위치를 포함하며,

각각의 상기 하부 스위치부는 연결된 커패시터에 상기 제1 기준 전압을 인가하기 위한 제1 하부 스위치, 연결된 커패시터에 상기 제2 기준 전압을 인가하기 위한 제2 하부 스위치, 연결된 커패시터에 상기 제2 아날로그 입력 전압을 인가하기 위한 제3 하부 스위치, 연결된 커패시터에 상기 공통 전압을 인가하기 위한 제4 하부 스위치를 포함하는 축차 근사형 AD 변환기.

청구항 5

제4 항에 있어서,

복수의 상기 상부 스위치부 중 상기 상부 커패시터 어레이의 상기 MSB 커패시터에 연결된 상기 상부 스위치부는 상기 제1 출력 전압을 부스팅하는 상기 제1 제어 신호에 대응하여 상기 제1 상부 스위치를 턴 온 하고,

복수의 상기 하부 스위치부 중 상기 하부 커패시터 어레이의 상기 MSB 커패시터에 연결된 상기 하부 스위치부는 상기 제2 출력 전압을 부스팅하는 상기 제1 제어 신호에 대응하여 상기 제1 하부 스위치를 턴 온 하는 축차 근사형 AD 변환기.

청구항 6

제2 항에 있어서, 상기 축차 근사형 로직부는

상기 비교기로부터 출력되고 상기 비교기의 비교 동작 완료를 알리는 유효 신호에 동기되어 클록 신호를 제공하는 시프트 레지스터;

상기 클록 신호에 동기되어 상기 비교 신호를 저장하고, 상기 제3 제어 신호를 생성하는 메모리;

상기 메모리에서 출력되는 상기 제3 제어 신호 중 일부를 수신하여 상기 제2 제어 신호 중 일부를 생성하는 제어 로직; 및

상기 샘플 신호와 상기 클록 신호에 대한 논리 연산을 통해 상기 제2 제어 신호 중 나머지를 생성하는 복수의 논리 게이트들; 을 포함하는 축차 근사형 AD 변환기.

청구항 7

제6 항에 있어서, 상기 제어 로직은

논리 연산을 위한 OR 게이트와 NOR 게이트를 포함하며,

상기 OR 게이트는 상기 메모리에서 출력되는 상기 제3 제어 신호 중 일부와 상기 샘플 신호를 수신하고,

상기 NOR 게이트는 상기 OR 게이트의 출력과 상기 클록 신호 중 일부를 수신하여 상기 제2 제어 신호 중 상기 MSB 커패시터에 인가되는 상기 공통 전압을 제어하는 상기 제2 제어 신호를 생성하는 축차 근사형 AD 변환기.

청구항 8

제6 항에 있어서, 상기 제어 로직은

상기 제1 및 제2 출력 전압의 레벨이 상기 소정의 범위인 경우, 상기 제2 제어 신호 중 일부를 생성하는 축차 근사형 AD 변환기.

청구항 9

제8 항에 있어서,

상기 제1 기준 전압은 상기 커패시터형 DA 변환기의 최대 출력 전압에 대한 기준을 설정하고, 상기 제2 기준 전압은 상기 커패시터형 DA 변환기의 최소 출력 전압에 대한 기준을 설정하며,

상기 소정의 범위는 상기 제2 기준 전압 내지 상기 제1 및 제2 기준 전압의 중간값의 범위인 축차 근사형 AD 변환기.

청구항 10

제2 항에 있어서, 상기 부스팅 로직부는

상기 제3 제어 신호에 대응하여 상기 상부 및 하부 커패시터 어레이의 상기 MSB 커패시터에 상기 제1 기준 전압이 인가되도록 하는 상기 제1 제어 신호를 출력함으로써 상기 제1 및 제2 출력 전압을 부스팅하는 축차 근사형 AD 변환기.

청구항 11

제10 항에 있어서, 상기 부스팅 로직부는

상기 제3 제어 신호 중 일부에 대응하여 상기 상부 및 하부 커패시터 어레이의 상기 MSB 커패시터에 인가되는

전압을 제어하는 상기 제1 제어 신호 중 일부를 생성하는 논리 회로를 포함하는 축차 근사형 AD 변환기.

청구항 12

제11 항에 있어서, 상기 논리 회로는

상기 제3 제어 신호 중 일부를 수신하는 2개의 OR 게이트를 포함하는 축차 근사형 AD 변환기.

청구항 13

제1 항에 있어서, 상기 비교기는

N형 비교기인 축차 근사형 AD 변환기.

청구항 14

제1 항에 있어서,

상기 제1 기준 전압은 상기 커패시터형 DA 변환기의 최대 출력 전압에 대한 기준을 설정하고, 상기 제2 기준 전압은 상기 커패시터형 DA 변환기의 최소 출력 전압에 대한 기준을 설정하며,

상기 소정의 범위는 상기 제2 기준 전압 내지 상기 제1 및 제2 기준 전압의 중간값의 범위인 축차 근사형 AD 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 축차 근사형 AD 변환기에 관한 것으로서, 보다 상세하게는 내부 DA 변환기의 출력 전압을 부스팅하는 축차 근사형 AD 변환기에 관한 것이다.

배경 기술

[0002] AD 변환기(Analog to Digital Converter)는 아날로그 입력 전압을 수신하여 이를 디지털 신호로 변환한다. 이러한 AD 변환기 중, 축차 근사형 AD 변환기(Successive Approximation Register Analog to Digital Converter)는 AD 변환시 하나의 비교기를 반복적으로 사용하는 구조를 갖는다. 축차 근사형 AD 변환기는 S/H 회로(Sample and Hold circuit) 및 MDAC(Multiplying Digital to Analog Converter)와 같은 아날로그 회로를 갖지 않기 때문에 간단한 구조를 갖는다. 따라서, 다른 AD 변환기와 비교하여 면적 및 전력 소모가 적다. 또한, 축차 근사형 AD 변환기는 전압 소모가 적어 저전압 회로에 적용하는 것이 용이한 장점이 있다.

[0003] 축차 근사형 AD 변환기는 센서들의 출력 신호를 수신하여 디지털 신호로 변환할 수 있다. 일반적인 센서들은 단일 전압(Single Voltage)의 출력을 갖는다. 따라서, 센서의 출력 신호를 디지털 신호로 변환하는 축차 근사형 AD 변환기는 단일 입력(Single-ended input)의 구조를 가져야 한다.

[0004] 그러나 축차 근사형 AD 변환기가 단일 입력으로 아날로그 입력 전압을 수신하는 경우 AD 변환기 내부의 DA 변환기 출력의 공통 모드 전압이 아날로그 입력 전압 레벨의 범위에 따라 달라지는 특성을 갖게 된다. 그리고 축차 근사형 AD 변환기에서 사용되는 비교기가 N형 일 때, 일정한 값보다 낮은 레벨의 공통 모드 전압이 입력되는 경우나 비교기가 P형 일 때, 일정한 값보다 높은 레벨의 공통 모드 전압이 입력되는 경우 비교기의 성능 저하가 발생한다.

[0005] 특히, N형 비교기의 경우, 비교기가 NMOS 트랜지스터를 통하여 비교할 전압을 입력받는다. 이 때, 비교기에 입력되는 DA 변환기의 출력 전압이 가지는 공통 모드 전압의 범위가 일정한 레벨 이하인 경우, 비교기의 비교 성능이 감속하게 된다. N형 비교기는 낮은 레벨의 입력 공통 모드 전압에서는 비교기의 포화 영역(Saturation region)에 동작점이 형성되지 못하므로 비교기의 전압이득을 확보하기 힘들다. 이러한 비교기의 성능 저하는 축차 근사형 AD 변환기의 성능 저하를 야기한다.

[0006] 종래에는 상기한 문제점을 해결하기 위하여 축차 근사형 AD 변환기가 단일 입력의 아날로그 입력 전압을 입력 받을 때, N형과 P형의 비교기를 사용하여 레일투레일(Rail-to-Rail)의 입력 범위를 가지는 비교기를

사용하였다. 그러나, 레일투레일 비교기를 사용하는 경우, 비교기의 두 입력단 사이에 발생하는 오프셋에 취약한 문제점이 있다.

[0007] 따라서, 단일 입력 구조의 축차 근사형 AD 변환기에 있어서, 비교기의 구조를 변경하지 않으면서 아날로그 입력 전압의 레벨에 상관없이 비교기의 성능을 개선할 수 있는 축차 근사형 AD 변환기가 요구된다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는 축차 근사형 AD 변환기의 비교기의 구조를 변경하지 않으면서 비교기의 성능을 개선하는 것에 있다.

[0009] 본 발명이 해결하고자 하는 다른 과제는 축차 근사형 AD 변환기에 입력되는 아날로그 입력 전압의 레벨에 따른 비교기의 성능 저하를 완화하는 것에 있다.

과제의 해결 수단

[0010] 상기한 과제를 해결하기 위하여 본 발명에 따른 축차 근사형 AD 변환기는 복수의 커패시터를 포함하는 커패시터 어레이 및 복수의 스위치부를 포함하는 스위치 어레이를 포함하고, 외부에서 입력되는 제1 아날로그 입력 전압, 일정한 크기로 입력되는 제2 아날로그 입력 전압, 출력 범위를 설정하는 제1 및 제2 기준 전압 및 공통 전압 중 하나 이상을 제1 제어 신호, 제2 제어 신호 및 샘플 신호에 대응하여 상기 커패시터 어레이에 인가함으로써 제1 및 제2 출력 전압을 출력하는 커패시터형 DA 변환기; 상기 제1 및 제2 출력 전압을 비교하여 비교 결과에 대한 비교 신호를 출력하는 비교기; 상기 비교신호에 대응하여 상기 커패시터 어레이에 인가되는 전압을 제어하기 위한 상기 제2 제어 신호 및 제3 제어 신호를 출력하고, 상기 제1 아날로그 입력 전압에 대한 DA 변환이 완료되면 디지털 출력 신호를 출력하는 축차 근사형 로직부; 및 상기 제3 제어 신호를 수신하여 상기 제1 제어 신호를 생성하며, 상기 제1 및 제2 출력 전압의 레벨이 소정의 범위 내인 경우, 상기 제1 및 제2 출력 전압을 부스팅하는 상기 제1 제어 신호를 출력하는 부스팅 로직부; 를 포함한다.

발명의 효과

[0011] 본 발명은 아날로그 입력 전압의 레벨에 따른 축차 근사형 AD 변환기의 비교기 성능 저하를 완화시킬 수 있다.

[0012] 또한, 본 발명은 축차 근사형 AD 변환기의 비교기의 구조를 변경하지 않으면서 비교기의 성능을 개선하여 축차 근사형 AD 변환기의 제작 비용을 절감하는 효과가 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 축차 근사형 AD 변환기의 일 실시예를 나타내는 블록도이다.
 도 2는 도 1의 축차 근사형 AD 변환기에 입력되는 제1 및 제2 아날로그 입력 전압 레벨의 범위를 나타내는 파형도이다.
 도 3은 도 1의 축차 근사형 AD 변환기에 포함되는 커패시터형 DA 변환기를 상세하게 나타낸 회로도이다.
 도 4는 도 1의 축차 근사형 AD 변환기에 포함되는 축차 근사형 로직부를 상세하게 나타낸 회로도이다
 도 5는 도 1의 축차 근사형 AD 변환기에 사용되는 제어 신호에 따른 축차 근사형 로직부의 동작 상태를 나타내는 타이밍도이다.
 도 6은 도 1의 축차 근사형 AD 변환기에 포함되는 부스팅 로직부를 상세하게 나타낸 회로도이다.
 도 7은 도 1의 축차 근사형 AD 변환기에 포함되는 커패시터형 DA 변환기의 일부를 나타낸 회로도이다.
 도면 8 내지 10은 제1 및 제2 출력 전압의 공통 모드 전압이 제1 기준 전압과 제2 기준 전압의 중간 값 이하로 출력되는 경우, 신호의 변환과정에 따라 커패시터 어레이에 인가되는 전압을 표현한 회로도이다.
 도 11은 본 발명의 실시예에 대한 이해를 돕기 위하여 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 공통 모드 전압이 제1 전원 전압과 제2 전원 전압(1/2 VDD)보다 낮은 레벨로 수렴하지만 부스팅이 이루어 지지 않았을 경우를 표현한 회로도이다.

도 12는 도 1의 축차 근사형 AD 변환기에 포함되는 커패시터형 DA 변환기의 출력 파형을 나타낸 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명한다. 본 명세서 및 특허청구범위에 사용된 용어는 통상적이거나 사전적 의미로 한정되어 해석되지 아니하며, 본 발명의 기술적 사항에 부합하는 의미와 개념으로 해석되어야 한다.
- [0015] 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 바람직한 실시예이며, 본 발명의 기술적 사상을 모두 대변하는 것이 아니므로, 본 출원 시점에서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있다.
- [0016] 도 1은 본 발명의 축차 근사형 AD 변환기의 일 실시예를 나타내는 블록도이다. 본 발명의 축차 근사형 AD 변환기는 10bit의 디지털 출력 신호를 생성하기 위한 축차 근사형 AD 변환기의 경우를 예로 든 것이다. 이하, 축차 근사형 AD 변환기의 구성과 기능은 10bit의 디지털 출력 신호 생성을 위한 구성과 기능을 예로 들어 설명한다.
- [0017] 도 1을 참조하면, 본 발명에 따른 축차 근사형 AD 변환기는 커패시터형 DA 변환기(100), 비교기(200), 축차 근사형 로직부(300) 및 부스팅 로직부(400)를 포함한다.
- [0018] 커패시터형 DA 변환기(100)는 복수의 커패시터를 포함하는 커패시터 어레이 및 복수의 스위치부를 포함하는 스위치 어레이(130)를 포함하고, 외부에서 입력되는 제1 아날로그 입력 전압(Vip), 일정한 크기로 입력되는 제2 아날로그 입력 전압(Vin), 제1 기준 전압(VREF+), 제2 기준 전압(VREF-) 및 공통 전압(VCM) 중 하나 이상을 제1 제어 신호, 제2 제어 신호 및 샘플 신호(Sample)에 대응하여 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)을 출력한다.
- [0019] 커패시터형 DA 변환기(100)는 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)과 제1 기준 전압(VREF+) 및 제2 기준 전압(VREF-)을 수신하고, 후술할 축차 근사형 로직부(300)로부터 제1 제어 신호를 수신하며, 부스팅 로직부(400)로부터 제2 제어 신호를 수신한다. 커패시터형 DA 변환기(100)는 수신된 전압들과 제어 신호들에 대응하여 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)을 출력하여 비교기(200)에 제공할 수 있다.
- [0020] 이 때, 제1 기준 전압(VREF+)은 제1 전원 전압(VDD)과 같은 레벨의 전압을 가질 수 있고, 제2 기준 전압(VREF-)은 제2 전원 전압(VSS)과 같은 레벨의 전압을 가질 수 있다. 여기서 제1 기준 전압(VREF+)은 제2 기준 전압(VREF-) 보다 높은 레벨의 전압이다. 또한, 1/2 VDD는 제1 기준 전압(VREF+)과 제2 기준 전압(VREF-)의 중간 값을 의미할 수 있다. 예를 들어, 제1 기준 전압(VREF+)이 10V 이고 제2 기준 전압(VREF-)이 0V 인 경우, 1/2 VDD 는 5V를 의미할 수 있다. 각 기준 전압이 의미하는 전압 레벨은 축차 근사형 AD 변환기를 사용하는 환경에 따라 달리 설정될 수 있다.
- [0021] 이하 본 발명의 실시예에 따른 도면 및 수식에서 제1 기준 전압(VREF+)은 제1 전원 전압(VDD)로 구성되고, 제2 기준 전압(VREF-)은 제2 전원 전압(VSS)로 구성되는 것을 예로 들어 설명한다.
- [0022] 축차 근사형 AD 변환기는 단일 전압(Single Voltage)의 출력을 갖기 위하여 단일 입력(Single-ended input)의 구조를 가질 수 있는데, 축차 근사형 AD 변환기에 입력되는 제1 아날로그 입력 전압(Vip)은 제2 내지 제1 기준 전압(VREF- 내지 VREF+)의 범위 내의 전압 레벨을 가질 수 있고, 제2 아날로그 입력 전압(Vin)은 제1 기준 전압(VREF+)과 제2 기준 전압(VREF-)의 중간 값(1/2 VDD)을 가질 수 있다.
- [0023] 제1 제어 신호는 하기할 부스팅 로직부(400)가 생성하는 제어 신호를 의미하며, 제1 제어 신호는 부스팅 로직부(400)가 축차 근사형 로직부(300)에서 제공 받은 제3 제어 신호에 대응하여 생성되고, 커패시터형 DA 변환기(100)에 제공된다. 제2 제어 신호는 축차 근사형 로직부(300)가 생성하여 커패시터형 DA 변환기(100)에 제공하는 신호이다. 제1 내지 제3 제어 신호는 모두 디지털 신호이고, 하기할 스위치 어레이(130)에 포함되는 스위치들의 턴 온과 턴 오프를 제어하기 위한 신호이다.
- [0024] 그리고, 샘플 신호(Sample)는 축차 근사형 AD 변환기가 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)을 입력 받고 AD 변환하는 과정에서 로우로 천이 되어 샘플링 및 변환과정이 진행중임을 알리는 신호이다.
- [0025] 도 2는 도 1의 축차 근사형 AD 변환기에 입력되는 제1 및 제2 아날로그 입력 전압 레벨의 범위를 나타내는 파형도이다. 상기한 제1 아날로그 입력 전압(Vip)과 제2 아날로그 입력 전압(Vin)의 전압 레벨의 범위는 도 2를 참조하여 설명될 수 있다.

- [0026] 도 3은 도 1의 축차 근사형 AD 변환기에 포함되는 커패시터형 DA 변환기(100)를 상세하게 나타낸 회로도이다.
- [0027] 도 3을 참조하면, 커패시터형 DA 변환기(100)는 커패시터 어레이 및 스위치 어레이(130)를 포함할 수 있다.
- [0028] 보다 상세하게, 커패시터형 DA 변환기(100)의 커패시터 어레이는 제1 출력 전압(VDAC+)을 생성하는 상부 커패시터 어레이(110)와 제2 출력 전압(VDAC-)을 생성하는 하부 커패시터 어레이(120)를 포함한다.
- [0029] 상부 커패시터 어레이(110)가 포함하는 커패시터를 각각은 제 1 출력 전압(VDAC+)과 연결되는 상판(top plate)과 제1 아날로그 입력 전압(Vip), 제1 기준 전압(VREF+), 제2 기준 전압(VREF-) 및 공통 전압(VCM)과 연결되는 하판(bottom plate)으로 구성될 수 있다. 또한, 하부 커패시터 어레이(120)가 포함하는 커패시터를 각각은 제 2 출력 전압(VDAC-)과 연결되는 상판(top plate)과 제2 아날로그 입력 전압(Vin), 제1 기준 전압(VREF+), 제2 기준 전압(VREF-) 및 공통 전압(VCM)과 연결되는 하판(bottom plate)으로 구성될 수 있다.
- [0030] 그리고, 상부 커패시터 어레이(110) 및 하부 커패시터 어레이(120)는 각각 디지털 출력 신호(Digital_Output)의 MSB(Most Significant Bit)의 값을 결정하는 MSB 커패시터부터 상기 디지털 출력 신호의 LSB(Least Significant Bit)의 값을 결정하는 LSB 커패시터까지 순서에 따라 병렬로 배열되는 복수의 커패시터를 포함한다.
- [0031] 이 때, 각각의 커패시터는 디지털과 아날로그의 변환에 있어서 전하를 차등적으로 분배하기 위하여 다른 크기의 커패시턴스를 가질 수 있다. 하나의 커패시터 어레이에서 제일 큰 커패시턴스를 가지는 커패시터를 MSB(Most Significant Bit) 커패시터라 할 때, 커패시턴스의 크기 순대로 MSB 커패시터, MSB-1 커패시터, MSB-2 커패시터, ..., LSB+1 커패시터, LSB(Least Significant Bit) 커패시터로 볼 수 있다. 하나의 커패시터 어레이에서 MSB 커패시터부터 LSB+1 커패시터까지 병렬로 연결된 순서에 따라 그 커패시턴스의 크기가 반씩 줄어들 수 있다.
- [0032] 스위치 어레이(130)는 복수의 상부 스위치부(131) 및 복수의 하부 스위치부(132)를 포함하고, 복수의 상부 스위치부(131)는 각각 상부 커패시터 어레이(110)의 각 커패시터에 연결되고, 상기 복수의 하부 스위치부(132)는 각각 하부 커패시터 어레이(120)의 각 커패시터에 연결된다.
- [0033] 각각의 상부 스위치부(131)는 연결된 커패시터에 제1 기준 전압(VREF+)을 인가하기 위한 제1 스위치, 연결된 커패시터에 제2 기준 전압(VREF-)을 인가하기 위한 제2 스위치, 연결된 커패시터에 제1 아날로그 입력 전압(Vip)을 인가하기 위한 제3 스위치, 연결된 커패시터에 공통 전압(VCM)을 인가하기 위한 제4 스위치를 포함한다. 각각의 상부 스위치부(131)가 포함하는 제1 내지 제4 스위치는 제1 내지 제4 상부 스위치로 표현될 수 있다.
- [0034] 각각의 상기 하부 스위치부(132)는 연결된 커패시터에 제1 기준 전압(VREF+)을 인가하기 위한 제1 스위치, 연결된 커패시터에 제2 기준 전압(VREF-)을 인가하기 위한 제2 스위치, 연결된 커패시터에 제2 아날로그 입력 전압(Vin)을 인가하기 위한 제3 스위치, 연결된 커패시터에 공통 전압(VCM)을 인가하기 위한 제4 스위치를 포함한다. 각각의 하부 스위치부(132)가 포함하는 제1 내지 제4 스위치는 제1 내지 제4 하부 스위치로 표현될 수 있다.
- [0035] 그리고 제1 스위치 및 제2 스위치는 제1 제어 신호에 의하여 턴 온 또는 턴 오프가 제어되고, 제3 스위치는 샘플 신호(Sample)에 의하여 턴 온 또는 턴 오프가 제어되며, 제4 스위치는 제2 제어 신호에 의하여 턴 온 또는 턴 오프가 제어될 수 있다.
- [0036] 축차 근사형 AD 변환기가 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)을 디지털 신호로 변환하는 과정에서 아날로그 입력 전압을 샘플하고, 공통 전압 인가 후에 MSB 커패시터부터 LSB+1 커패시터까지 순차적으로 각 커패시터에 연결된 제1 내지 제4 스위치가 스위칭될 수 있다. 이 때, 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)의 범위가 레일투레일 입력 범위 인 경우, MSB 커패시터부터 LSB+2 커패시터에 연결된 스위치가 스위칭하고, 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)의 범위가 레일투레일의 절반의 입력 범위인 경우, MSB-1 커패시터부터 LSB+1 커패시터에 연결된 스위치가 스위칭한다. 본 발명은 절반의 입력범위를 가지는 DA 변환기를 대상으로 하나, 하기할 출력 전압의 부스팅을 위해 MSB 커패시터에도 스위칭이 이루어 질 수 있다.
- [0037] 비교기(200)는 커패시터형 DA 변환기에서 생성된 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)을 수신하여 두 전압의 레벨을 비교하여 비교 신호(Comp_out)를 출력한다. 비교기는 P형 비교기와 N형 비교기가 사용될 수 있고, 본 발명에서 비교기(200)는 N형 비교기를 대상으로 한다.
- [0038] 비교기(200)는 차동 프리앰프(Differential Pre-Amplifier, 미도시)를 포함할 수 있고, 비교기(200)는 수신된

제1 출력 전압(VDAC+)과 제2 출력 전압(VDAC-)을 비교한 결과를 증폭하여 비교 신호(Comp_out)로 출력할 수 있다. 예를 들어, 제1 출력 전압(VDAC+)이 제2 출력 전압(VDAC-)보다 높은 경우 비교기(200)는 비교 신호(Comp_out)로서 1을 출력하고, 제1 출력 전압(VDAC+)이 제2 출력 전압(VDAC-)보다 낮은 경우 비교기(200)는 비교 신호(Comp_out)로서 0을 출력할 수 있다.

- [0039] 또한, 비교기(200)는 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)에 대한 비교가 완료될 때 마다 비교 동작의 완료를 알리는 유효 신호(valid)를 하기할 축차 근사형 로직부(300)에 전송할 수 있다.
- [0040] 축차 근사형 로직부(300)는 비교신호(Comp_out)에 대응하여 커패시터형 DA 변환기(100)의 커패시터 어레이에 인가되는 전압을 제어하기 위한 제2 제어 신호 및 제3 제어 신호를 출력하고, 제1 아날로그 입력 전압(Vip)에 대한 모든 DA 변환이 완료되면 그 결과 값인 디지털 출력 신호(Digital_output)를 출력할 수 있다.
- [0041] 그리고, 커패시터형 DA 변환기(100)와 축차 근사형 로직부(300)에는 샘플 신호(Sample)가 입력될 수 있다. 샘플 신호(Sample)는 커패시터형 DA 변환기(100)의 각 커패시터에 전달됨으로써, 상부 커패시터 어레이(110)에 연결된 상부 스위치부(131) 및 하부 커패시터 어레이(120)에 연결된 하부 스위치부(132)의 제3 스위치에 입력되어 해당 커패시터에 제1 아날로그 입력 전압(Vip) 또는 제2 아날로그 입력 전압(Vin)의 인가 여부를 제어할 수 있다. 또한, 샘플 신호(Sample)는 축차 근사형 로직부(300)에 전달되어 하기할 제2 제어 신호의 생성에 이용될 수 있다.
- [0042] 축차 근사형 로직부(300)의 상세한 구성과 기능은 도 4를 참조하여 설명한다. 도 4는 축차 근사형 로직부(300)를 상세하게 나타낸 회로도이다.
- [0043] 도 4를 참조하면, 축차 근사형 로직부(300)는 시프트 레지스터(Shift Register, 310), 메모리(Memory, 320), 제어 로직(Control Logic, 330), 복수의 논리 게이트들(340) 및 가변 지연 라인(Variable Delay Line, 350)을 포함한다.
- [0044] 시프트 레지스터(310)와 메모리(320)는 복수의 플립 플롭(Flip Flop, F/F)을 포함할 수 있다.
- [0045] 시프트 레지스터(310)의 각 플립 플롭들은 비교기(200)의 비교 동작 완료를 알리는 유효(valid) 신호에 동기되어 동작을 수행함으로써 클럭 신호(clk1 내지 clk10)를 메모리(320)에 순차적으로 제공할 수 있다.
- [0046] 메모리(320)는 시프트 레지스터(310)의 클럭 신호(clk1 내지 clk10)에 동기되어 비교기(200)의 비교 신호(Comp_out)를 저장할 수 있고, 메모리(320)에 저장된 값을 이용하여 제3 제어 신호(Cp0 내지 Cp10, Cm0 내지 Cm10)를 생성할 수 있다.
- [0047] 제어 로직(330)은 메모리(320)에서 출력되는 제3 제어 신호 중 일부(Cp1)를 수신하여 제2 제어 신호 중 일부(S0)를 생성할 수 있다.
- [0048] 복수의 논리 게이트들(340)은 샘플 신호(Sample)와 클럭 신호(clk1 내지 clk10)에 논리 연산을 통해 제2 제어 신호 중 나머지(S1 내지 S10)를 생성할 수 있다. 복수의 논리 게이트들(340)은 NOR 게이트로 구성될 수 있다.
- [0049] 가변 지연 라인(Variable Delay Line, 350)은 커패시터형 DA 변환기(100)의 커패시터 들이 완전히 안정화 되는 시간을 확보하기 위하여 유효(valid) 신호를 일정 시간 지연시킨다. 커패시터형 DA 변환기(100)의 커패시터의 커패시턴스 크기는 MSB 커패시터가 제일 크고, MSB-1, MSB-2 ... 의 순서로 커패시턴스의 크기가 줄어들게 된다. 그리고 커패시턴스의 크기가 클수록 안정화를 위한 시간이 더 많이 요구되므로, 각 커패시턴스의 크기를 감안하여 유효(valid) 신호를 달리 지연시켜야 한다. 가변 지연 라인(350)은 커패시턴스의 크기를 고려하여 유효(valid) 신호를 다양한 시간으로 지연시킬 수 있다.
- [0050] 여기서 제2 제어 신호(S0 내지 S10)는 커패시터형 DA 변환기(100)의 스위치 어레이(130)가 포함하는 제4 스위치에 전달되어, 해당 제4 스위치가 연결된 커패시터에 공통 전압(VCM)의 인가 여부를 제어한다.
- [0051] 제어 로직(330)은 샘플 신호(Sample)와 메모리(320)의 2번째 플립 플롭(322)에서 생성되는 제3 제어 신호(Cp1)를 수신하는 하나의 OR 게이트(331) 및 OR 게이트(331)의 출력과 클럭 신호(clk10)를 수신하여 제2 제어 신호(S0)를 출력하는 하나의 NOR 게이트(332)를 포함한다. 여기서 제2 제어 신호(S0)는 NOR 게이트(332)로부터 출력되어 커패시터형 DA 변환기(100)가 포함하는 상부 커패시터 어레이(110) 및 하부 커패시터 어레이(120)의 MSB 커패시터에 연결된 제4 스위치에 전달되는 신호로 이해될 수 있다.
- [0052] 다른 제2 제어 신호(S1 내지 S10)는 각각 대응되는 클럭 신호(clk1 내지 clk10)와 샘플 신호(Sample)를 수신하는 복수의 논리 게이트들(340)을 통해 생성되어 커패시터형 DA 변환기(100)에 제공된다.

- [0053] 도 5는 도 1의 축차 근사형 AD 변환기에 사용되는 제어 신호에 따른 축차 근사형 로직부(300)의 동작 상태를 나타내는 타이밍도이다.
- [0054] 제2 제어 신호(S1 내지 S10)는 각각 클럭 신호(clk1 내지 clk10)와 샘플 신호(Sample)의 NOR 연산을 통하여 커패시터형 DA 변환기(100)에 출력된다. 그리고 제2 제어 신호(S0)는 메모리(320)의 2 번째 플립 플롭(322)에서 생성되는 제3 제어 신호(Cp1)에 따라서 변환 과정 동안 하이 또는 로우의 값을 가질 수 있다.
- [0055] 보다 상세하게, 메모리(320)의 2 번째 플립 플롭(322)에서 생성되는 제3 제어 신호(Cp1)가 하이일 때, 제어 로직(330)에 의하여 제2 제어 신호(S0)는 로우로 천이되고, 메모리(320)의 2 번째 플립 플롭(322)에서 생성되는 제3 제어 신호(Cp1)가 로우일 때, 제2 제어 신호(S0)는 제어 로직(330)에 의하여 하이로 천이된다.
- [0056] 메모리(320)의 2 번째 플립 플롭(322)이란 메모리(320)에 포함된 복수의 플립 플롭 중 첫 번째 유효(valid) 신호에 대응하여 발생하는 클럭 신호(clk1)를 수신하여 제어 신호(Cp1)를 생성하는 플립 플롭(322)을 의미한다 또한, 2번째 플립 플롭(322)은 메모리(320)의 플립 플롭들 중, 상부 커패시터 어레이(110)의 MSB-1 커패시터에 제2 기준 전압(VREF-) 또는 하부 커패시터 어레이(120)의 MSB-1 커패시터에 제1 기준 전압(VREF+)의 인가를 제어하기 위한 제3 제어 신호(Cp1)를 생성하는 플립 플롭으로 이해될 수 있다.
- [0057] 여기서 첫 번째 유효(valid) 신호란, 비교기(200)가 아날로그 입력 전압에 대해 한번의 비교를 끝낼 때마다 생성하는 유효(valid) 신호 중 첫 번째로 생성되는 신호를 의미할 수 있다
- [0058] 부스팅 로직부(400)는 제3 신호(Cp0 내지 Cp10, Cm0 내지 Cm10)에 대응하여 상부 커패시터 어레이(110) 및 하부 커패시터 어레이(120)의 MSB 커패시터에 제1 기준 전압(VREFM+)이 인가되도록 하는 제1 제어 신호(Cp0-, Cm0+)를 출력함으로써 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)을 부스팅한다.
- [0059] 도 6은 도 1의 축차 근사형 AD 변환기에 포함되는 부스팅 로직부(400)를 상세하게 나타낸 회로도이다.
- [0060] 부스팅 로직부(400)는 논리 회로(410)를 포함한다. 논리 회로(410)는 제3 제어 신호 중 일부(Cp0, Cm0, Cp1)에 대응하여 상부 커패시터 어레이(110) 및 하부 커패시터 어레이(120)의 MSB 커패시터에 인가되는 전압을 제어하는 제1 제어 신호 중 일부(Cp0-, Cm0+)를 생성한다.
- [0061] 이 외에 부스팅 로직부(400)는 제3 제어 신호(Cp0, Cp1 내지 Cp10, Cm1 내지 Cm10)에 대한 버퍼 역할을 수행하는 복수의 버퍼(401 내지 406)로 구성된 버퍼 어레이를 포함할 수 있다. 상기한 복수의 버퍼(401 내지 406)를 통해 제3 제어 신호(Cp0, Cp1 내지 Cp10, Cm1 내지 Cm10)는 제1 제어 신호(Cp0+, Cm0-, Cp1' 내지 Cp10', Cm1' 내지 Cm10')가 되어 커패시터형 DA 변환기(100)에 전달된다.
- [0062] 여기서 제1 제어 신호(Cp0+)와 제1 제어 신호(Cp0-)는 각각 부스팅 로직부(400)에서 제3 제어 신호(Cp0)가 분리되어 생성된 것으로 볼 수 있다. 또한, 제1 제어 신호(Cm0+)와 제1 제어 신호(Cm0-)는 각각 부스팅 로직부(400)에서 제3 제어 신호(Cm0)가 분리되어 생성된 것으로 볼 수 있다.
- [0063] 논리 회로(410)는 2개의 OR게이트를 포함할 수 있는데, OR 게이트(411)는 제3 제어 신호(Cp0)와 제3 제어 신호(Cp1)을 입력으로 받아 OR 연산 후, 제1 제어 신호(Cp0-)를 커패시터형 DA 변환기(100)에 출력하고, OR 게이트(412)는 제3 제어 신호(Cm0)와 제3 제어 신호(Cp1)을 입력으로 받아 OR 연산 후, 제1 제어 신호(Cm0+)를 커패시터형 DA 변환기(100)에 출력한다.
- [0064] 도 6에 따르면, 제3 제어 신호(Cp1)가 하이로 입력 되는 경우, 제1 제어 신호(Cp0-)와 제1 제어 신호(Cm0+)가 OR 게이트(411, 412)에 의하여 하이로 출력되어 커패시터형 DA 변환부(100)에 출력되는 것을 알 수 있다.
- [0065] 부스팅 로직부(400)에서 제공하는 제1 제어 신호(Cp0+, Cp0-, Cm0+, Cm0-, Cp1' 내지 Cp10' 및 Cm1' 내지 Cm10')가 커패시터형 DA 변환기(100)의 스위치를 제어하여 커패시터형 DA 변환기(100)의 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)를 부스팅하는 과정은 도 7을 통해 설명한다.
- [0066] 도 7은 도 1의 축차 근사형 AD 변환기가 포함하는 커패시터형 DA 변환기(100)가 포함하는 커패시터와 스위치 중 일부를 나타낸 회로도이다.
- [0067] 도 7을 참조하면, 커패시터형 DA 변환기(100)는 상부 커패시터 어레이(110)와 상부 스위치부(131), 하부 커패시터 어레이(120)와 하부 스위치부(132)를 포함하고, 각각의 상부 스위치부(131)는 제1 내지 제4 스위치(131a 내지 131d, 131e 내지 132g)를 포함하고, 각각의 하부 스위치부(132)는 제1 내지 제4 스위치(132a 내지 132d, 132e 내지 132h)를 포함한다. 설명의 편의상 미도시된 커패시터와 스위치에 대해선 설명은 생략한다.

- [0068] 상부 커패시터 어레이(110)의 MSB 커패시터(111)의 하판에는 MSB 커패시터(111)에 제1 기준 전압(VREF+)의 인가를 제어하는 제1 스위치(131a), 제2 기준전압(VREF-)의 인가를 제어하는 제2 스위치(131b), 제1 아날로그 입력 전압(Vip)의 인가를 제어하는 제3 스위치(131c), 공통 전압(VCM)의 인가를 제어하는 제4 스위치(131d)가 연결될 수 있다.
- [0069] 그리고, 제1 스위치(131a)의 턴 온과 턴 오프는 제1 제어 신호(Cm0+)에 의하여 제어되고, 제2 스위치(131b)의 턴 온과 턴 오프는 제1 제어 신호(Cp0+)에 의하여 제어되며, 제3 스위치(131c)의 턴 온과 턴 오프는 샘플 신호(Sample)에 의하여 제어되고, 제4 스위치(131d)의 턴 온과 턴 오프는 제2 제어 신호(S0)에 의하여 제어된다.
- [0070] 하부 커패시터 어레이(120)의 MSB 커패시터(121)의 하판에는 MSB 커패시터(121)에 제1 기준 전압(VREF+)의 인가를 제어하는 제1 스위치(132a), 제2 기준전압(VREF-)의 인가를 제어하는 제2 스위치(132b), 제2 아날로그 입력 전압(Vin)의 인가를 제어하는 제3 스위치(132c), 공통 전압(VCM)의 인가를 제어하는 제4 스위치(132d)가 연결될 수 있다.
- [0071] 그리고, 제1 스위치(132a)의 턴 온과 턴 오프는 제1 제어 신호(Cp0-)에 의하여 제어 되고, 제2 스위치(132b)의 턴 온과 턴 오프는 제1 제어 신호(Cm0-)에 의하여 제어되며, 제3 스위치(132c)의 턴 온과 턴 오프는 샘플 신호(Sample)에 의하여 제어되고, 제4 스위치(132d)의 턴 온과 턴 오프는 제2 제어 신호(S0)에 의하여 제어된다.
- [0072] 상부 커패시터 어레이(110)의 MSB-1 커패시터(112)의 하판에는 MSB 커패시터(112)에 제1 기준 전압(VREF+)의 인가를 제어하는 제1 스위치(131e), 제2 기준전압(VREF-)의 인가를 제어하는 제2 스위치(131f), 제1 아날로그 입력 전압(Vip)의 인가를 제어하는 제3 스위치(131g), 공통 전압(VCM)의 인가를 제어하는 제4 스위치(131h)가 연결될 수 있다.
- [0073] 그리고, 제1 스위치(131e)의 턴 온과 턴 오프는 제1 제어 신호(Cm1')에 의하여 제어되고, 제2 스위치(131f)의 턴 온과 턴 오프는 제1 제어 신호(Cp1')에 의하여 제어되고, 제3 스위치(131g)의 턴 온과 턴 오프는 샘플 신호(Sample)에 의하여 제어되며, 제4 스위치(131h)의 턴 온과 턴 오프는 제2 제어 신호(S1)에 의하여 제어된다.
- [0074] 하부 커패시터 어레이(122)의 MSB-1 커패시터(122)의 하판에는 MSB 커패시터(122)에 제1 기준 전압(VREF+)의 인가를 제어하는 제1 스위치(132e), 제2 기준전압(VREF-)의 인가를 제어하는 제2 스위치(132f), 제2 아날로그 입력 전압(Vin)의 인가를 제어하는 제3 스위치(132g), 공통 전압(VCM)의 인가를 제어하는 제4 스위치(132h)가 연결될 수 있다.
- [0075] 그리고, 제1 스위치(132e)의 턴 온과 턴 오프는 제1 제어 신호(Cp1')에 의하여 제어되고, 제2 스위치(132f)의 턴 온과 턴 오프는 제1 제어 신호(Cm1')에 의하여 제어되며, 제3 스위치(132g)의 턴 온과 턴 오프는 샘플 신호(Sample)에 의하여 제어되고, 제4 스위치(132h)의 턴 온과 턴 오프는 제2 제어 신호(S1)에 의하여 제어된다.
- [0076] 도면 6과 도면 7을 같이 살펴보면, 제3 제어 신호(Cp1)가 하이로 부스팅 로직부(400)에 입력되는 경우, 부스팅 로직부(400)는 내부의 논리 연산에 따라 제1 제어 신호(Cp0-)와 제1 제어 신호(Cm0+)를 하이로 커패시터형 DA 변환기(100)에 제공한다. 커패시터형 DA 변환기(100)에 제공된 제1 제어 신호(Cp0-)는 스위치(131a)를 턴 온하고, 커패시터형 DA 변환기(100)에 제공된 제1 제어 신호(Cm0+)는 스위치(132a)를 턴 온 하게 된다. 또한, 상기하였듯이 제3 제어 신호(Cp1)가 하이로 제공되는 경우, 제2 제어 신호(S0)가 제어 로직(330)에 의하여 로우로 천이하게 되므로, 상부 커패시터 어레이(110)의 MSB 커패시터(111)와 하부 커패시터 어레이(120)의 MSB 커패시터(121)에는 제1 기준 전압(VREF+)이 인가된다.
- [0077] 결과적으로, 제1 커패시터 어레이(110)가 생성하는 제1 출력 전압(VDAC+)과 제2 커패시터 어레이(120)가 생성하는 제2 출력 전압(VDAC-)이 부스팅 되어 비교기(200)에 입력되는 효과가 있다.
- [0078] 아날로그 전압이 입력되어 커패시터형 DA 변환기에서 샘플링되는 과정은 다음과 같다.
- [0079] 제1 아날로그 입력 전압(Vip)과 제2 아날로그 입력 전압(Vin)이 스위칭부(130)의 스위칭에 의하여 커패시터형 DA 변환기(100)에 입력되면, 커패시터형 DA 변환기(100)는 제1 아날로그 입력 전압(Vip)과 제2 아날로그 입력 전압(Vin)을 샘플링한다. 이 때, 커패시터형 DA 변환기(100)의 모든 스위치에는 상기한 스위칭에 의하여 샘플 신호(sample)가 제공되므로, 커패시터형 DA 변환기(100)의 각 커패시터는 전하 분배를 통하여 커패시터의 크기에 비례하는 전하량을 갖게 된다. 이 때, 제1 출력 전압(VDAC+)과 제2 출력 전압(VDAC-)을 각각 출력하는 출력단이 서로 연결된다.
- [0080] 따라서 제1 출력 전압(VDAC+)과 제2 출력 전압(VDAC-)은 각각 같은 레벨의 전압을 갖게 되고 이를 공통 전압(VCM)으로 볼 수 있다. 여기서 공통 전압(VCM)은 제1 아날로그 입력 전압(Vip)과 제2 아날로그 입력 전압(Vin)

의 중간 값일 수 있다.

[0081] 샘플링 과정 이후, 커패시터형 DA 변환기(100)에는 신호의 변환을 위하여 축차 근사형 로직부(300)에 의해 제2 제어 신호(S0 내지 S10)가 제공된다. 따라서 각각의 상부 커패시터 어레이(110)는 공통 전압(VCM)과 제1 아날로그 입력 전압(Vip)의 차이만큼의 레벨을 갖는 제1 출력 전압(VDAC+)을 생성하고, 하부 커패시터 어레이(120)는 공통 전압(VCM)과 제2 아날로그 입력 전압(Vin)의 차이만큼의 레벨을 갖는 제2 출력 전압(VDAC-)을 생성한다.

[0082] 이 때, 커패시터형 DA 변환기(100)의 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 레벨이 제1 기준 전압(VREF+)와 제2 기준 전압(VREF-)의 중간 값 이하라면, N형 비교기(200)의 성능이 저하될 수 있다.

[0083] 이러한 문제점을 해결하기 위하여 본 발명에 따른 축차 근사형 로직부(300)는 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 레벨이 제1 기준 전압(VREF+)과 제2 기준 전압(VREF-)의 중간 값 이하일 때, 상기한 것과 같이 축차 근사형 로직부(300) 및 부스팅 로직부(400)가 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)을 부스팅하는 제1 제어 신호를 출력함으로써 비교기(200)의 성능 저하를 방지할 수 있다.

[0084] 도면 8 내지 10은 커패시터형 DA 변환기(100)가 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)을 샘플링하고, 신호의 변환 과정에 따라 커패시터 어레이에 인가되는 전압을 표현한 회로도이다.

[0085] 도면 8은 커패시터형 DA 변환기(100)의 제1 아날로그 입력 전압(Vip) 및 제2 아날로그 입력 전압(Vin)에 대한 샘플링 과정을 나타낸다. 단일 입력 모드인 경우 제1 아날로그 입력 전압(Vip)에는 제2 내지 제1 기준 전압(VREF- 내지 VREF+) 범위의 전압이 입력되고, 제2 아날로그 입력 전압(Vin)에는 제1 기준 전압(VREF+)과 제2 기준 전압(VREF-)의 중간 값이 샘플링된다. 샘플링 과정에서 상부 커패시터 어레이(110)와 하부 커패시터 어레이(120)는 서로 연결되어 같은 전압으로 충전된다.

[0086] 도 9는 커패시터형 DA 변환기(100)의 첫 번째 신호 변환 과정을 나타낸다. 샘플링 과정 이후, 상부 커패시터 어레이(110)와 하부 커패시터 어레이(120)의 각 커패시터에 공통 전압(VCM)이 인가된다. 여기서 공통 전압(VCM)의 값은 제1 아날로그 입력 전압(Vip)과 제2 아날로그 입력 전압(Vin)의 중간 값을 갖는다.

[0087] 상부 커패시터 어레이(110)와 하부 커패시터 어레이(120)의 각 커패시터에 공통 전압(VCM)이 인가될 때, 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)은 다음과 같다.

[0088] <수식 1>

$$VDAC+ = 2VCM - V_{ip}$$

$$VDAC- = 2VCM - V_{in}$$

[0089]

[0090] 그리고 <수식 1>에 따를 때, 제1 아날로그 입력 전압(Vip)에 제2 전원 전압(VSS=VREF-)이 입력되고, 제2 아날로그 입력 전압(Vin)에 1전원 전압(VDD=VREF+) 및 제2 전원 전압(VSS)의 중간 값(1/2 VDD)가 입력 되었을 때 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)은 다음과 같다.

[0091] <수식 2>

$$VDAC+ = \frac{1}{2} VDD$$

$$VDAC- = VSS$$

[0092]

[0093] <수식 2>의 결과가 나올 때, 제1 출력 전압(VDAC+)의 레벨이 제2 출력 전압(VDAC-)의 레벨보다 큰 것을 알 수 있고, 이러한 경우, 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 공통 모드 전압은 제1 전원 전압과 제2 전원 전압(1/2 VDD)보다 낮은 레벨로 수렴하게 된다.

[0094] 도면 10은 커패시터형 DA 변환기(100)에 인가되는 전압의 부스팅이 이루어 지는 과정을 나타낸 회로도이다.

[0095] 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 공통 모드 전압이 제1 전원 전압과 제2 전원 전압(1/2 VDD)보

다 낮은 레벨로 수렴하게 되는 것을 방지하기 위하여, 축차 근사형 로직부(300)는 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 부스팅을 위한 제1 제어 신호를 커패시터형 DA 변환기(100)에 제공한다. 커패시터형 DA 변환기(100)는 부스팅을 위한 제어 신호에 대응하여 상부 커패시터 어레이(110) 및 하부 커패시터 어레이(120)의 MSB 커패시터(111, 121)에 인가되는 전압을 제1 기준 전압(VREF+)으로 스위칭한다. 또한, 상부 커패시터 어레이(110)의 MSB-1 커패시터(112)에 인가되는 전압을 제2 기준 전압(VREF-)으로 스위칭하고, 하부 커패시터 어레이(120)의 MSB-1 커패시터(122)에 인가되는 전압을 제1 기준 전압(VREF+)로 스위칭한다.

[0096] <수식 3>

$$VDAC+ = \frac{7}{16} VDD$$

$$VDAC- = \frac{3}{16} VDD$$

[0097]

[0098] <수식 3>은 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)에 대해 부스팅이 이루어 지지 않았을 때를 나타낸 수식이다. 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)이 모두 제1 전원 전압과(VDD) 제2 전원 전압(VSS)의 중간 값(1/2 VDD)이하 인 것을 알 수 있다.

[0099] <수식 4>

$$VDAC+ = \frac{13}{16} VDD$$

$$VDAC- = \frac{9}{16} VDD$$

[0100]

[0101] <수식 4>는 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)에 대해 상기한 부스팅이 이루어 졌을 때의 결과를 나타낸다. 상기한 <수식 3>의 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)에 비하여 출력 공통 모드의 전압이 7/16 VDD 만큼 증가하였으며, 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)이 모두 제1 전원 전압(VDD)과 제2 전원 전압(VSS)의 중간 값(1/2 VDD)이상 인 것을 알 수 있다.

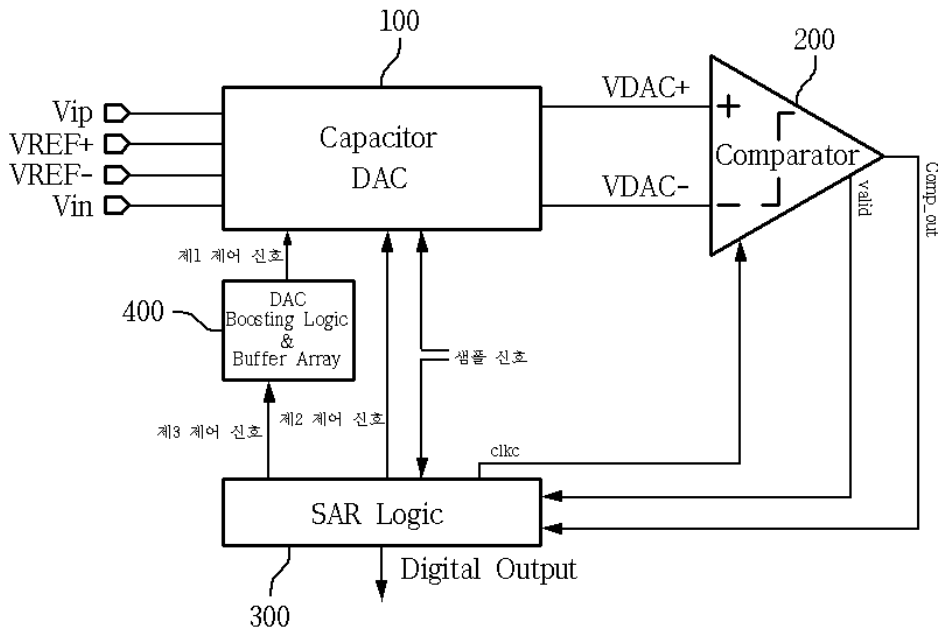
[0102] 도 11은 본 발명의 실시예에 대한 이해를 돕기 위하여 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 공통 모드 전압이 제1 전원 전압과 제2 전원 전압(1/2 VDD)보다 낮은 레벨로 수렴하지만 부스팅이 이루어 지지 않았을 경우를 표현한 회로도이다. 이러한 경우, 축차 근사형 AD 변환기는 아날로그 입력에 대한 샘플링 과정 이후의 신호 변환 과정에서 MSB 커패시터에 대해 공통 전압(VCM)의 인가를 유지하게 된다. 즉 앞서 설명된 <수식 3>의 경우와 같이 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)이 모두 제1 전원 전압과(VDD) 제2 전원 전압(VSS)의 중간 값(1/2 VDD)이하이기 때문에 N형 비교기(200)의 성능이 저하될 수 있다.

[0103] 도 12는 도 1의 커패시터형 DA 변환기의 출력 파형을 나타낸 회로도이다.

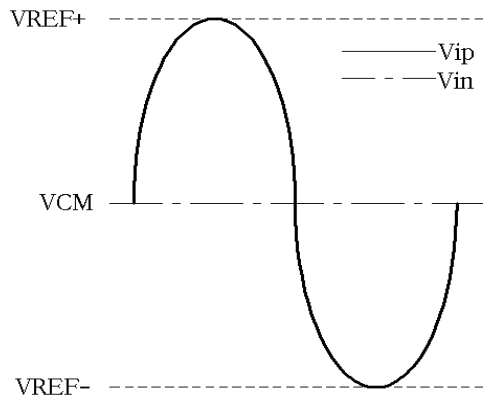
[0104] 도 12를 참조하면, 제1 아날로그 입력 전압(Vip)이 제2 전원 전압(VSS)로 샘플 된 경우를 예시한다. 상기한 2 번째 변환 과정에서 커패시터 DA 변환기(100)는 커패시터 어레이의 MSB 커패시터(111, 121)에 인가되는 전압을 제1 기준 전압(VREF+)으로 스위칭 하여 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)을 7/16 VDD 만큼 증가시킨다. 그 결과로 제1 출력 전압(VDAC+) 및 제2 출력 전압(VDAC-)의 공통 모드 전압이 제1 전원 전압(VDD)과 제2 전원 전압(VSS)의 중간 값(1/2 VDD)이상으로 출력 되어 부스팅 되었음을 알 수 있다.

도면

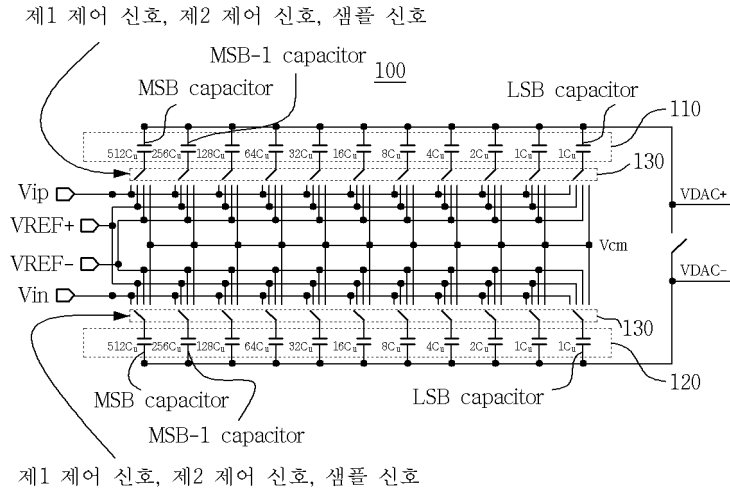
도면1



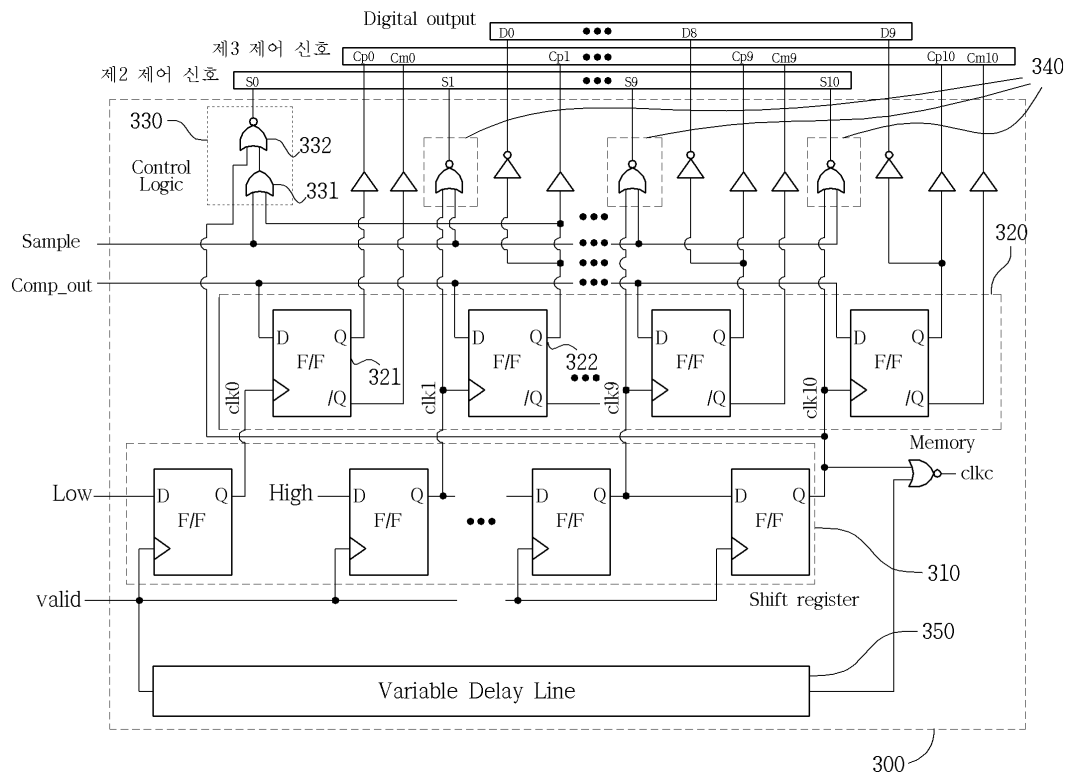
도면2



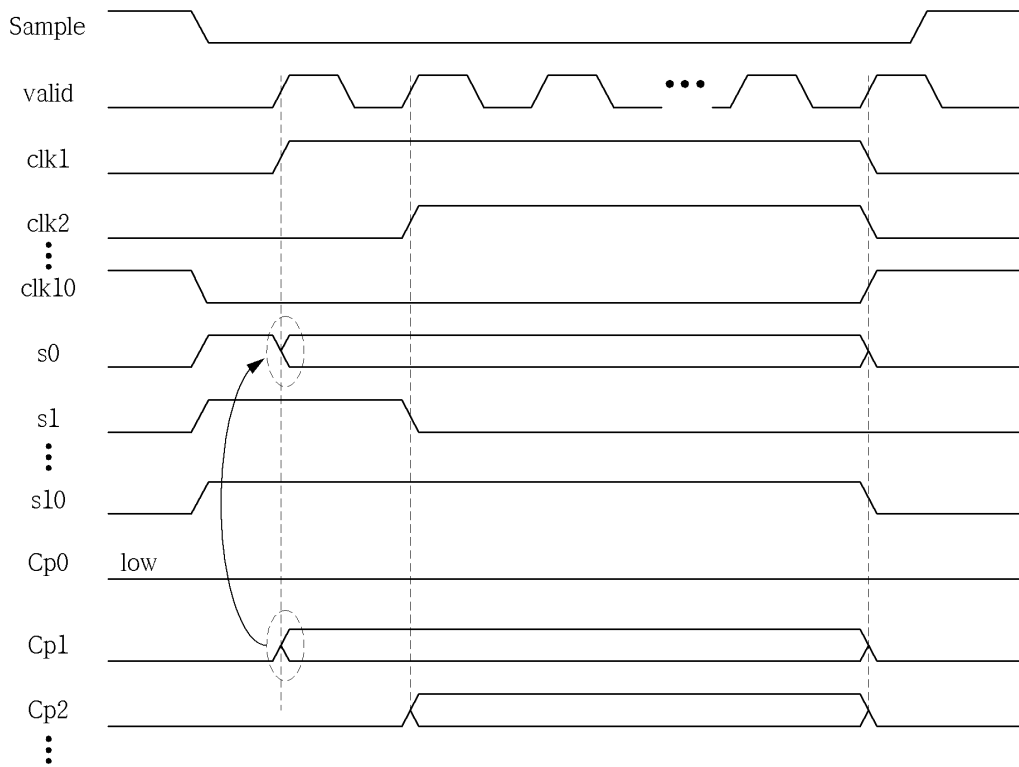
도면3



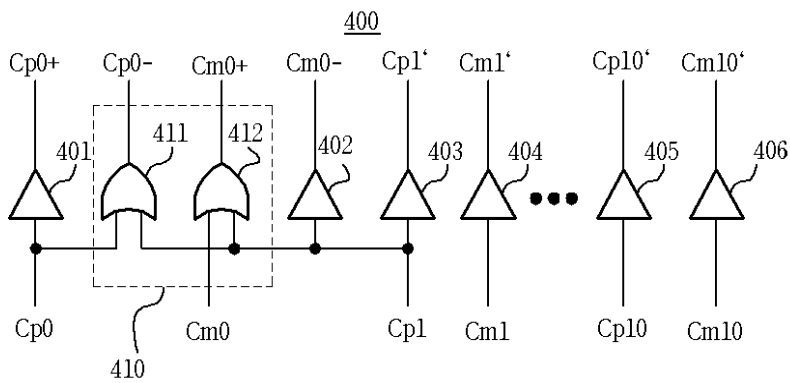
도면4



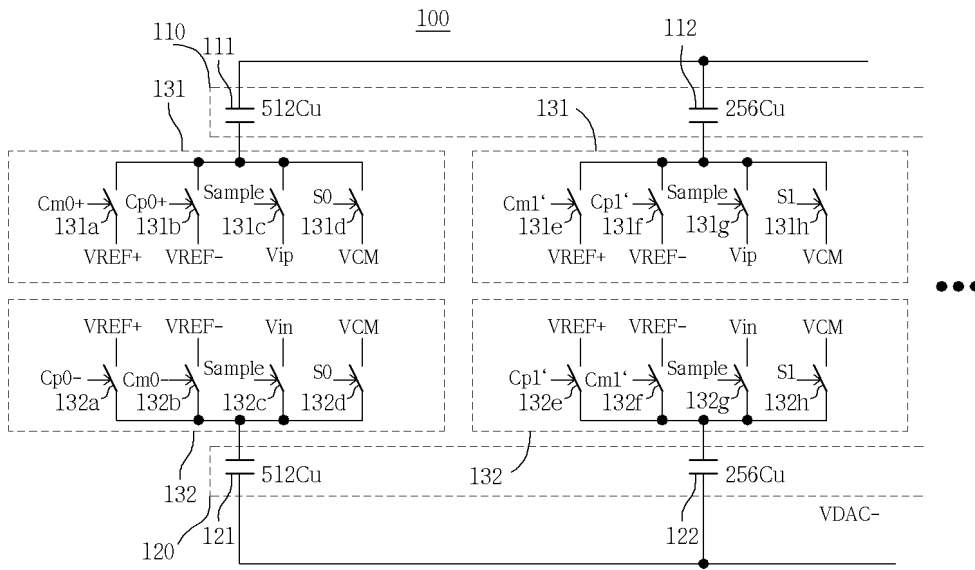
도면5



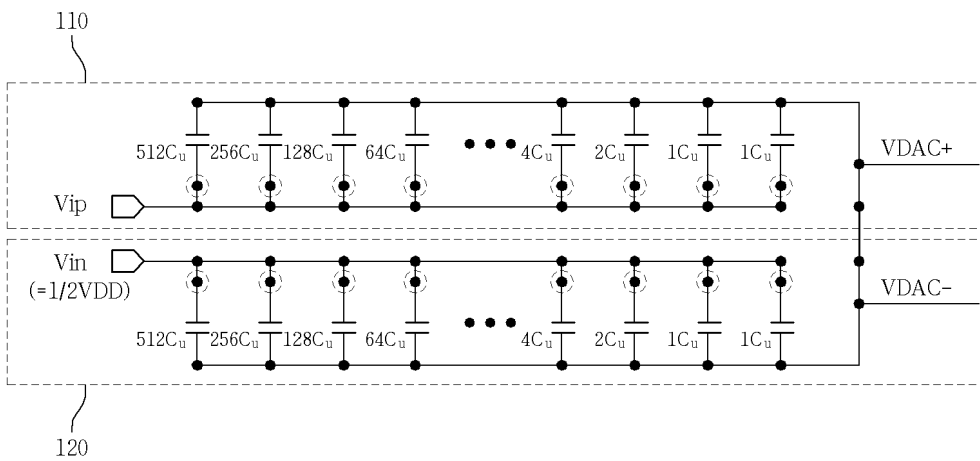
도면6



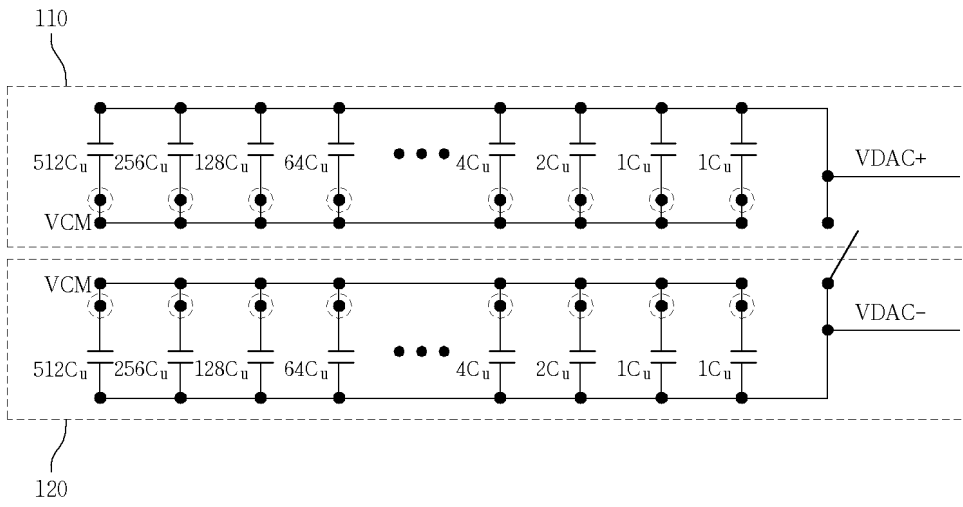
도면7



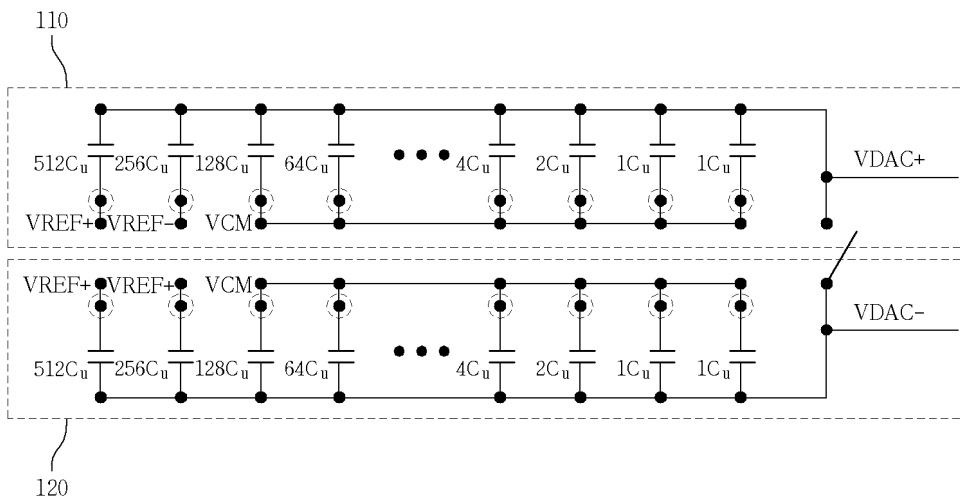
도면8



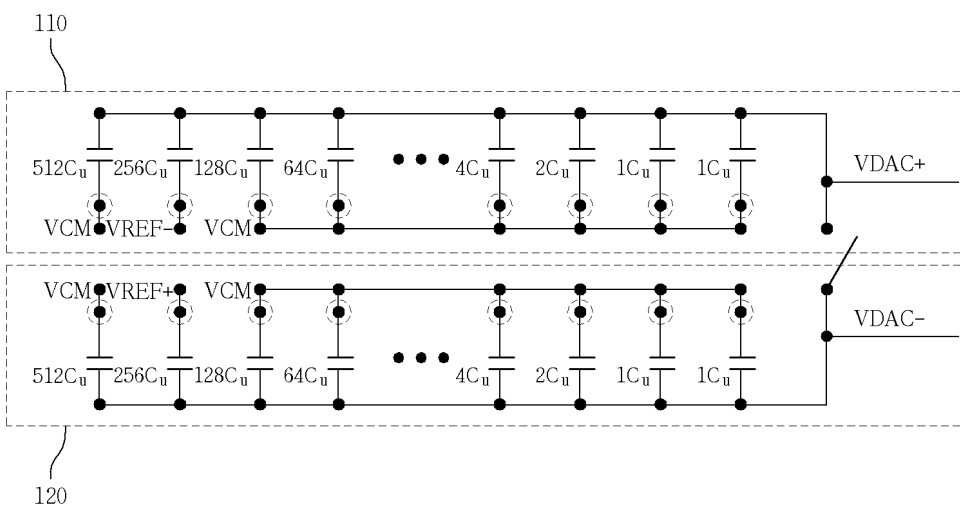
도면9



도면10



도면11



도면12

