

(56) 선행기술조사문헌

US20040235252 A1*

US20080017934 A1*

US20080020537 A1*

US20140070316 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 상에 형성되고, 산화물을 포함하는 절연막 패턴을 포함하는 핀으로, 상기 절연막 패턴은 상기 핀의 상부 영역에 형성된 핀;

상기 기관 상에 형성되고, 상기 핀의 측벽을 덮는 필드 절연막으로, 상기 절연막 패턴의 두께보다 두께가 두꺼운 필드 절연막;

상기 절연막 패턴 상에, 상기 절연막 패턴과 이격되어 형성되는 와이어 패턴;

상기 와이어 패턴의 둘레를 감싸도록 형성된 게이트 전극;

상기 와이어 패턴과 상기 게이트 전극 사이 및 상기 게이트 전극과 상기 절연막 패턴 사이에 배치되고, 상기 절연막 패턴과 접촉하는 게이트 절연막;

상기 게이트 전극의 양측에 형성되고, 상기 와이어 패턴과 연결되는 소오스/드레인; 및

상기 소오스/드레인과 상기 핀의 상면 사이에 형성된 제1 부분과, 상기 소오스/드레인과 상기 와이어 패턴 사이에 형성된 제2 부분을 포함하는 에피 씨드막을 포함하되,

상기 소오스/드레인은 제1 영역 및 제2 영역을 포함하고, 상기 핀의 상면 상에 형성된 에피층을 포함하고,

상기 와이어 패턴은 상기 제1 영역 사이에 배치되고, 상기 게이트 전극은 상기 제2 영역 사이에 배치되고,

상기 에피 씨드막과 상기 에피층은 서로 다른 물질을 포함하는 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제1 항에 있어서,

상기 소오스/드레인의 적어도 일부는 상기 절연막 패턴 상에 위치하는 반도체 장치.

청구항 7

기관 상에 형성되고, 개구부를 포함하는 필드 절연막으로, 상기 개구부는 제1 방향으로 연장되는 장변과, 상기 제1 방향과 다른 제2 방향으로 연장되는 단변을 포함하는 필드 절연막;

상기 기관 상에 형성되고, 상기 제1 방향으로 연장되는 장변과 상기 제2 방향으로 연장되는 단변을 포함하는 제1 절연막 패턴으로, 상기 제1 절연막 패턴의 장변은 상기 개구부의 장변과 접촉하고, 상기 필드 절연막의 두께보다 두께가 얇은 제1 절연막 패턴;

상기 제1 절연막 패턴 상에 상기 제1 절연막 패턴과 이격되어 형성되고, 상기 제1 방향으로 연장되는 제1 와이어 패턴;

상기 필드 절연막 및 상기 제1 절연막 패턴 상에, 상기 제1 와이어 패턴의 둘레를 감싸도록 형성된 제1 게이트 전극;

상기 제1 와이어 패턴과 상기 제1 게이트 전극 사이 및 상기 제1 게이트 전극과 상기 제1 절연막 패턴 사이에 배치되고, 상기 제1 절연막 패턴과 접촉하는 제1 게이트 절연막;

상기 기판 상에 형성되고, 상기 제1 방향으로 연장되는 장변과 상기 제2 방향으로 연장되는 단변을 포함하는 제2 절연막 패턴으로, 장변이 상기 개구부의 장변과 접촉하는 제2 절연막 패턴;

상기 제2 절연막 패턴 상에 상기 제2 절연막 패턴과 이격되어 형성되고, 상기 제1 방향으로 연장되는 제2 와이어 패턴;

상기 필드 절연막 및 상기 제2 절연막 패턴 상에, 상기 제2 와이어 패턴의 둘레를 감싸도록 형성된 제2 게이트 전극;

상기 제1 와이어 패턴 및 상기 제2 와이어 패턴과 연결되는 소오스/드레인; 및

상기 기판으로부터 돌출되고, 상기 개구부 내에 형성되는 반도체 패턴으로, 제1 부분과 상기 제1 부분을 중심으로 상기 제1 방향으로 양측에 배치되는 제2 부분을 포함하는 반도체 패턴을 포함하되,

상기 제1 절연막 패턴 및 상기 제2 절연막 패턴은 각각 상기 반도체 패턴의 제2 부분 상에 형성되고,

상기 소오스/드레인은 상기 반도체 패턴의 제1 부분 상에 위치하고,

상기 소오스/드레인의 일부분은 상기 제1 및 제2 절연막 패턴과 평면적으로 오버랩되는 반도체 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 구체적으로 게이트 올 어라운드(gate all around) 구조를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 나노와이어(nanowire) 형상의 실리콘 바디(body)를 형성하고 실리콘 바디를 둘러싸도록 게이트를 형성하는 게이트 올 어라운드 구조가 제안되었다.

[0003] 이러한 게이트 올 어라운드 구조는 3차원의 채널을 이용하기 때문에, 스케일링이 용이하다. 또한, 게이트의 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하려는 과제는, 게이트 올 어라운드 구조를 갖는 트랜지스터에서 주 채널 아래의 기생 채널을 제거함으로써, 소자 성능을 개선할 수 있는 반도체 장치를 제공하는 것이다.
- [0005] 본 발명이 해결하려는 다른 과제는, 게이트 올 어라운드 구조를 갖는 트랜지스터에서 주 채널 아래의 기생 채널을 제거함으로써, 소자 성능을 개선할 수 있는 반도체 장치 제조 방법을 제공하는 것이다.
- [0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 일 태양(Aspect)은 기판 상에 형성되고, 절연막 패턴을 포함하는 핀으로, 상기 절연막 패턴은 상기 핀의 상면에 형성된 핀, 상기 절연막 패턴 상에, 상기 절연막 패턴과 이격되어 형성되는 와이어 패턴, 및 상기 와이어 패턴의 둘레를 감싸도록 형성된 게이트 전극을 포함한다.
- [0008] 본 발명의 몇몇 실시예에서, 상기 게이트 전극의 양측에 형성되는 소오스/드레인을 더 포함하고, 상기 소오스/드레인은 상기 와이어 패턴과 연결된다.
- [0009] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인은 상기 핀의 상면 상에 순차적으로 적층된 제1 반도체 패턴과 제2 반도체 패턴을 포함하고, 상기 제1 반도체 패턴 및 상기 제2 반도체 패턴은 서로 다른 물질을 포함하고, 상기 제2 반도체 패턴은 상기 와이어 패턴으로부터 연장된 부분이고, 상기 제1 반도체 패턴 사이에 상기 게이트 전극이 배치된다.
- [0010] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인은 제1 부분 및 제2 부분을 포함하고, 상기 핀의 상면 상에 형성된 에피층을 포함하고, 상기 와이어 패턴은 상기 제1 부분 사이에 배치되고, 상기 게이트 전극은 상기 제2 부분 사이에 배치된다.
- [0011] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인과 상기 핀의 상면 사이에 형성된 에피 씨드막을 더 포함한다.
- [0012] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인과 상기 핀의 상면 사이에 형성된 제1 부분과, 상기 소오스/드레인과 상기 와이어 패턴 사이에 형성된 제2 부분을 포함하는 에피 씨드막을 더 포함하고, 상기 에피 씨드막과 상기 에피층은 서로 다른 물질을 포함한다.
- [0013] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인의 적어도 일부는 상기 절연막 패턴 상에 위치한다.
- [0014] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인의 하면은 상기 절연막 패턴과 전체적으로 오버랩된다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 핀은 상기 절연막 패턴 하부에 배치되는 삽입 패턴을 더 포함한다.
- [0016] 본 발명의 몇몇 실시예에서, 상기 와이어 패턴과 상기 게이트 전극 사이에 형성되는 게이트 절연막과, 상기 게이트 전극의 양측에 형성되는 게이트 스페이서를 더 포함하고, 상기 게이트 절연막은 상기 게이트 스페이서의 측벽을 따라 형성된다.
- [0017] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 다른 태양은 기판 상에 형성되고, 개구부를 포함하는 필드 절연막으로, 상기 개구부는 제1 방향으로 연장되는 장변과, 상기 제1 방향과 다른 제2 방향으로 연장되는 단변을 포함하는 필드 절연막, 상기 기판 상에 형성되고, 상기 제1 방향으로 연장되는 장변과 상기 제2 방향으로 연장되는 단변을 포함하는 제1 절연막 패턴으로, 상기 제1 절연막 패턴의 장변은 상기 개구부의 장변과 접촉하는 제1 절연막 패턴, 상기 제1 절연막 패턴 상에 상기 제1 절연막 패턴과 이격되어 형성되고, 상기 제1 방향으로 연장되는 제1 와이어 패턴, 및 상기 필드 절연막 및 상기 제1 절연막 패턴 상에, 상기 제1 와이어 패턴의 둘레를 감싸도록 형성된 제1 게이트 전극을 포함한다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 제1 절연막 패턴의 상면은 상기 필드 절연막의 상면보다 위로 돌출된다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 필드 절연막의 두께는 상기 제1 절연막 패턴의 두께보다 두껍다.
- [0020] 본 발명의 몇몇 실시예에서, 상기 기판 상에 형성되고, 상기 제1 방향으로 연장되는 장변과 상기 제2 방향으로 연장되는 단변을 포함하는 제2 절연막 패턴과, 상기 제2 절연막 패턴 상에 상기 제2 절연막 패턴과 이격되어 형성되고, 상기 제1 방향으로 연장되는 제2 와이어 패턴과, 상기 필드 절연막 및 상기 제2 절연막 패턴 상에, 상기 제2 와이어 패턴의 둘레를 감싸도록 형성된 제2 게이트 전극과, 상기 제1 와이어 패턴 및 상기 제2 와이어 패턴과 연결되는 소오스/드레인을 더 포함하고, 상기 제2 절연막 패턴의 장변은 상기 개구부의 장변과

접촉한다.

- [0021] 본 발명의 몇몇 실시예에서, 상기 기관으로부터 돌출되고, 상기 개구부 내에 형성되는 반도체 패턴을 더 포함하고, 상기 반도체 패턴은 제1 부분과 상기 제1 부분을 중심으로 상기 제1 방향으로 양측에 배치되는 제2 부분을 포함한다.
- [0022] 본 발명의 몇몇 실시예에서, 상기 제1 절연막 패턴 및 상기 제2 절연막 패턴은 각각 상기 반도체 패턴의 제2 부분 상에 형성되고, 상기 소오스/드레인은 상기 반도체 패턴의 제1 부분 상에 위치한다.
- [0023] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 또 다른 태양은 기관 상에 형성되고, 순차적으로 적층된 반도체 패턴과 절연막 패턴을 포함하는 핀, 상기 핀 상에 형성되고, 상기 절연막 패턴과 이격되는 와이어 패턴, 상기 와이어 패턴의 둘레를 감싸도록 형성된 게이트 전극, 및 상기 게이트 전극의 양측에, 상기 절연막 패턴 상에 형성되는 소오스/드레인을 포함한다.
- [0024] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인의 하면은 상기 절연막 패턴과 접촉한다.
- [0025] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인과 상기 절연막 패턴 사이에 형성된 에피 씨드막을 더 포함하고, 상기 에피 씨드막은 상기 와이어 패턴과 다른 물질을 포함한다.
- [0026] 본 발명의 몇몇 실시예에서, 상기 소오스/드레인과 와이어 패턴 사이에 형성된 에피 씨드막을 더 포함하고, 상기 에피 씨드막은 상기 소오스/드레인과 서로 다른 물질을 포함한다.
- [0027] 상기 다른 과제를 해결하기 위한 본 발명의 반도체 장치 제조 방법의 일 태양은 반도체 패턴과 제1 희생 패턴과 와이어 패턴과 제2 희생 패턴이 순차적으로 적층되고, 제1 방향으로 연장되고, 제1 부분과 제2 부분을 포함하는 핀형 구조체를 기관 상에 형성하고, 상기 핀형 구조체의 제1 부분에서, 상기 반도체 패턴과 상기 제1 희생 패턴 사이에 절연막 패턴을 형성하고, 상기 절연막 패턴을 형성한 후, 상기 핀형 구조체의 제1 부분의 상기 제1 희생 패턴 및 상기 제2 희생 패턴을 제거하고, 상기 핀형 구조체의 제1 부분의 상기 와이어 패턴의 둘레를 감싸도록 게이트 전극을 형성하는 것을 포함한다.
- [0028] 본 발명의 몇몇 실시예에서, 상기 절연막 패턴을 형성하는 것은 방향성 불순물 도핑 공정을 이용하는 것을 포함한다.
- [0029] 본 발명의 몇몇 실시예에서, 상기 방향성 불순물 도핑 공정을 진행할 때, 상기 제2 희생 패턴은 상기 와이어 패턴에 불순물이 주입되는 것을 방지한다.
- [0030] 본 발명의 몇몇 실시예에서, 상기 핀형 구조체의 측벽을 적어도 일부 덮는 필드 절연막을 형성하는 것을 더 포함하고, 상기 제1 희생 패턴의 적어도 일부는 상기 필드 절연막의 상면 위로 돌출되어 있다.
- [0031] 본 발명의 몇몇 실시예에서, 상기 절연막 패턴을 형성하기 전에, 상기 핀형 구조체의 제1 부분 상에, 상기 제1 방향과 다른 제2 방향으로 연장되는 더미 게이트 전극을 형성하고, 상기 핀형 구조체와 상기 더미 게이트 전극을 덮는 층간 절연막을 형성하고, 상기 층간 절연막을 평탄화하여, 상기 더미 게이트 전극을 노출하고, 상기 더미 게이트 전극을 제거하여, 상기 핀형 구조체의 제1 부분을 노출시키는 것을 더 포함한다.
- [0032] 본 발명의 몇몇 실시예에서, 상기 층간 절연막을 형성하기 전에, 상기 더미 게이트 전극을 마스크로 이용하여, 상기 핀형 구조체의 제2 부분 내에 리세스를 형성하고, 상기 핀형 구조체의 제2 부분 상에, 상기 리세스를 채우는 소오스/드레인을 형성하는 것을 더 포함한다.
- [0033] 본 발명의 몇몇 실시예에서, 상기 절연막 패턴을 형성하는 것과, 상기 제1 희생 패턴 및 상기 제2 희생 패턴을 제거하는 것 사이에, 상기 핀형 구조체의 제1 부분 상에, 상기 제1 방향과 다른 제2 방향으로 연장되는 더미 게이트 전극을 형성하고, 상기 핀형 구조체와 상기 더미 게이트 전극을 덮는 층간 절연막을 형성하고, 상기 층간 절연막을 평탄화하여, 상기 더미 게이트 전극을 노출하고, 상기 더미 게이트 전극을 제거하여, 상기 핀형 구조체의 제1 부분을 노출시키는 것을 더 포함한다.
- [0034] 본 발명의 몇몇 실시예에서, 상기 층간 절연막을 형성하기 전에, 상기 더미 게이트 전극을 마스크로 이용하여, 상기 핀형 구조체의 제2 부분 내에 리세스를 형성하고, 상기 핀형 구조체의 제2 부분 상에, 상기 리세스를 채우는 소오스/드레인을 형성하는 것을 더 포함한다.
- [0035] 본 발명의 몇몇 실시예에서, 상기 절연막 패턴을 형성한 후, 상기 절연막 패턴을 열처리하는 것을 더 포함한다.
- [0036] 본 발명의 몇몇 실시예에서, 상기 제1 희생 패턴 및 상기 제2 희생 패턴을 제거하는 것은 상기 제1 희생 패턴

및 상기 제2 희생 패턴과, 상기 와이어 패턴 사이의 식각 선택비를 이용한다.

- [0037] 본 발명의 몇몇 실시예에서, 상기 핀형 구조체를 형성하는 것은 상기 기판 상에, 제1 희생막과 액티브막과 제2 희생막을 순차적으로 형성하고, 상기 제2 희생막과, 상기 액티브막과, 상기 제1 희생막과, 상기 기판의 일부를 패터닝하는 것을 포함한다.
- [0038] 상기 다른 과제를 해결하기 위한 본 발명의 반도체 장치 제조 방법의 다른 태양은 제1 희생 패턴과 와이어 패턴과 제2 희생 패턴이 순차적으로 적층되고, 제1 방향으로 연장되고, 제1 부분과 제2 부분을 포함하는 핀형 구조체를 기판 상에 형성하고, 상기 기판의 상부를 산화하여, 상기 핀형 구조체와 상기 기판 사이에 매립 절연막을 형성하고, 상기 매립 절연막을 형성한 후, 상기 핀형 구조체의 제1 부분의 상기 제1 희생 패턴 및 상기 제2 희생 패턴을 제거하고, 상기 핀형 구조체의 제1 부분의 상기 와이어 패턴의 둘레를 감싸도록 게이트 전극을 형성하는 것을 포함한다.
- [0039] 본 발명의 몇몇 실시예에서, 상기 매립 절연막을 형성하는 것은 방향성 불순물 도핑 공정을 이용하는 것을 포함한다.
- [0040] 본 발명의 몇몇 실시예에서, 상기 핀형 구조체를 형성하는 것은 상기 기판 상에, 제1 희생막과 액티브막과 제2 희생막을 순차적으로 형성하고, 상기 제2 희생막과, 상기 액티브막과, 상기 제1 희생막을 패터닝하는 것을 포함한다.
- [0041] 본 발명의 몇몇 실시예에서, 상기 절연막 패턴을 형성하는 것과, 상기 제1 희생 패턴 및 상기 제2 희생 패턴을 제거하는 것 사이에, 상기 핀형 구조체의 제1 부분 상에, 상기 제1 방향과 다른 제2 방향으로 연장되는 더미 게이트 전극을 형성하고, 상기 핀형 구조체와 상기 더미 게이트 전극을 덮는 층간 절연막을 형성하고, 상기 층간 절연막을 평탄화하여, 상기 더미 게이트 전극을 노출하고, 상기 더미 게이트 전극을 제거하여, 상기 핀형 구조체의 제1 부분을 노출시키는 것을 더 포함한다.
- [0042] 본 발명의 몇몇 실시예에서, 상기 층간 절연막을 형성하기 전에, 상기 더미 게이트 전극을 마스크로 이용하여, 상기 핀형 구조체의 제2 부분 내에 리세스를 형성하고, 상기 핀형 구조체의 제2 부분 상에, 상기 리세스를 채우는 소오스/드레인을 형성하는 것을 더 포함한다.
- [0043] 본 발명의 몇몇 실시예에서, 상기 매립 절연막과 상기 핀형 구조체를 덮는 필드 절연막을 형성하고, 상기 필드 절연막을 형성한 후, 와이어 패턴에 불순물을 도핑하고, 상기 필드 절연막을 제거하여, 상기 매립 절연막을 노출시키는 것을 더 포함한다.
- [0044] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0045] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 평면도이다.
- 도 2a는 도 1에서, 핀형 패턴과 와이어 패턴과 필드 절연막만을 도시한 평면도이다.
- 도 2b는 도 2a의 C - C를 따라서 절단한 단면도이다.
- 도 3은 도 1의 I 부분을 나타낸 사시도이다.
- 도 4는 도 1의 A - A를 따라서 절단한 단면도이다.
- 도 5는 도 1의 B - B를 따라서 절단한 단면도이다.
- 도 6은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 7 및 도 8은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 9 및 도 10은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 11 및 도 12는 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 13 및 도 14는 본 발명의 제6 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 15 및 도 16은 본 발명의 제7 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 17 내지 도 27b는 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계

도면들이다.

도 28 내지 도 33b는 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 34 내지 도 42는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.

도 43은 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.

도 44 및 도 45는 본 발명의 몇몇 실시예들에 따른 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

- [0046] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0047] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0048] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0049] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0050] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0051] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0052] 이하에서, 도 1 내지 도 5를 참조하여, 본 발명의 제1 실시예에 따른 반도체 장치에 대해 설명한다.
- [0053] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 평면도이다. 도 2a는 도 1에서, 핀형 패턴과 와이어 패턴과 필드 절연막만을 도시한 평면도이다. 도 2b는 도 2a의 C - C를 따라서 절단한 단면도이다. 도 3은 도 1의 I 부분을 나타낸 사시도이다. 도 4는 도 1의 A - A를 따라서 절단한 단면도이다. 도 5는 도 1의 B - B를 따라서 절단한 단면도이다. 설명의 편의를 위해, 도 3에서 층간 절연막(180)은 도시하지 않았다.
- [0054] 먼저, 도 1 내지 도 2b를 참고하면, 본 발명의 제1 실시예에 따른 반도체 장치(1)는 기판(100)과, 필드 절연막(105)과, 핀형 패턴(110)과, 제1 와이어 패턴(120)과, 소오스/드레인(150)과, 제1 게이트 전극(130) 등을 포함한다.

- [0055] 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다.
- [0056] 필드 절연막(105)은 기판(100) 상에 형성된다. 필드 절연막(105)은 개구부(105h)를 포함한다. 개구부(105h)는 제1 방향(X)으로 길게 연장될 수 있다. 즉, 개구부(105h)는 제1 방향(X)으로 연장되는 장변과 제2 방향(Y)으로 연장되는 단변을 포함할 수 있다.
- [0057] 필드 절연막(105)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합 중 하나를 포함할 수 있다.
- [0058] 핀형 패턴(110)은 제1 방향(X)으로 길게 연장될 수 있다. 즉, 핀형 패턴(110)은 제1 방향(X)으로 연장되는 장변과 제2 방향(Y)으로 연장되는 단변을 포함할 수 있다.
- [0059] 핀형 패턴(110)은 기판(100) 상에 형성된다. 핀형 패턴(110)은 기판(100)으로부터 돌출되어 있을 수 있다. 핀형 패턴(110)은 개구부(105h) 내에 형성된다. 핀형 패턴(110)의 측면의 적어도 일부는 필드 절연막(105)에 의해 덮여있을 수 있다. 따라서, 핀형 패턴(110)은 필드 절연막(105)에 의해 정의된다.
- [0060] 도 2b에서, 핀형 패턴(110)의 적어도 일부는 필드 절연막(105)의 상면보다 위로 돌출되는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0061] 핀형 패턴(110)은 하부 패턴(112)과 제1 상부 패턴(115)과 제2 상부 패턴(116)을 포함한다. 하부 패턴(112)은 반도체 물질을 포함하는 반도체 패턴이다. 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 각각 절연 물질을 포함하는 절연막 패턴이다.
- [0062] 설명의 편의성을 위해, 본 발명의 실시예들에 따른 반도체 장치에서, 하부 패턴(112)은 실리콘을 포함하는 것으로 설명한다.
- [0063] 핀형 패턴(110)이 필드 절연막(105)의 개구부(105h) 내에 형성되므로, 하부 패턴(112)은 필드 절연막(105)의 개구부(105h) 내에 형성된다.
- [0064] 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 핀형 패턴(110)의 상면에 형성된다. 다시 말하면, 핀형 패턴(110)의 상면의 적어도 일부는 제1 상부 패턴(115)의 상면 및 제2 상부 패턴(116)의 상면일 수 있다.
- [0065] 이에 따라서, 제1 상부 패턴(115)과 제2 상부 패턴(116) 사이에, 하부 패턴(112)이 노출될 수 있다. 즉, 핀형 패턴(110)의 상면에서, 반도체 패턴과 절연막 패턴이 제1 방향(X)을 따라 교대로 보여질 수 있다.
- [0066] 본 발명의 제1 실시예에 따른 반도체 장치에서, 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 서로 접하지 않는다.
- [0067] 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 하부 패턴(112) 상에 형성된다. 예를 들어, 하부 패턴(112)은 제1 부분(112a)과, 제1 부분(112a)을 중심으로 제1 방향(X)으로 양측에 배치되는 제2 부분(112b)을 포함한다. 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 각각 하부 패턴의 제2 부분(112b) 상에 형성될 수 있다.
- [0068] 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 기판(100)으로부터 이격되어 형성된다. 따라서, 제1 상부 패턴(115)과 기판(100) 사이, 및 제2 상부 패턴(116)과 기판(100) 사이에는 하부 패턴(112)이 배치된다.
- [0069] 또한, 하부 패턴의 제1 부분(112a)은 제1 상부 패턴(115) 및 제2 상부 패턴(116) 사이에 위치할 수 있다.
- [0070] 제1 상부 패턴(115) 및 제2 상부 패턴(116)은 각각 제1 방향(X)으로 연장되는 장변과, 제2 방향(Y)으로 연장되는 단변을 포함할 수 있다. 도 2a에서 도시된 것과 같이, 제1 상부 패턴(115)의 장변과 제2 상부 패턴(116)의 장변은 필드 절연막의 개구부(105h)의 장변과 접촉할 수 있다. 또한, 제1 상부 패턴(115)의 단변과 제2 상부 패턴(116)의 단변 사이에는, 하부 패턴의 제1 부분(112a)이 위치한다.
- [0071] 도 2b에서, 제1 상부 패턴(115)의 상면 및 제2 상부 패턴(116)의 상면은 필드 절연막(105)의 상면보다 위로 돌출되어 있는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0072] 덧붙여, 필드 절연막(105)의 두께는 제1 두께(t1)이고, 제1 상부 패턴(115), 즉, 절연막 패턴의 두께는 제2 두께(t2)이다. 본 발명의 실시예들에 따른 반도체 장치에서, 필드 절연막(105)의 두께(t1)는 제1 상부 패턴(115)의 두께(t2)와 다르다. 좀 더 구체적으로, 필드 절연막(105)의 두께(t1)는 제1 상부 패턴(115)의 두께(t2)보다

두껍다. 필드 절연막(105)과 제1 상부 패턴(115)은 서로 다른 공정을 통해 형성되기 때문이다.

- [0073] 제1 와이어 패턴(120)은 기판(100) 상에 형성된다. 제1 와이어 패턴(120)은 제1 방향(X)으로 연장되어 형성된다. 제1 와이어 패턴(120)은 제1 상부 패턴(115) 상에, 제1 상부 패턴(115)과 이격되어 형성된다. 제1 와이어 패턴(120)은 제1 상부 패턴(115)과 오버랩된다.
- [0074] 제2 와이어 패턴(220)은 기판(100) 상에, 제1 방향(X)으로 연장되어 형성된다. 제2 와이어 패턴(220)은 제2 상부 패턴(116) 상에, 제2 상부 패턴(116)과 이격되어 형성된다. 제2 와이어 패턴(220)은 제2 상부 패턴(116)과 오버랩된다.
- [0075] 다시 말하면, 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)은 필드 절연막(105) 상에 형성되는 것이 아니라, 핀형 패턴(110) 상에 형성된다. 구체적으로, 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)은 대응되는 절연막 패턴인 제1 상부 패턴(115) 및 제2 상부 패턴(116) 상에 각각 형성된다.
- [0076] 도 2a에서, 제1 와이어 패턴(120)의 제2 방향(Y)으로의 폭은 제1 상부 패턴(115)의 제2 방향(Y)으로의 폭과 같고, 제2 와이어 패턴(220)의 제2 방향(Y)으로의 폭은 제2 상부 패턴(116)의 제2 방향(Y)으로의 폭과 같은 것으로 도시하였지만, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0077] 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)은 채널 영역으로 사용될 수 있다. 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)은 반도체 장치(1)가 PMOS인지 NMOS인지 여부에 따라서 달라질 수 있다.
- [0078] 또한, 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)은 각각 핀형 패턴(110)의 하부 패턴(112)과 동일한 물질을 포함할 수도 있고, 하부 패턴(112)과 다른 물질을 포함할 수도 있다.
- [0079] 설명의 편의성을 위해, 본 발명의 실시예들에 따른 반도체 장치에서, 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)은 각각 실리콘을 포함하는 것으로 설명한다.
- [0080] 제1 게이트 전극(130)과 제2 게이트 전극(230)은 필드 절연막(105)과 핀형 패턴(110) 상에 형성된다. 구체적으로, 제1 게이트 전극(130)은 필드 절연막(105)과 제1 상부 패턴(115) 상에 형성되고, 제2 게이트 전극(230)은 필드 절연막(105)과 제2 상부 패턴(116) 상에 형성된다.
- [0081] 제1 게이트 전극(130) 및 제2 게이트 전극(230)은 제2 방향(Y)으로 길게 연장되어 형성된다.
- [0082] 또한, 제1 게이트 전극(130)은 제1 와이어 패턴(120)의 둘레를 감싸도록 형성되고, 제2 게이트 전극(230)은 제2 와이어 패턴(220)의 둘레를 감싸도록 형성된다. 이에 대한 설명은 도 5를 이용하여 상술한다.
- [0083] 소오스/드레인(150)은 제1 게이트 전극(130)의 양측에 배치된다. 예를 들어, 소오스/드레인(150)은 제1 게이트 전극(130)을 중심으로 제1 방향(X)의 양측에 배치될 수 있다.
- [0084] 소오스/드레인(150)은 핀형 패턴(110) 상에 형성된다. 예를 들어, 소오스/드레인(150)은 하부 패턴의 제1 부분(112a) 상에 위치할 수 있다. 소오스/드레인(150)은 양측에 배치되는 제1 와이어 패턴(120) 및 제2 와이어 패턴(220)과 연결된다.
- [0085] 이하에서, 도 1 내지 도 2b에 도시된 다수의 트랜지스터 중 하나의 트랜지스터를 중심으로 설명한다.
- [0086] 도 3 내지 도 5를 참고하면, 핀형 패턴(110)의 측벽의 적어도 일부는 필드 절연막(105)과 접할 수 있다. 핀형 패턴(110)의 적어도 일부는 필드 절연막(105)의 상면보다 위로 돌출될 수 있다.
- [0087] 핀형 패턴(110) 중, 절연막 패턴인 제1 상부 패턴(115)의 상면은 필드 절연막(105)의 상면보다 위로 돌출된다. 제1 상부 패턴(115)의 측벽의 일부는 필드 절연막(105)과 접한다.
- [0088] 제1 게이트 전극(130)은 제2 방향(Y)으로 연장된다. 제1 게이트 전극(130)은 핀형 패턴(110), 즉, 제1 상부 패턴(115)과 이격되어 형성되는 제1 와이어 패턴(120)의 둘레를 감싸도록 형성된다. 다시 말하면, 제1 게이트 전극(130)은 제1 와이어 패턴(120)과 핀형 패턴(110) 사이의 이격된 공간에도 형성된다.
- [0089] 제1 게이트 전극(130)은 금속층(132, 134)을 포함할 수 있다. 제1 게이트 전극(130)은 도시된 것과 같이, 2층 이상의 금속층(132, 134)이 적층될 수 있다. 제1 금속층(132)은 일함수 조절을 하는 금속층일 수 있다. 제1 금속층(132)은 제1 와이어 패턴(120)의 둘레를 따라서 형성될 뿐만 아니라, 필드 절연막(105)의 상면 및 제1 상부 패턴(115)의 상면을 따라서 형성된다. 제2 금속층(134)은 제1 금속층(132)에 의해 형성된 공간을 채우는 역할을 한다.

- [0090] 예를 들어, 제1 금속층(132)은 TiN, WN, TaN, Ru, TiC, TaC, Ti, Ag, Al, TiAl, TiAlN, TiAlC, TaCN, TaSiN, Mn, Zr 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(134)은 W 또는 Al을 포함할 수 있다. 또는, 제1 게이트 전극(130)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다. 이러한 제1 게이트 전극(130)은 예를 들어, 리플레이스먼트(replacement) 공정을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0091] 게이트 스페이서(140)는 제2 방향(Y)으로 연장된 제1 게이트 전극(130)의 측벽 상에 형성될 수 있다. 게이트 스페이서(140)는 예를 들어, 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산화물(SiO₂), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다.
- [0092] 게이트 스페이서(140)는 단일막으로 도시되었지만, 이에 제한되는 것은 아니며, 다중막의 구조를 가질 수 있음은 물론이다.
- [0093] 게이트 절연막(145)은 제1 와이어 패턴(120)과 제1 게이트 전극(130) 사이에 형성될 수 있다. 또한, 게이트 절연막(145)은 필드 절연막(105) 및 제1 게이트 전극(130) 사이와, 핀형 패턴(110) 및 제1 게이트 전극(130) 사이에도 형성될 수 있다.
- [0094] 게이트 절연막(145)은 제1 와이어 패턴(120)의 둘레를 따라서 컨포말하게 형성될 수 있다. 또한, 게이트 절연막(145)은 필드 절연막(105)의 상면 및 제1 상부 패턴(115)의 상면을 따라서 형성될 수 있다.
- [0095] 덧붙여, 게이트 절연막(145)은 게이트 스페이서(140)의 측벽을 따라서 형성될 수 있다. 또한, 게이트 절연막(145)은 소오스/드레인(150)의 일부 면을 따라서 형성될 수 있다.
- [0096] 게이트 절연막(145)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 게이트 절연막(145)은 하프늄 산화물(hafnium oxide), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타넘 산화물(lanthanum oxide), 란타넘 알루미늄 산화물(lanthanum aluminum oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 티타늄 산화물(titanium oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 알루미늄 산화물(Aluminum oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 또는 납 아연 니오브산염(lead zinc niobate) 중에서 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0097] 도 4에서, 게이트 스페이서(140)와 제1 와이어 패턴(120)은 제3 방향(Z)으로 이격되어 있다. 또한, 이격된 제1 와이어 패턴(120)과 게이트 스페이서(140) 사이의 공간에, 적어도 게이트 절연막(145)이 형성될 수 있다. 게이트 스페이서(140)와 제1 와이어 패턴(120)이 제3 방향(Z)으로 이격되는 이유는 이 후의 제조 방법에 대한 설명에서 상술한다.
- [0098] 소오스/드레인(150)은 제1 게이트 전극(130)의 양측에 형성된다. 소오스/드레인(150)은 핀형 패턴(110) 상에 형성된다. 소오스/드레인(150)은 채널 영역인 제1 와이어 패턴(120)과 연결된다.
- [0099] 소오스/드레인(150)은 핀형 패턴(110)의 상면 상에 형성된 에피층(155)을 포함할 수 있다. 본 발명의 일 실시예에 따른 반도체 장치에서, 에피층(155)은 핀형 패턴(110) 중 하부 패턴(112) 상에만 형성될 수 있다.
- [0100] 소오스/드레인(150)은 하부 패턴(112) 상에 형성되고, 제1 상부 패턴(115) 상에 형성되지 않는다. 즉, 소오스/드레인(150)의 하면은 제1 상부 패턴(115)과 오버랩되지 않는다.
- [0101] 에피층(155)의 외주면은 다양한 형상일 수 있다. 예를 들어, 에피층(155)의 외주면은 다이아몬드 형상, 원 형상 및 직사각형 형상 중 적어도 하나일 수 있다. 도 3에서는 예시적으로 다이아몬드 형상(또는 오각형 형상 또는 육각형 형상)을 도시하였다.
- [0102] 에피층(155)은 제1 부분(155a)과 제2 부분(155b)을 포함할 수 있다. 제1 게이트 전극(130)의 양측에 있는 에피층의 제1 부분(155a) 사이에는 제1 와이어 패턴(120)이 위치하고, 제1 게이트 전극(130)의 양측에 있는 에피층의 제2 부분(155b) 사이에는 제1 와이어 패턴(120)이 위치하지 않는다.
- [0103] 제1 게이트 전극(130)의 양측에 있는 에피층의 제2 부분(155b) 사이에는 제1 와이어 패턴(120)의 둘레를 감싸고 있는 게이트 절연막(145)과 제1 게이트 전극(130)이 배치된다.
- [0104] 본 발명의 제1 실시예에 따른 반도체 장치(1)가 PMOS 트랜지스터인 경우, 에피층(140)은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe

일 수 있다. 압축 스트레스 물질은 제1 와이어 패턴(120)에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.

- [0105] 이와는 달리, 반도체 장치(1)가 NMOS 트랜지스터인 경우, 에피층(155)은 제1 와이어 패턴(120)과 동일 물질 또는, 인장 스트레스 물질일 수 있다. 예를 들어, 제1 와이어 패턴(120)이 Si일 때, 에피층(155)은 Si이거나, Si보다 격자 상수가 작은 물질(예를 들어, SiC)일 수 있다.
- [0106] 도 1 내지 도 5에서, 제1 와이어 패턴(120)은 하나인 것으로 도시하였지만, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0107] 또한, 도 1 내지 도 2b에서, 하나의 핀형 패턴 상에 다수의 게이트 전극이 형성되는 것으로 설명하였지만, 이에 제한되는 것은 아니다. 즉, 하나의 핀형 패턴 상에 하나의 게이트 전극이 형성될 수 있음은 물론이다.
- [0108] 이하에서, 절연막 패턴인 제1 상부 패턴(115)의 효과에 대해서 설명한다.
- [0109] 만약, 제1 상부 패턴(115)이 형성되지 않는다면, 소오스/드레인(150) 사이의 채널 영역은 제1 와이어 패턴(120)뿐만 아니라, 핀형 패턴(110)의 상면이 될 수 있다. 핀형 패턴(110)의 상면 상에도 게이트 절연막(145) 및 제1 게이트 전극(130)이 형성되어 있기 때문이다.
- [0110] 즉, 소오스/드레인(150) 사이의 핀형 패턴(110)의 상면이 채널 영역으로 사용되면, 트랜지스터의 단채널 특성이 나빠지게 된다.
- [0111] 하지만, 본 발명과 같이, 채널 영역으로 사용될 수 있는 핀형 패턴(110)의 상면에 제1 상부 패턴(115)을 형성하게 되면, 제1 상부 패턴(115)에 의해 핀형 패턴(110)의 상면은 채널 영역으로 사용되지 못한다.
- [0112] 구체적으로, 제1 상부 패턴(115) 상에 게이트 절연막(145)과 제1 게이트 전극(130)이 형성되어도, 소오스/드레인(150) 사이에 전하가 이동할 수 있는 채널 영역에 절연 물질로 이루어진 제1 상부 패턴(115)이 위치하게 된다. 따라서, 핀형 패턴(110)의 상면을 따라서 채널 영역이 만들어지지 않는다.
- [0113] 이와 달리, 제1 상부 패턴(115)과 하부 패턴(112) 사이에 채널 영역이 만들어질 수 있다. 하지만, 제1 상부 패턴(115)의 두께가 충분히 두껍기 때문에, 제1 상부 패턴(115)과 하부 패턴(112) 사이에 채널 영역을 만들기 위한 문턱 전압은 매우 높아지게 된다. 따라서, 제1 와이어 패턴(120)에 채널 영역을 형성하기 위한 동작 전압으로, 제1 상부 패턴(115)과 하부 패턴(112) 사이에 채널 영역을 만들 수 없다.
- [0114] 도 6은 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 장치와 다른 점을 위주로 설명한다.
- [0115] 도 6을 참고하면, 본 발명의 제2 실시예에 따른 반도체 장치(2)에서 소오스/드레인(150)의 일부는 제1 상부 패턴(115) 상에 배치된다.
- [0116] 제1 와이어 패턴(120)이 연장된 방향으로, 소오스/드레인(150)의 일부는 제1 상부 패턴(115)과 오버랩된다. 다시 말하면, 제1 상부 패턴(115)은 소오스/드레인(150)의 하면의 일부를 따라 연장된다.
- [0117] 도 2b를 참조하여 본 발명의 제2 실시예에 따른 반도체 장치를 설명하면, 제1 상부 패턴(115)은 하부 패턴의 제2 부분(112b) 전체와, 하부 패턴의 제1 부분(112a)의 일부에 걸쳐 형성될 수 있다.
- [0118] 도 6에서, 소오스/드레인(150)과 핀형 패턴(110) 사이의 경계에서, 제1 상부 패턴(115)의 상면은 하부 패턴(112)의 상면과 동일 평면에 놓여 있는 것으로 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다. 즉, 소오스/드레인(150)과 핀형 패턴(110) 사이의 경계에서, 제1 상부 패턴(115)의 상면은 하부 패턴(112)의 상면보다 위로 돌출되어 있을 수 있다.
- [0119] 도 7 및 도 8은 본 발명의 제3 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 장치와 다른 점을 위주로 설명한다.
- [0120] 도 7 및 도 8을 참고하면, 핀형 패턴(110)은 삽입 패턴(117)을 더 포함할 수 있다.
- [0121] 삽입 패턴(117)은 제1 상부 패턴(115)의 하부에 형성될 수 있다. 다시 말하면, 삽입 패턴(117)의 하부에는 하부 패턴(112)이 위치하고, 삽입 패턴(117)의 상부에는 제1 상부 패턴(115)과 하부 패턴(112)의 일부가 위치할 수 있다.
- [0122] 삽입 패턴(117)은 하부 패턴(112)과 다른 물질을 포함할 수 있다. 삽입 패턴(117)에 포함되는 물질의 격자 상수

와 하부 패턴(112)에 포함되는 물질의 격자 상수는 서로 다를 수 있다.

- [0123] 삽입 패턴(117)은 하부 패턴(112)에 대해서 식각 선택비를 갖는 물질을 포함할 수 있다. 예를 들어, 하부 패턴(112)은 실리콘을 포함하고, 삽입 패턴(117)은 실리콘게르마늄(SiGe)를 포함할 수 있다.
- [0124] 또한, 예를 들어, 삽입 패턴(117)의 하부에 위치하는 하부 패턴(112)은 기판(100)의 일부를 식각하여 형성한 패턴이고, 삽입 패턴(117) 상에 위치하는 하부 패턴(112)은 삽입 패턴(117) 상에 형성된 에피택셜막을 식각하여 형성한 패턴일 수 있다.
- [0125] 도 9 및 도 10은 본 발명의 제4 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 장치와 다른 점을 위주로 설명한다.
- [0126] 도 9 및 도 10을 참고하면, 본 발명의 제4 실시예에 따른 반도체 장치(4)는 제1 에피 씨드막(160)을 더 포함할 수 있다.
- [0127] 제1 에피 씨드막(160)은 제1 부분(160a)과 제2 부분(160b)를 포함한다. 제1 에피 씨드막의 제1 부분(160a)과 제1 에피 씨드막의 제2 부분(160b)은 서로 직접 연결되어 있다.
- [0128] 제1 에피 씨드막의 제1 부분(160a)은 소오스/드레인(150)과 핀형 패턴(110) 사이에 형성된다. 즉, 제1 에피 씨드막의 제1 부분(160a)은 소오스/드레인(150)의 하면과 핀형 패턴(110)의 상면 사이에 위치한다.
- [0129] 제1 에피 씨드막의 제2 부분(160b)은 소오스/드레인(150)과 제1 와이어 패턴(120) 사이, 및 소오스/드레인(150)과 제1 게이트 전극(130) 사이에 위치한다.
- [0130] 제조 공정 상, 제1 에피 씨드막(160)은 에피층(155)을 형성하기 전에, 핀형 패턴(110)의 상면 및 제1 와이어 패턴(120)의 단면에 형성하는 에피택셜막일 수 있다. 예를 들어, 제1 에피 씨드막(160)은 제1 와이어 패턴(120)을 형성하는 제조 공정에서, 이미 성장된 에피층(155)이 식각되어 손실되는 것을 방지할 수 있다.
- [0131] 제1 에피 씨드막(160)과 에피층(155)은 서로 다른 물질을 포함할 수 있다. 예를 들어, 에피층(155)이 실리콘게르마늄을 포함할 경우, 제1 에피 씨드막(160)은 실리콘을 포함할 수 있다.
- [0132] 도 10에서, 제1 에피 씨드막(160)은 소오스/드레인(150)과 핀형 패턴(110) 사이에 형성된 제1 부분(160a)과, 소오스/드레인(150)과 제1 와이어 패턴(120) 사이에 형성된 제2 부분(160b)을 포함하는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0133] 후술되는 도 11 및 도 12에서와 같이, 소오스/드레인(150)이 전체적으로 절연막 패턴 상에 배치될 경우, 제1 에피 씨드막(160)은 소오스/드레인(150)과 제1 와이어 패턴(120) 사이 및 소오스/드레인(150)과 제1 게이트 전극(130)사이에 형성된 제2 부분(160b)만을 포함할 수 있다.
- [0134] 도 10에서, 제1 에피 씨드막의 제2 부분(160b)은 소오스/드레인(150)과 게이트 스페이서(140) 사이에 연장되어 형성되는 것으로 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0135] 도 11 및 도 12는 본 발명의 제5 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 장치와 다른 점을 위주로 설명한다.
- [0136] 도 11 및 도 12를 참고하면, 본 발명의 제5 실시예에 따른 반도체 장치(5)에서 소오스/드레인(150)은 전체적으로 제1 상부 패턴(115) 상에 배치된다. 즉, 소오스/드레인(150)은 전체적으로 제1 상부 패턴(115) 상에 형성된다.
- [0137] 소오스/드레인(150)의 하면은 제1 상부 패턴(115)과 전체적으로 오버랩된다. 다시 말하면, 제1 상부 패턴(115)은 소오스/드레인(150)의 하면 전체를 따라 연장된다.
- [0138] 도 2b를 참조하여 본 발명의 제5 실시예에 따른 반도체 장치를 설명하면, 제1 상부 패턴(115)은 하부 패턴의 제2 부분(112b) 전체와, 하부 패턴의 제1 부분(112a)의 전체에 걸쳐 형성될 수 있다. 즉, 핀형 패턴(110)의 상면은 전체적으로 제1 상부 패턴(115) 및 제2 상부 패턴(116)의 상면일 수 있다.
- [0139] 도 12에서, 핀형 패턴(110)은 기판(100) 상에 형성되고, 기판(100)으로부터 돌출된다. 핀형 패턴(110)은 순차적으로 적층된 하부 패턴(112)과 제1 상부 패턴(115)을 포함한다. 즉, 핀형 패턴(110)은 순차적으로 적층된 반도체 패턴과 절연막 패턴을 포함한다. 이와 같은 핀형 패턴(110) 상에, 제1 와이어 패턴(120)이 제1 상부 패턴(115)과 이격되어 형성된다. 또한, 소오스/드레인(150), 즉, 에피층(155)은 제1 와이어 패턴(120) 및 제1 게이트

트 전극(130) 각각의 양측에, 절연막 패턴인 제1 상부 패턴(115) 상에 형성된다.

- [0140] 본 발명의 제5 실시예에 따른 반도체 장치에서, 소오스/드레인(150)은 제1 상부 패턴(115)과 접촉하여 형성된다. 다시 말하면, 절연막 패턴인 제1 상부 패턴(115) 바로 위에 에피층(155)이 배치되고, 제1 상부 패턴(115)과 에피층(155)은 접촉한다.
- [0141] 도 12에서, 소오스/드레인(150) 하부에서의 제1 상부 패턴(115)의 상면과, 제1 와이어 패턴(120) 하부에서의 제1 상부 패턴(115)의 상면은 단차를 갖는 것처럼 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0142] 도 13 및 도 14는 본 발명의 제6 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 본 발명의 제5 실시예에 따른 반도체 장치와 다른 점을 위주로 설명한다.
- [0143] 도 13 및 도 14를 참고하면, 본 발명의 제4 실시예에 따른 반도체 장치(6)는 제2 에피 씨드막(165)을 더 포함할 수 있다.
- [0144] 제2 에피 씨드막(165)은 소오스/드레인(150)과 핀형 패턴(110) 사이에 형성된다. 제2 에피 씨드막(165)은 소오스/드레인(150)의 하면과 핀형 패턴(110)의 상면 사이에 위치한다.
- [0145] 제2 에피 씨드막(165)은 제1 상부 패턴(115) 상에 형성된다. 제2 에피 씨드막(165)은 절연막 패턴인 제1 상부 패턴(115) 상에 위치하여, 에피층(155)이 제1 상부 패턴(115) 상에 에피택셜 성장이 될 수 있도록 할 수 있다. 따라서, 제2 에피 씨드막(165)은 소오스/드레인(150)과 제1 상부 패턴(115) 사이에 형성될 수 있다.
- [0146] 제2 에피 씨드막(165)과 제1 와이어 패턴(120)은 서로 다른 물질을 포함할 수 있다. 예를 들어, 제1 와이어 패턴(120)이 실리콘을 포함할 경우, 제2 에피 씨드막(165)은 실리콘게르마늄을 포함할 수 있다.
- [0147] 제조 공정 상, 제2 에피 씨드막(165)은 에피층(155)을 형성하기 전에, 핀형 패턴(110)의 상면에 형성하는 에피택셜막일 수 있다.
- [0148] 도 15 및 도 16은 본 발명의 제7 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 본 발명의 제1 실시예에 따른 반도체 장치와 다른 점을 위주로 설명한다.
- [0149] 도 15 및 도 16을 참고하면, 소오스/드레인(150)은 핀형 패턴(110)의 상면 상에 순차적으로 적층된 제1 반도체 패턴(151)과 제2 반도체 패턴(152)을 포함한다. 소오스/드레인(150)의 상면은 제1 반도체 패턴(151)의 상면일 수 있다.
- [0150] 소오스/드레인의 제2 방향(Y)으로의 폭은 핀형 패턴(110)의 제2 방향(Y)으로의 폭과 실질적으로 동일할 수 있다.
- [0151] 제2 반도체 패턴(152)은 제1 와이어 패턴(120)과 직접 연결된다. 구체적으로, 제2 반도체 패턴(152)은 제1 와이어 패턴(120)으로부터 연장된 부분일 수 있다. 또한, 제2 반도체 패턴(152)과 제1 와이어 패턴(120)은 동일 레벨에서 형성될 수 있다. 여기서, "동일 레벨"이라 함은 동일한 제조 공정에 의해 형성되는 것을 의미하는 것이다.
- [0152] 제1 반도체 패턴(151)은 제2 반도체 패턴(152)의 상하에 위치할 수 있다. 제1 반도체 패턴(151)은 제1 게이트 전극(130)을 중심으로 제1 방향(X)으로 양측에 배치될 수 있다. 즉, 제1 반도체 패턴(151) 사이에 제1 게이트 전극(130)이 배치될 수 있다.
- [0153] 제1 반도체 패턴(151)과 제2 반도체 패턴(152)은 서로 다른 물질을 포함할 수 있다. 제1 반도체 패턴(151)은 제2 반도체 패턴(152)에 대해 식각 선택비를 갖는 물질을 포함할 수 있다. 예를 들어, 제2 반도체 패턴(152)이 실리콘을 포함하고, 제1 반도체 패턴(151)은 실리콘게르마늄을 포함할 수 있다.
- [0154] 도 16에서, 제1 와이어 패턴(120) 및 제2 반도체 패턴(152)의 두께가 동일한 것으로 도시하였지만, 설명의 편의를 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0155] 도 17 내지 도 27b를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 17 내지 도 27b를 통해서 형성되는 반도체 장치는 도 11 및 도 12를 통해 설명한 반도체 장치(5)이다.
- [0156] 도 17 내지 도 27b는 본 발명의 일 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다. 참고로, 도 24b는 도 24a의 D - D를 따라서 절단한 단면도이고, 도 24c는 도 24a의 E - E를 따라서 절단한 단면도이다. 도 26은 방향성 불순물 도핑 공정시, 주입되는 불순물의 측면 방향으로의 확산을 설명하기

위한 도면이다.

- [0157] 도 17을 참고하면, 기관(100) 상에, 제1 희생막(2001)과, 액티브막(2002)과, 제2 희생막(2003)을 순차적으로 형성한다.
- [0158] 제1 희생막(2001)과, 액티브막(2002)과, 제2 희생막(2003)은 예를 들어, 에피택셜 성장 방법을 이용하여 형성할 수 있다.
- [0159] 제1 희생막(2001)과 제2 희생막(2003)은 동일한 물질을 포함할 수 있고, 제1 희생막(2001)과 액티브막(2002)은 서로 다른 물질을 포함할 수 있다. 또한, 액티브막(2002)은 제1 희생막(2001)에 대한 식각 선택비를 갖는 물질을 포함할 수 있다.
- [0160] 예를 들어, 기관(100)과 액티브막(2002)은 실리콘을 포함하고, 제1 희생막(2001) 및 제2 희생막(2003)은 실리콘 게르마늄을 포함할 수 있다.
- [0161] 도 17에서, 액티브막(2002)은 하나인 것으로 도시하였지만, 설명의 편의를 위한 것을 뿐, 이에 제한되는 것은 아니다. 즉, 제1 희생막(2001)과 액티브막(2002)이 교대로 복수의 쌍을 이루고, 최상부 액티브막(2002) 상에 제2 희생막(2003)이 형성될 수 있다.
- [0162] 이어서, 제2 희생막 상에 제1 마스크 패턴(2103)을 형성한다. 제1 마스크 패턴(2103)은 제1 방향(X)으로 길게 연장될 수 있다.
- [0163] 제1 마스크 패턴(2103)은 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산화 질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0164] 도 18을 참고하면, 제1 마스크 패턴(2103)을 마스크로 하여, 식각 공정을 진행하여 핀형 구조체(110p)를 형성한다.
- [0165] 제2 희생막(2003)과, 액티브막(2002)과, 제1 희생막(2001)과, 기관(100)의 일부를 패터닝하여, 핀형 구조체(110p)가 형성될 수 있다.
- [0166] 핀형 구조체(110p)는 기관(100) 상에 형성되고, 기관(100)으로부터 돌출되어 있다. 핀형 구조체(110p)는 제1 마스크 패턴(2103)과 같이, 제1 방향(X)을 따라 연장될 수 있다.
- [0167] 핀형 구조체(110p)는 기관(100) 상에 하부 패턴(112)과, 제1 희생 패턴(121)과, 프리 와이어 패턴(122)과, 제2 희생 패턴(123)이 순차적으로 적층되어 있다. 여기에서, 하부 패턴(112)은 반도체 패턴일 수 있다.
- [0168] 도 19를 참고하면, 핀형 구조체(110p)의 측벽을 적어도 일부 덮는 필드 절연막(105)을 기관(100) 상에 형성한다.
- [0169] 구체적으로, 기관(100) 상에 핀형 구조체(110p)를 덮는 필드 절연막(105)을 형성한다. 필드 절연막(105)의 평탄화 공정을 통해, 핀형 구조체(110p)의 상면 및 필드 절연막(105)의 상면은 동일 평면 상에 놓일 수 있다.
- [0170] 평탄화 공정을 진행하면서, 제1 마스크 패턴(2103)은 제거될 수 있지만, 이에 제한되는 것은 아니다.
- [0171] 이어서, 필드 절연막(105)의 상부를 리세스하여, 핀형 구조체(110p)의 일부를 노출시킨다. 리세스 공정은 선택적 식각 공정을 포함할 수 있다. 즉, 필드 절연막(105) 상으로 돌출되는 핀형 구조체(110p)가 형성된다.
- [0172] 도 19에서, 제2 희생 패턴(123)과, 프리 와이어 패턴(122)과 제1 희생 패턴(121)과, 하부 패턴(112)의 일부는 필드 절연막(105)의 상면 위로 돌출되고, 하부 패턴(112)의 나머지는 필드 절연막(105)에 의해 둘러싸이는 것으로 도시하였지만, 이에 제한되는 것은 아니다. 즉, 필드 절연막(105)의 상부 리세스 공정을 통해, 제1 희생 패턴(121)의 적어도 일부가 필드 절연막(105)의 상면 위로 돌출될 수 있다.
- [0173] 핀형 구조체(110p)의 일부를 필드 절연막(105)의 상면보다 위로 돌출시키는 리세스 공정의 전 및/또는 후에, 프리 와이어 패턴(122)에 문턱 전압 조절용 도핑이 수행될 수 있다. 반도체 장치(1-7)가 NMOS 트랜지스터인 경우, 불순물은 붕소(B)일 수 있다. 반도체 장치(1-7)가 PMOS 트랜지스터인 경우, 불순물은 인(P) 또는 비소(As)일 수 있다.
- [0174] 또한, 필드 절연막(105)의 상면 위로 돌출된 핀형 구조체(110p)는 제1 부분(110p-1)과 제2 부분(110p-2)을 포함할 수 있다. 핀형 구조체의 제2 부분(110p-2)는 핀형 구조체의 제1 부분(110p-1)을 중심으로 제1 방향(X)으로 양측에 위치할 수 있다.

- [0175] 도 20을 참고하면, 제2 마스크 패턴(2104)를 이용하여 식각 공정을 진행하여, 핀형 구조체(110p)와 교차하여 제 2 방향(Y)으로 연장되는 더미 게이트 패턴(135)을 형성할 수 있다.
- [0176] 이를 통해, 더미 게이트 패턴(135)은 핀형 구조체(110p) 상에 형성된다. 좀 더 구체적으로, 더미 게이트 패턴(135)은 핀형 구조체의 제1 부분(110p-1) 상에 형성된다.
- [0177] 더미 게이트 패턴(135)은 더미 게이트 절연막(136)과 더미 게이트 전극(137)을 포함한다. 예를 들어, 더미 게이트 절연막(136)은 실리콘 산화막일 수 있고, 더미 게이트 전극(137)은 폴리 실리콘일 수 있다.
- [0178] 도 21을 참고하면, 더미 게이트 패턴(135)의 측벽에 게이트 스페이서(140)를 형성한다. 즉, 게이트 스페이서(140)는 더미 게이트 절연막(136) 및 더미 게이트 전극(137)의 측벽에 형성된다.
- [0179] 구체적으로, 더미 게이트 패턴(135)과, 핀형 구조체(110p)를 덮는 스페이서막을 필드 절연막(105) 상에 형성한다. 이 후, 스페이서막을 에치백(etch-back)하여, 더미 게이트 패턴(135)의 측벽에 게이트 스페이서(140)를 형성할 수 있다.
- [0180] 덧붙여, 더미 게이트 전극(137)을 포함하는 더미 게이트 패턴(135)을 마스크로 이용하여, 핀형 구조체의 제2 부분(110p-2) 내에 리세스(150r)을 형성한다. 리세스(150r)의 바닥면은 하부 패턴(112)일 수 있다.
- [0181] 게이트 스페이서(140)를 형성하는 것과 리세스(150r)를 형성하는 것이 동시에 진행될 수도 있지만, 이에 제한되는 것은 아니다. 즉, 게이트 스페이서(140)를 형성한 후, 핀형 구조체의 제2 부분(110p-2) 내에 리세스(150r)을 형성할 수 있다.
- [0182] 핀형 구조체의 제2 부분(110p-2) 내에 리세스(150r)을 형성되는 동안, 핀형 구조체의 제2 부분(110p-2)의 제1 희생 패턴(121) 및 제2 희생 패턴(123)은 제거될 수 있다. 또한, 핀형 구조체의 제2 부분(110p-2) 내에 리세스(150r)을 형성하는 동안, 핀형 구조체의 제2 부분(110p-2)의 프리 와이어 패턴(122)이 제거됨으로써, 제1 와이어 패턴(120)이 형성될 수 있다.
- [0183] 다시 말하면, 제1 와이어 패턴(120)은 핀형 구조체의 제1 부분(110p-1)에 위치하는 프리 와이어 패턴(122)일 수 있다.
- [0184] 도 22를 참고하면, 핀형 구조체의 제2 부분(110p-2) 상에, 리세스(150r)을 채우는 에피층(155)을 형성한다. 즉, 더미 게이트 패턴(135)의 양측에, 소오스/드레인(150)이 형성된다.
- [0185] 리세스(150r)에 의해 노출되는 하부 패턴(112) 상에 소오스/드레인(150)이 형성된다.
- [0186] 소오스/드레인(150)은 에피택셜 공정에 의해 형성될 수 있다. 본 발명의 실시예에 따른 반도체 장치(1-6)가 n형 트랜지스터인지, p형 트랜지스터인지에 따라, 소오스/드레인(150)에 포함되는 에피층(155)의 물질이 달라질 수 있다. 또한, 필요에 따라서, 에피택셜 공정시 불순물을 인시츄 도핑할 수도 있다.
- [0187] 도 22에 도시되지 않았지만, 에피층(155)을 형성하기 전에, 도 9 및 도 10을 통해 설명한 제1 에피 씨드막(160)이 형성될 수 있다.
- [0188] 도 23을 참고하면, 소오스/드레인(150), 게이트 스페이서(140) 및 더미 게이트 패턴(135), 핀형 구조체(110p) 등을 덮는 층간 절연막(180)을 필드 절연막(105) 상에 형성한다.
- [0189] 층간 절연막(180)은 저유전율 물질, 산화막, 질화막 및 산질화막 중 적어도 하나를 포함할 수 있다. 저유전율 물질은 예를 들어, FOX(Flowable Oxide), TOSZ(Tonen SilaZen), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PRTEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), HDP(High Density Plasma), PEOX(Plasma Enhanced Oxide), FCVD(Flowable CVD) 또는 이들의 조합으로 이뤄질 수 있다.
- [0190] 이어서, 더미 게이트 전극(137)의 상면이 노출될 때까지, 층간 절연막(180)을 평탄화한다. 그 결과, 제2 마스크 패턴(2104)이 제거되고 더미 게이트 전극(137)의 상면이 노출될 수 있다.
- [0191] 도 24a 내지 도 24c를 참고하면, 더미 게이트 패턴(135) 즉, 더미 게이트 절연막(136) 및 더미 게이트 전극(137)을 제거한다.
- [0192] 더미 게이트 절연막(136) 및 더미 게이트 전극(137)의 제거함에 따라, 필드 절연막(105) 및 핀형 구조체의 제1 부분(110p-1)의 일부가 노출된다.

- [0193] 도 25a 내지 도 26을 참고하면, 핀형 구조체의 제1 부분(110p-1)에서, 제1 희생 패턴(121)과 하부 패턴(112) 사이에 제1 상부 패턴(115)을 형성한다. 제1 상부 패턴(115)은 절연 물질을 포함하는 절연막 패턴이다.
- [0194] 제1 상부 패턴(115)을 형성하는 것은 예를 들어, 방향성 불순물 도핑 공정(190)을 이용할 수 있고, 예를 들어, 이온 주입(Ion Implantation) 공정 또는 플라즈마 어시스트 도핑(PLAD) 공정 등을 이용할 수 있다. 방향성 불순물 도핑 공정(190)을 통해 제공되는 불순물은 하부 패턴(112)과 결합하여 절연막 패턴을 형성할 수 있는 불순물이다. 예를 들어, 하부 패턴(112)과 결합하여 절연막 패턴을 형성할 수 있는 불순물은 산소 또는 질소 등일 수 있지만, 이에 제한되는 것은 아니다.
- [0195] 예를 들어, 방향성 불순물 도핑 공정(190)을 통해, 산소를 하부 패턴(112)의 상부에 제공함으로써, 제1 희생 패턴(121)과 접하는 하부 패턴(112)의 상부는 산화될 수 있다. 이를 통해, 제1 희생 패턴(121)과 하부 패턴(112) 사이에 절연막 패턴인 제1 상부 패턴(115)이 형성된다.
- [0196] 도 26을 이용하여, 제1 희생 패턴(121)의 하부에 배치되는 하부 패턴(112)의 상부에 불순물이 제공되는 원리에 대해서 설명한다.
- [0197] 먼저, 피도핑 기관(1000) 상에는 블로킹 패턴(1001)이 형성된다. 블로킹 패턴(1001)은 방향성 불순물 도핑 공정(190)의 마스크 역할을 한다. 피도핑 기관(1000)에 방향성 불순물 도핑 공정(190)을 진행할 경우, 제공된 불순물은 피도핑 기관(1000)의 상면으로부터 X_j 깊이만큼 도핑된다.
- [0198] 이때, 방향성 불순물 도핑 공정(190)의 직진성을 높여, 제공되는 불순물이 피도핑 기관(1000)에 수직으로 입사한다고 하여도, 불순물은 피도핑 기관(1000)의 수직 방향뿐만 아니라, 수평 방향으로 도핑이 된다. 즉, 블로킹 패턴(1001)에 의해 덮인 부분까지 불순물은 도핑된다.
- [0199] 제공된 불순물이 수평방향으로 확산되는 이유는 예를 들어, 피도핑 기관(1000)을 이루는 물질과의 충돌로 인한 진행 경로의 변경 등이 있을 수 있다.
- [0200] 따라서, 제공된 불순물이 피도핑 기관(1000)의 상면으로부터 X_j 깊이만큼 도핑될 때, 제공된 불순물은 방향성 불순물 도핑 공정(190)에 의해 직접적으로 노출되지 않은 블로킹 패턴(1001) 하부로 확산되고, 확산된 거리는 aX_j 일 수 있다. 여기에서, a 는 0보다 크고 1보다 작은 수이다. a 는 피도핑 기관(1000)의 종류 및 도핑되는 불순물의 종류 등에 따라서 달라질 수 있다.
- [0201] 다시, 도 25a 및 도 25b를 참고하면, 방향성 불순물 도핑 공정(190)에 의해 제공되는 불순물은 노출된 필드 절연막(105)에 직접 주입될 수 있지만, 필드 절연막(105)에 주입된 불순물은 측면 확산은 통해, 하부 패턴(112) 내로 주입되게 된다.
- [0202] 따라서, 하부 패턴(112) 상에 제1 희생 패턴(121) 등이 위치하지만, 하부 패턴(112)의 상부에 방향성 불순물 도핑 공정(190)에 의해 제공되는 불순물이 주입될 수 있다.
- [0203] 방향성 불순물 도핑 공정(190)에 의해 제공되는 불순물이 채널 영역으로 사용될 제1 와이어 패턴(120)에 주입된다면, 반도체 소자의 성능이 저하될 수 있다.
- [0204] 따라서, 제1 상부 패턴(115)을 형성하기 위해 방향성 불순물 도핑 공정(190)을 진행하는 동안, 제2 희생 패턴(123)은 하부의 제1 와이어 패턴(120)에 불순물이 주입되는 것을 방지하는 역할을 할 수 있다.
- [0205] 하부 패턴(112)의 상부에 측면 확산되어 들어오는 불순물의 거리를 고려하여, 필드 절연막(105)에 주입되는 불순물의 깊이 X_j 가 달라질 수 있다. 또한, X_j 에 따라, 제1 와이어 패턴(120) 상에 형성되는 제2 희생 패턴(123)의 두께가 결정될 수 있다.
- [0206] 방향성 불순물 도핑 공정(190)을 진행하여, 제1 상부 패턴(115)을 형성한 후, 열처리 공정을 추가적으로 진행할 수 있다. 열처리 공정을 통해, 제1 상부 패턴(115)이 열처리될 수 있다.
- [0207] 도 25a에서, 제1 상부 패턴(115)은 핀형 구조체의 제1 부분(110p-1)뿐만 아니라, 핀형 구조체의 제2 부분(110p-2)까지 형성되는 것으로 도시하였지만, 이에 제한되는 것은 아니다. 방향성 불순물 도핑 공정(190)을 진행한 후, 추가적으로 진행될 수 있는 열처리 공정의 온도 및 시간 등을 조절함으로써, 제1 상부 패턴(115)이 제1 방향(X)으로 형성되는 폭을 조절할 수 있다.
- [0208] 도 27a 및 도 27b를 참고하면, 핀형 구조체의 제1 부분(110p-1)의 제1 희생 패턴(121) 및 제2 희생 패턴(123)을

제거한다. 이를 통해, 제1 와이어 패턴(120)과 제1 상부 패턴(115) 사이에 공간이 형성되게 된다.

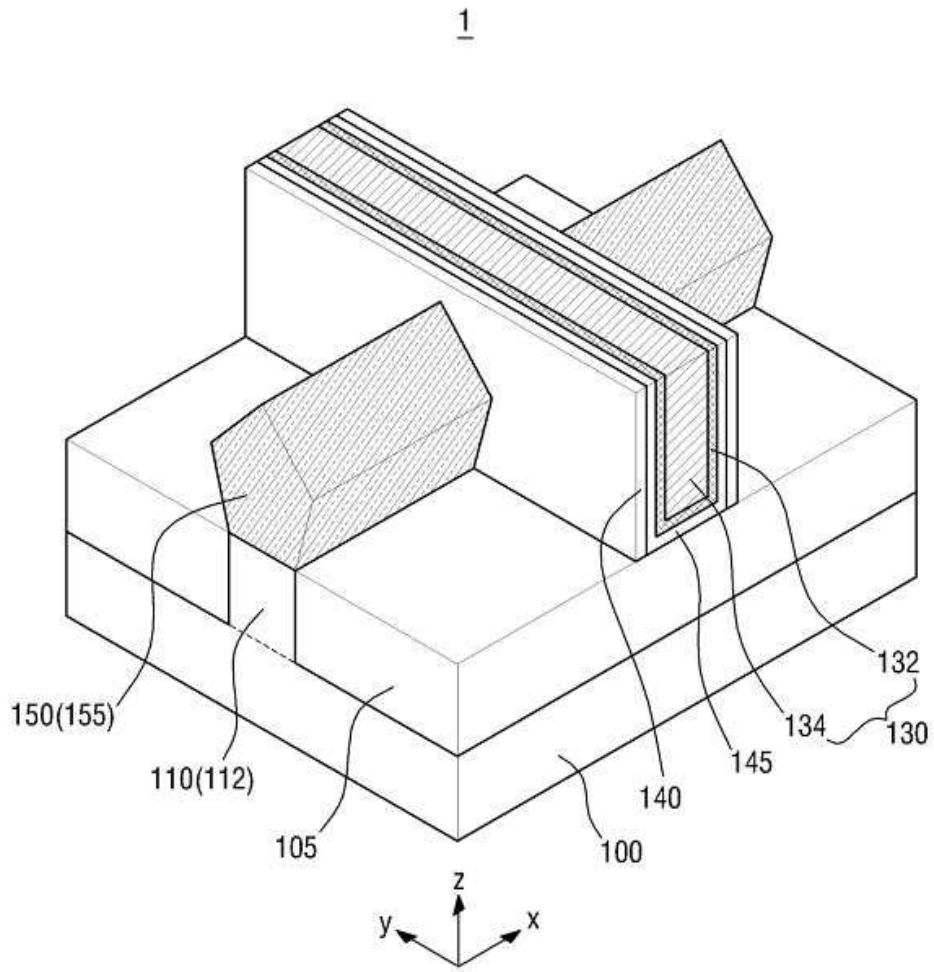
- [0209] 제1 와이어 패턴(120)의 상하에 위치하는 제1 희생 패턴(121) 및 제2 희생 패턴(123)을 제거하는 것은 예를 들어, 식각 공정을 이용할 수 있다. 즉, 제1 희생 패턴(121) 및 제2 희생 패턴(123)과, 제1 와이어 패턴(120) 사이의 식각 선택비를 이용할 수 있다.
- [0210] 예를 들어, 제1 희생 패턴(121) 및 제2 희생 패턴(123)에 대한 높은 식각 선택비를 갖는 물질을 이용하여, 제1 희생 패턴(121) 및 제2 희생 패턴(123)은 제거하고, 제1 와이어 패턴(120)은 식각되지 않도록 한다. 예를 들어, 제1 희생 패턴(121) 및 제2 희생 패턴(123)이 실리콘게르마늄을 포함하고, 제1 와이어 패턴(120)이 실리콘을 포함할 경우, 고온의 SC1(standard cleaning solution)을 이용할 수 있지만, 이에 제한되는 것은 아니다.
- [0211] 이를 통해, 하부 패턴(112) 및 제1 상부 패턴(115)을 포함하는 핀형 패턴(110)이 형성된다. 또한, 핀형 패턴(110) 상에 제1 와이어 패턴(120)이 형성된다.
- [0212] 이어서, 도 12를 참고하면, 제1 와이어 패턴(120)의 둘레를 감싸도록 게이트 절연막(145) 및 제1 게이트 전극(130)을 형성한다.
- [0213] 도 17 내지 도 19, 도 27a 내지 도 33b를 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법에 대해 설명한다. 도 17 내지 도 27b를 통해서 형성되는 반도체 장치는 도 11 및 도 12를 통해 설명한 반도체 장치(5)이다.
- [0214] 도 28 내지 도 33b는 본 발명의 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다. 참고로, 도 33b는 도 33a의 D - D를 따라서 절단한 단면도이다.
- [0215] 도 28을 참고하면, 핀형 구조체(110p)의 측벽을 적어도 일부 덮는 필드 절연막(105)을 기판(100) 상에 형성한 후, 핀형 구조체의 제1 부분(110p-1)에서, 제1 희생 패턴(121)과 하부 패턴(112) 사이에 제1 상부 패턴(115)을 형성한다.
- [0216] 핀형 구조체의 제2 부분(110p-2)도 노출되어 있으므로, 제1 상부 패턴(115)은 핀형 구조체의 제2 부분(110p-2)의 제1 희생 패턴(121) 및 하부 패턴(112) 사이에도 형성된다.
- [0217] 절연막 패턴인 제1 상부 패턴(115)을 형성하는 것은 예를 들어, 방향성 불순물 도핑 공정(190)을 이용할 수 있다.
- [0218] 또한, 방향성 불순물 도핑 공정(190)을 진행하여, 제1 상부 패턴(115)을 형성한 후, 열처리 공정을 추가적으로 진행할 수 있다.
- [0219] 도 29를 참고하면, 제2 마스크 패턴(2104)를 이용하여 식각 공정을 진행하여, 핀형 구조체(110p)와 교차하여 제2 방향(Y)으로 연장되는 더미 게이트 패턴(135)을 형성할 수 있다.
- [0220] 이를 통해, 더미 게이트 패턴(135)은 제1 상부 패턴(115)을 포함하는 핀형 구조체(110p) 상에 형성된다. 더미 게이트 패턴(135)은 핀형 구조체의 제1 부분(110p-1) 상에 형성된다.
- [0221] 도 30을 참고하면, 더미 게이트 패턴(135)의 측벽에 게이트 스페이서(140)를 형성한다.
- [0222] 덧붙여, 더미 게이트 전극(137)을 포함하는 더미 게이트 패턴(135)을 마스크로 이용하여, 핀형 구조체의 제2 부분(110p-2) 내에 리세스(150r)을 형성한다. 리세스(150r)의 바닥면은 제1 상부 패턴(115)일 수 있지만, 이에 제한되는 것은 아니다.
- [0223] 즉, 핀형 구조체의 제2 부분(110p-2)의 제1 희생 패턴(121)을 전체적으로 제거하지 않고, 제1 희생 패턴(121)의 일부를 남겨둘 수 있다. 예를 들어, 남겨진 제1 희생 패턴(121)은 도 13 및 도 14에서 설명한 제2 에피 씨드막(165)이 될 수 있지만, 이제 제한되는 것은 아니다.
- [0224] 도 31을 참고하면, 핀형 구조체의 제2 부분(110p-2) 상에, 리세스(150r)을 채우는 에피층(155)을 형성한다. 즉, 더미 게이트 패턴(135)의 양측에, 소오스/드레인(150)이 형성된다.
- [0225] 리세스(150r)의 바닥면이 절연막 패턴인 제1 상부 패턴(115)인 경우, 절연막 상에서는 에피택셜 공정에 의해 에피막이 성장되지 않는다.
- [0226] 하지만, 리세스(150r)의 측면에는 제1 희생 패턴(121)과, 제1 와이어 패턴(120)과, 제2 희생 패턴(123)이 노출되어 있다. 따라서, 노출된 제1 희생 패턴(121)과, 제1 와이어 패턴(120)과, 제2 희생 패턴(123) 상에 에피층

(155)이 성장될 수 있다.

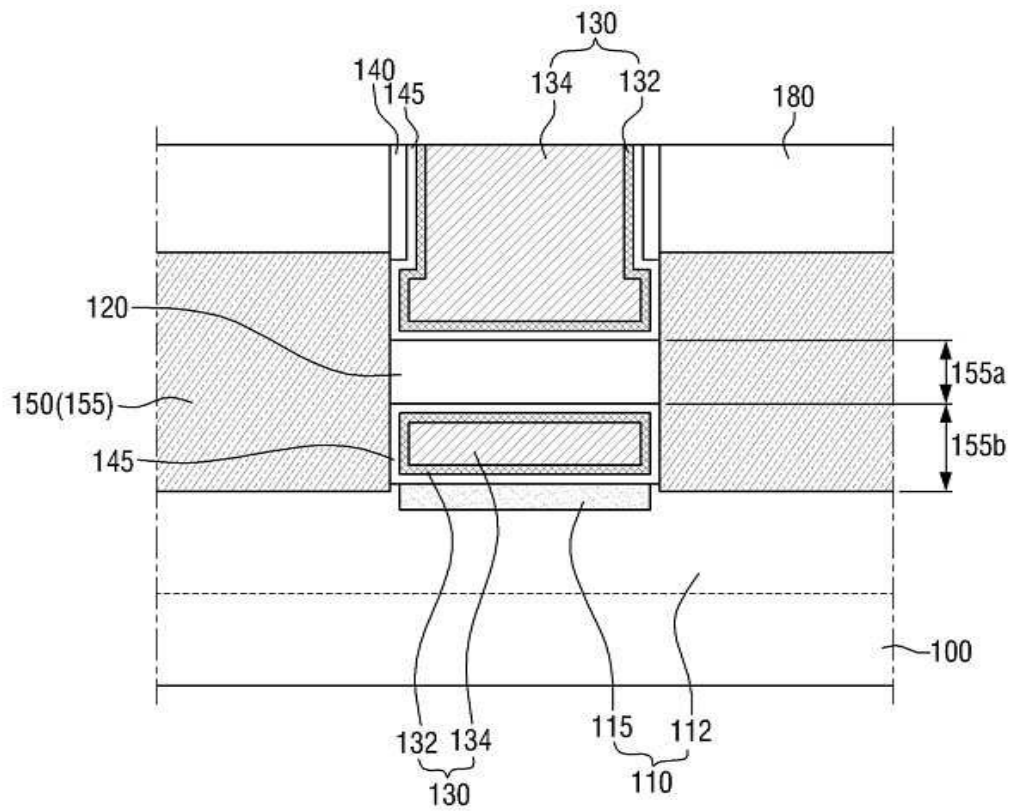
- [0227] 도 31에 도시되지 않았지만, 에피층(155)을 형성하기 전에, 도 9 및 도 10을 통해 설명한 제1 에피 씨드막(160)이 노출된 제1 희생 패턴(121)과, 제1 와이어 패턴(120)과, 제2 희생 패턴(123) 상에 형성될 수 있다.
- [0228] 도 32를 참고하면, 소오스/드레인(150), 게이트 스페이서(140) 및 더미 게이트 패턴(135), 제1 상부 패턴(115)을 포함하는 핀형 구조체(110p) 등을 덮는 층간 절연막(180)을 필드 절연막(105) 상에 형성한다.
- [0229] 이어서, 더미 게이트 전극(137)의 상면이 노출될 때까지, 층간 절연막(180)을 평탄화한다. 제2 마스크 패턴(2104)이 제거되고, 더미 게이트 전극(137)의 상면이 노출될 수 있다.
- [0230] 도 33a 및 도 33b를 참고하면, 더미 게이트 패턴(135) 즉, 더미 게이트 절연막(136) 및 더미 게이트 전극(137)을 제거한다.
- [0231] 이 때, 제1 상부 패턴(115)이 실리콘 산화물을 포함할 경우, 더미 게이트 절연막(136)을 제거하는 과정에서, 제1 상부 패턴(115)의 일부가 식각될 수 있다.
- [0232] 더미 게이트 절연막(136) 및 더미 게이트 전극(137)의 제거함에 따라, 하부 패턴(112)과, 제1 상부 패턴(115)과, 제1 희생 패턴(121)과, 제1 와이어 패턴(120)과, 제2 희생 패턴(123)이 순차적으로 적층된 핀형 구조체의 제1 부분(110p-1)의 일부가 노출된다.
- [0233] 이어서, 제1 희생 패턴(121) 및 제2 희생 패턴(123)을 제거하고, 게이트 절연막(145) 및 제1 게이트 전극(130)을 형성한다.
- [0234] 도 17, 도 34 내지 도 42를 참조하여, 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법에 대해서 설명한다.
- [0235] 도 34 내지 도 42는 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간단계 도면들이다.
- [0236] 도 34를 참고하면, 제1 마스크 패턴(2103)을 마스크로 하여, 식각 공정을 진행하여 핀형 구조체(110p)를 형성한다.
- [0237] 도 17의 제2 희생막(2003)과, 액티브막(2002)과, 제1 희생막(2001)을 패터닝하여, 핀형 구조체(110p)가 형성될 수 있다. 핀형 구조체(110p)는 기판(100) 상에 제1 희생 패턴(121)과, 프리 와이어 패턴(122)과, 제2 희생 패턴(123)이 순차적으로 적층되어 있다.
- [0238] 도 34에서, 기판(100)은 식각되지 않는 것으로 도시되지만, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0239] 또한, 기판(100) 위로 돌출된 핀형 구조체(110p)는 제1 부분(110p-1)과 제2 부분(110p-2)을 포함할 수 있다. 핀형 구조체의 제2 부분(110p-2)는 핀형 구조체의 제1 부분(110p-1)을 중심으로 제1 방향(X)으로 양측에 위치할 수 있다.
- [0240] 도 35를 참고하면, 방향성 불순물 도핑 공정(190)을 이용하여, 기판(100)의 상부를 산화시킨다. 이를 통해, 핀형 구조체(110p)와 기판(100) 사이에 매립 절연막(103)이 형성된다.
- [0241] 매립 절연막(103)은 기판(100)의 상부, 즉, 기판(100)의 상면에 전체적으로 형성될 수 있다.
- [0242] 도 36을 참고하면, 매립 절연막(103)과 핀형 구조체(110p)를 덮는 희생 필드 절연막(105p)을 형성한다.
- [0243] 이어서, 평탄화 공정을 통해, 핀형 구조체(110p)의 상면 및 희생 필드 절연막(105p)의 상면은 동일 평면 상에 놓일 수 있다.
- [0244] 이어서, 프리 와이어 패턴(122)에 문턱 전압 조절용 불순물을 도핑할 수 있다. 이 후, 희생 필드 절연막(105p)을 제거하여, 매립 절연막(103)을 노출시킨다.
- [0245] 도 37을 참고하면, 제2 마스크 패턴(2104)을 이용하여 식각 공정을 진행하여, 핀형 구조체(110p)와 교차하여 제2 방향(Y)으로 연장되는 더미 게이트 패턴(135)을 형성할 수 있다.
- [0246] 더미 게이트 패턴(135)은 핀형 구조체의 제1 부분(110p-1) 상에 형성된다. 또한, 더미 게이트 패턴(135)은 매립 절연막(103) 상에 형성된다.

- [0247] 도 38을 참고하면, 더미 게이트 패턴(135)의 측벽에 게이트 스페이서(140)를 형성한다.
- [0248] 덧붙여, 더미 게이트 전극(137)을 포함하는 더미 게이트 패턴(135)을 마스크로 이용하여, 핀형 구조체의 제2 부분(110p-2) 내에 리세스(150r)을 형성한다. 리세스(150r)의 바닥면은 제1 희생 패턴(121)의 일부일 수 있지만, 이에 제한되는 것은 아니다. 즉, 핀형 구조체의 제2 부분(110p-2)의 제1 희생 패턴(121)을 전부 제거함으로써, 리세스(150r)의 바닥면은 매립 절연막(103)이 될 수 있음은 물론이다.
- [0249] 리세스(150r)를 형성하는 동안, 제1 희생 패턴(121)의 일부를 남김으로써, 제2 에피 씨드막(165)이 형성될 수 있다.
- [0250] 도 39를 참고하면, 핀형 구조체의 제2 부분(110p-2) 상에, 리세스(150r)을 채우는 에피층(155)을 형성한다. 즉, 더미 게이트 패턴(135)의 양측에, 소오스/드레인(150)이 형성된다.
- [0251] 에피택셜 공정에 의해, 에피층(155)은 제2 에피 씨드막(165) 상에 형성될 수 있다.
- [0252] 도 39에 도시되지 않았지만, 에피층(155)을 형성하기 전에, 도 9 및 도 10을 통해 설명한 제1 에피 씨드막(160)이 노출된 제1 희생 패턴(121)과, 제1 와이어 패턴(120)과, 제2 희생 패턴(123) 상에 형성될 수 있다. 또한, 제1 에피 씨드막(160)은 제2 에피 씨드막(165) 상에도 형성될 수 있다.
- [0253] 도 40a 및 도 40b를 참고하면, 소오스/드레인(150), 게이트 스페이서(140) 및 더미 게이트 패턴(135), 핀형 구조체(110p) 등을 덮는 층간 절연막(180)을 매립 절연막(103) 상에 형성한다.
- [0254] 이어서, 더미 게이트 전극(137)의 상면이 노출될 때까지, 층간 절연막(180)을 평탄화한다. 제2 마스크 패턴(2104)이 제거되고, 더미 게이트 전극(137)의 상면이 노출될 수 있다.
- [0255] 이어서, 더미 게이트 패턴(135) 즉, 더미 게이트 절연막(136) 및 더미 게이트 전극(137)을 제거한다. 이를 통해, 매립 절연막(103)의 일부가 노출된다.
- [0256] 또한, 더미 게이트 절연막(136) 및 더미 게이트 전극(137)의 제거함에 따라, 제1 희생 패턴(121)과, 제1 와이어 패턴(120)과, 제2 희생 패턴(123)이 순차적으로 적층된 핀형 구조체의 제1 부분(110p-1)의 일부가 노출된다.
- [0257] 도 41을 참고하면, 핀형 구조체의 제1 부분(110p-1)의 제1 희생 패턴(121) 및 제2 희생 패턴(123)을 제거한다.
- [0258] 이를 통해, 제1 와이어 패턴(120)과 매립 절연막(103) 사이에 공간이 형성되게 된다.
- [0259] 도 42를 참고하면, 제1 와이어 패턴(120)의 둘레를 감싸도록 게이트 절연막(145) 및 제1 게이트 전극(130)을 형성한다.
- [0260] 도 43은 본 발명의 몇몇 실시예에 따른 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- [0261] 도 43을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합될 수 있다. 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0262] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다. 본 발명의 몇몇 실시예들에 따른 반도체 장치는 기억 장치(1130) 내에 제공되거나, 컨트롤러(1110), 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0263] 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.

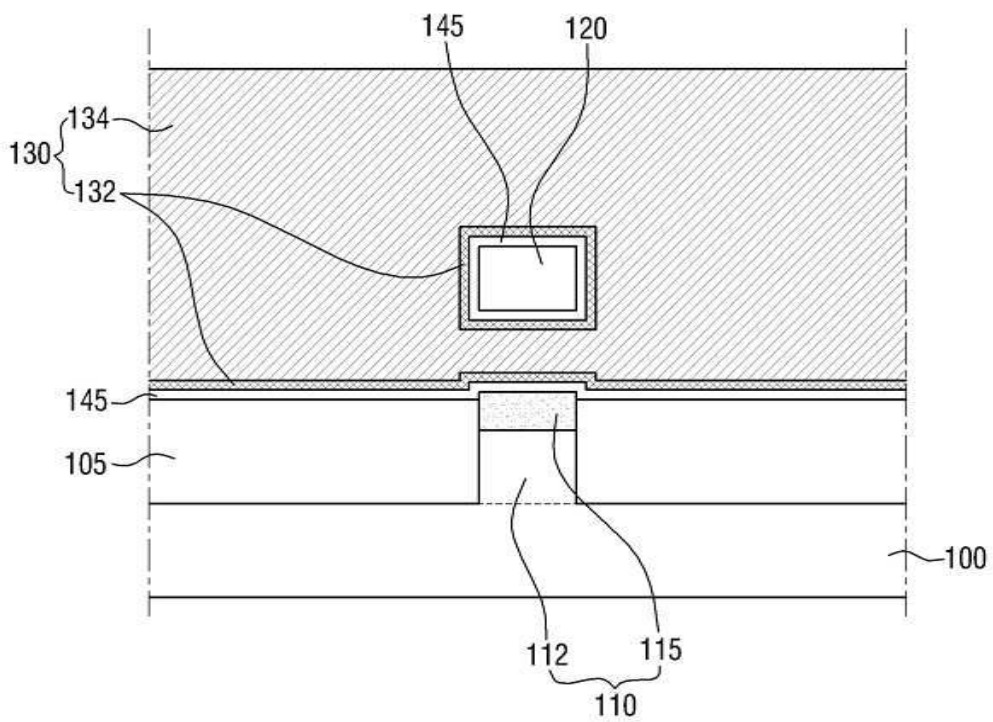
도면3



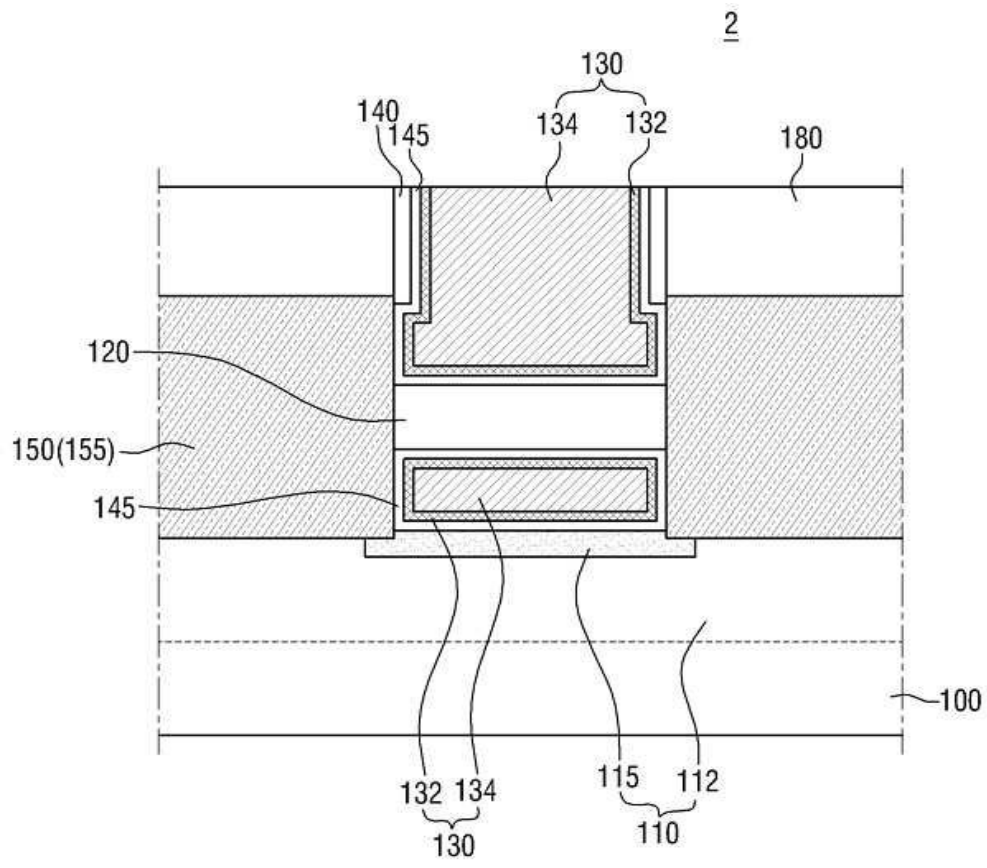
도면4



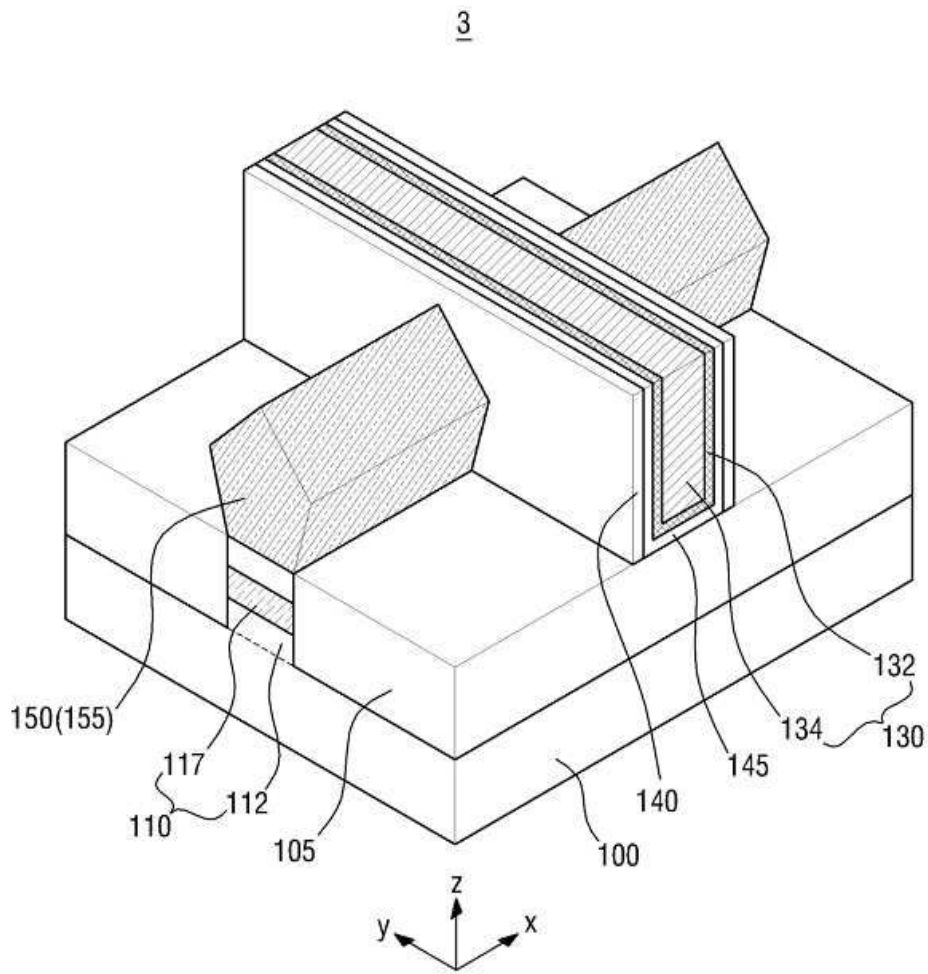
도면5



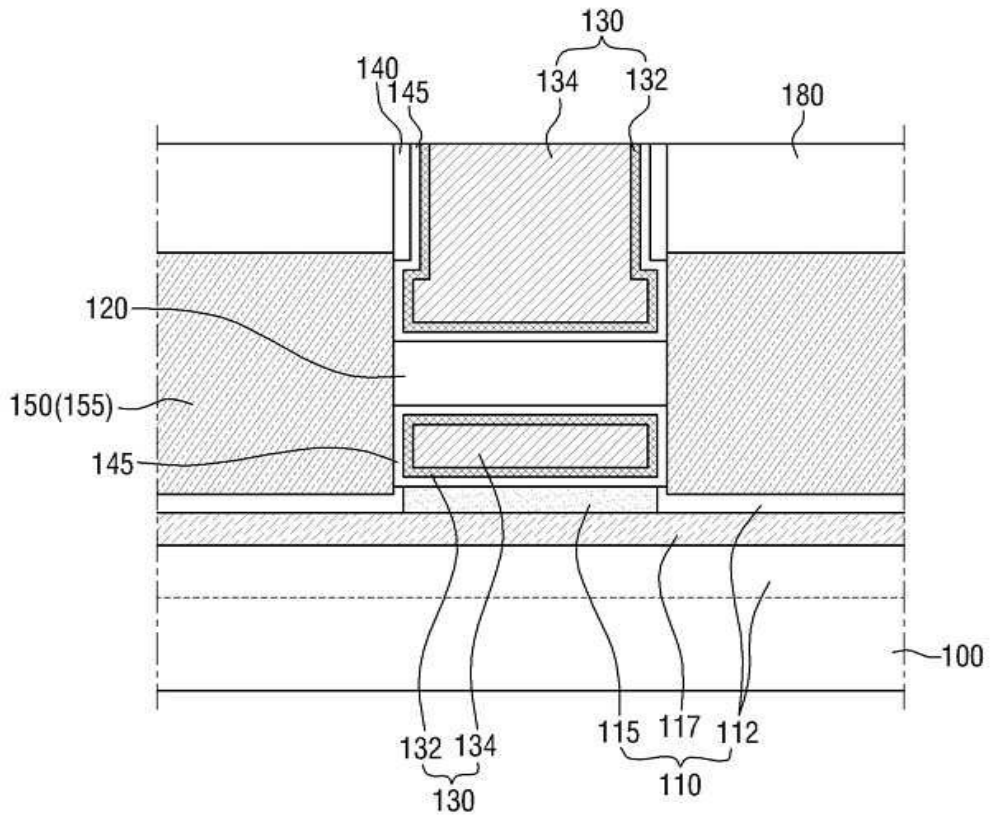
도면6



도면7

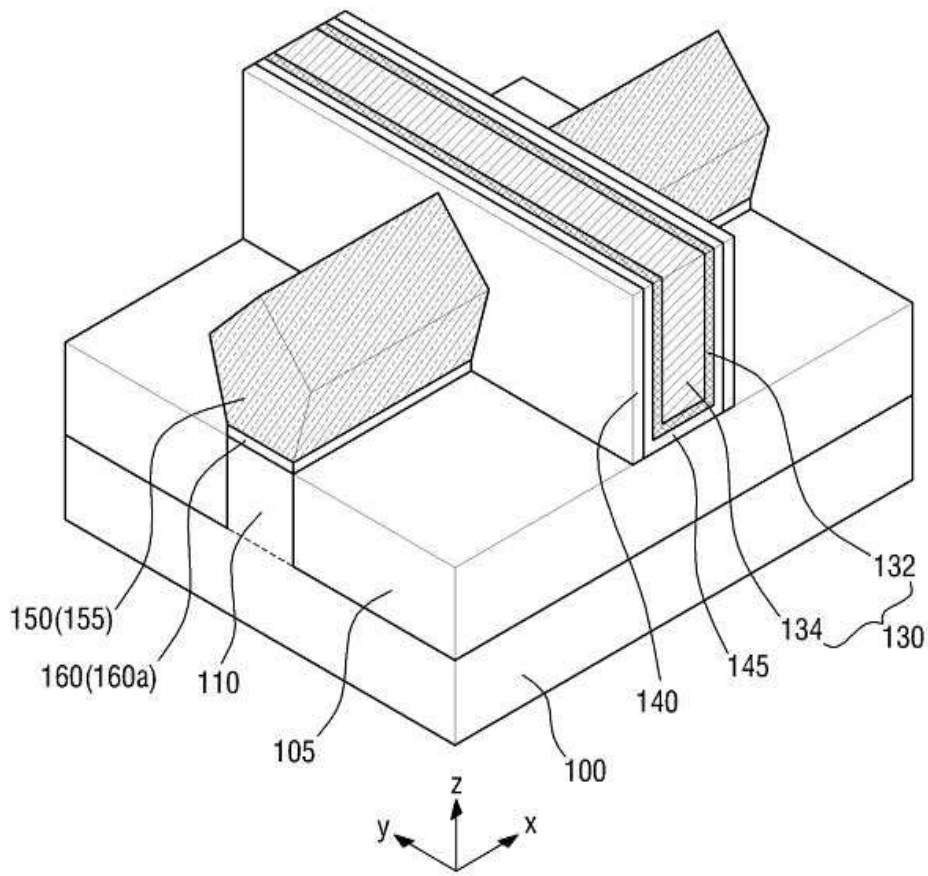


도면8

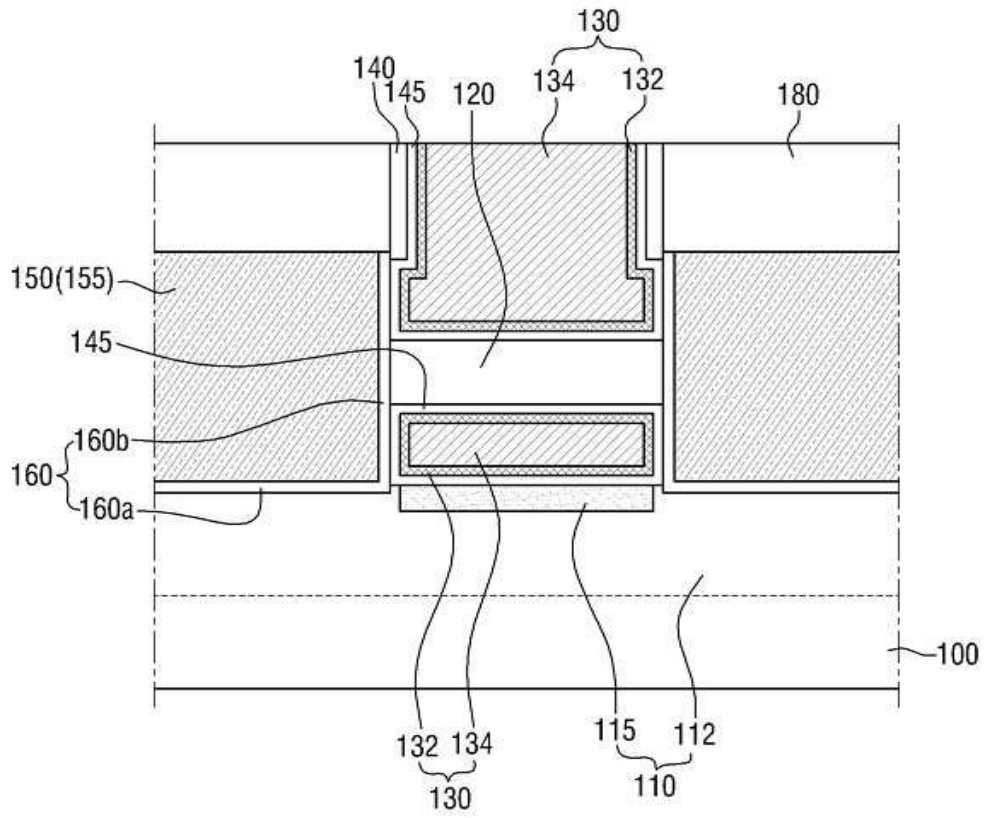


도면9

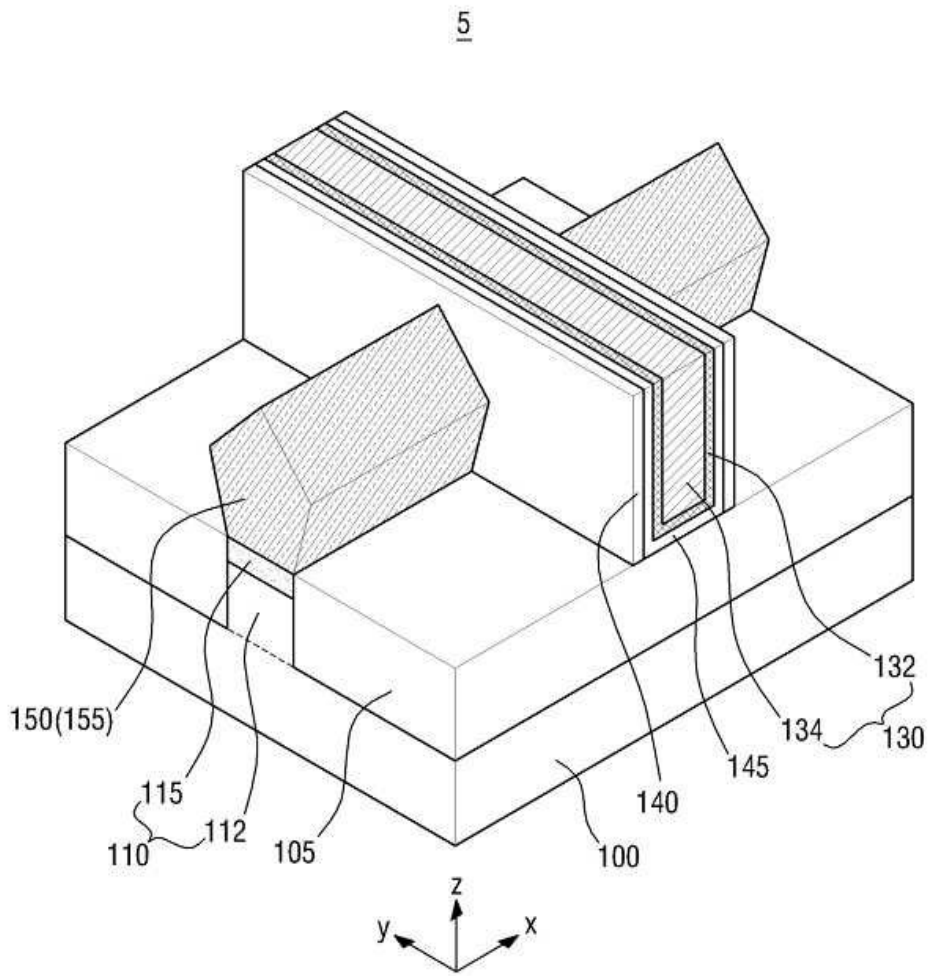
4



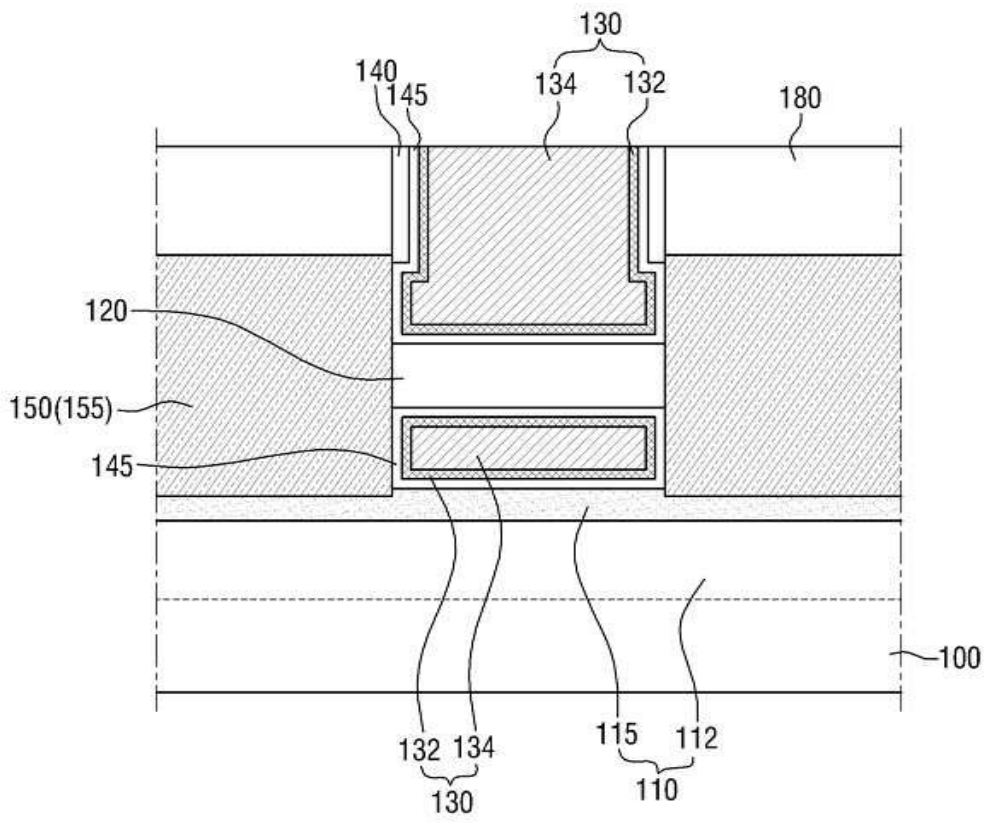
도면10



도면11

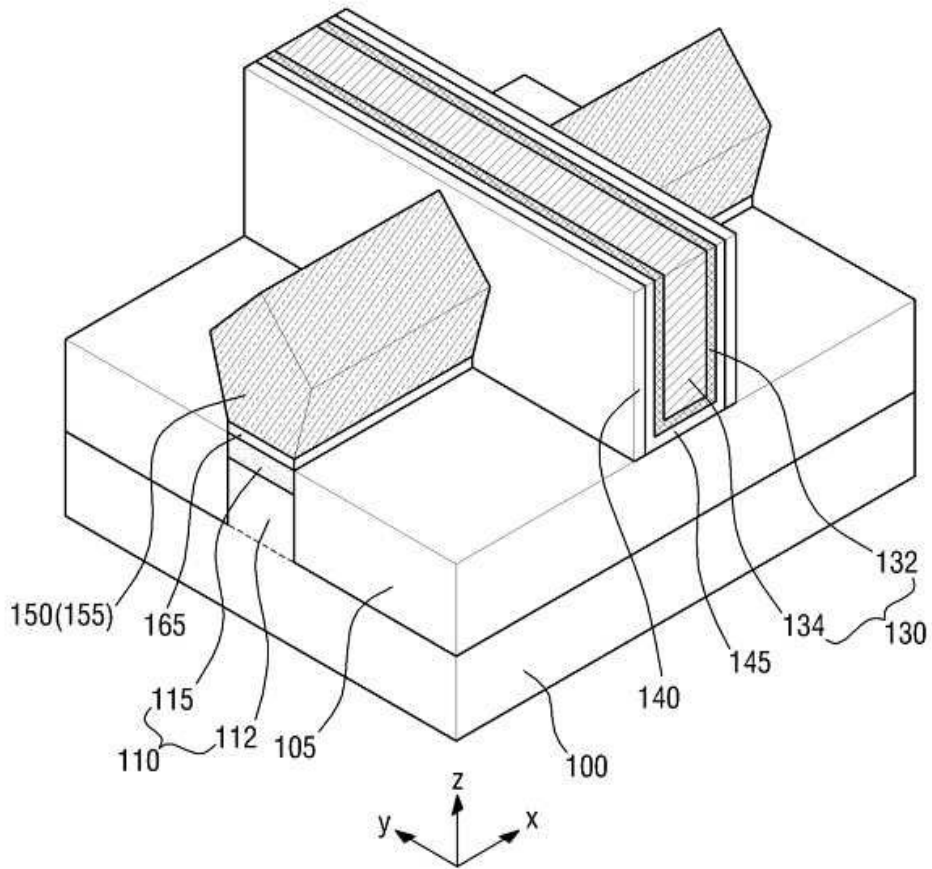


도면12

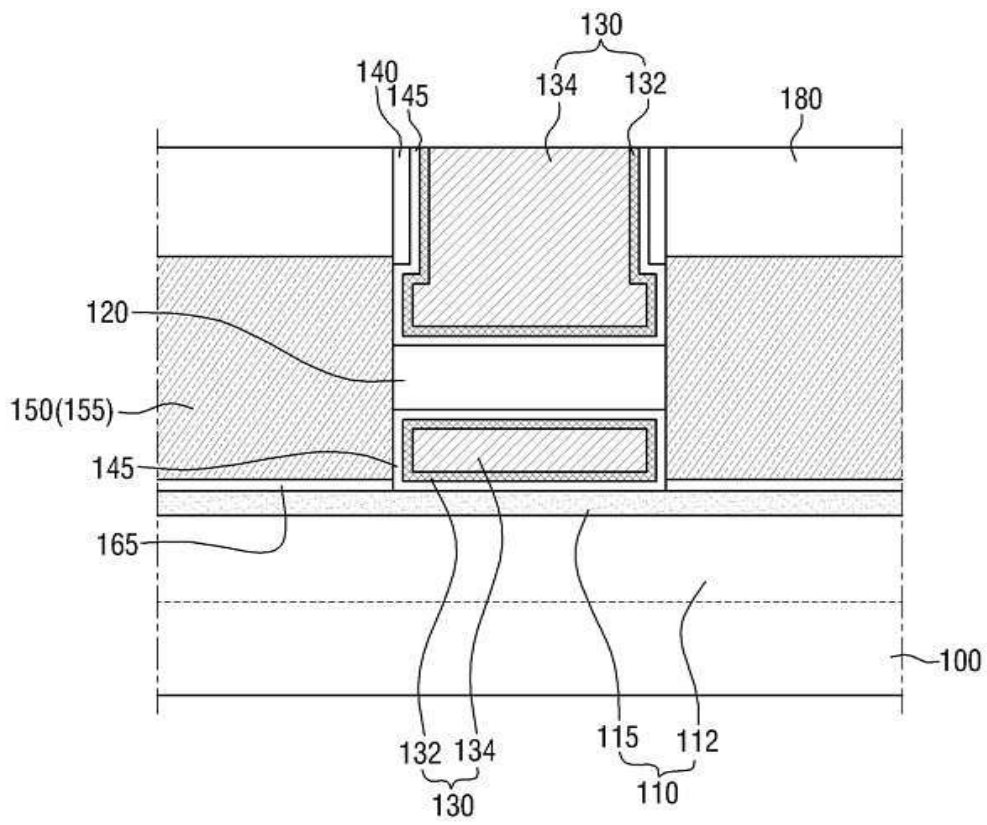


도면13

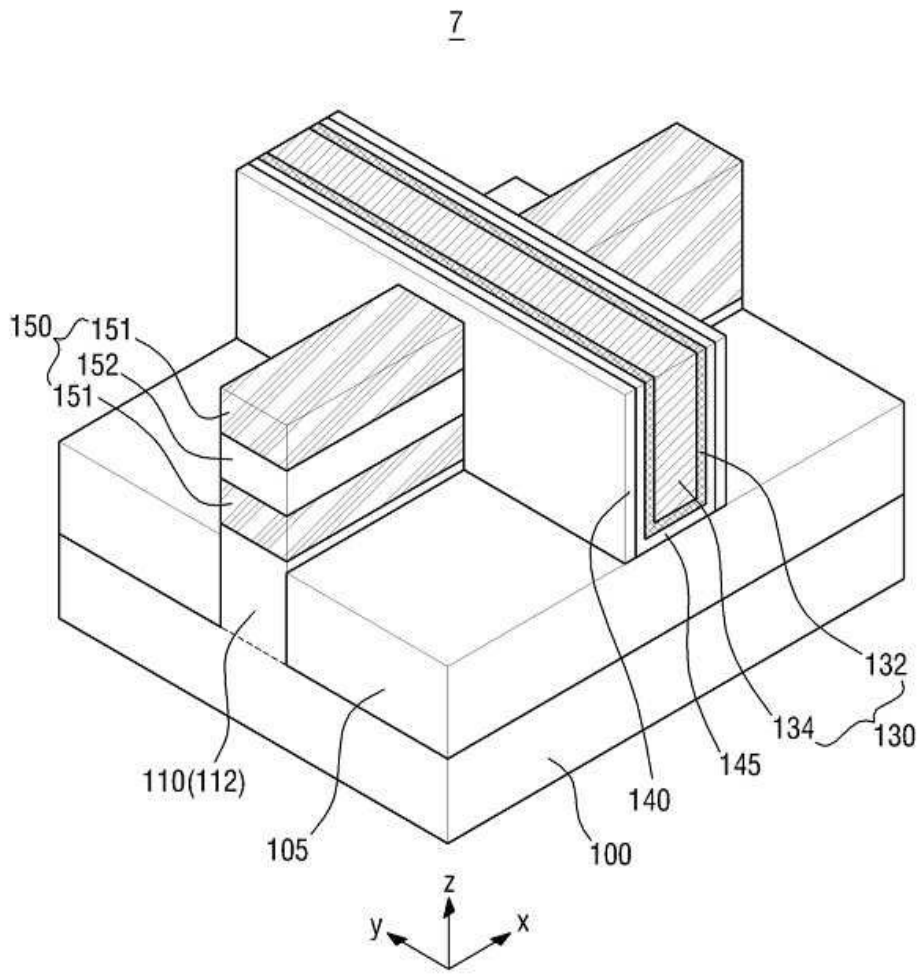
6



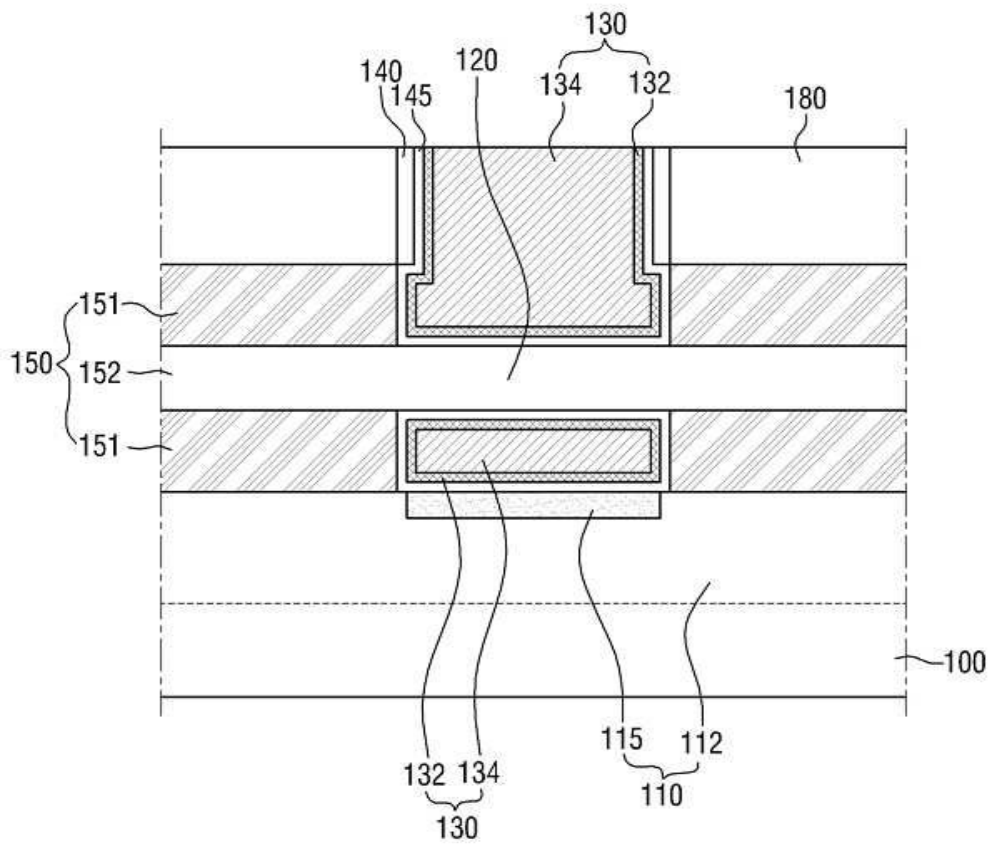
도면14



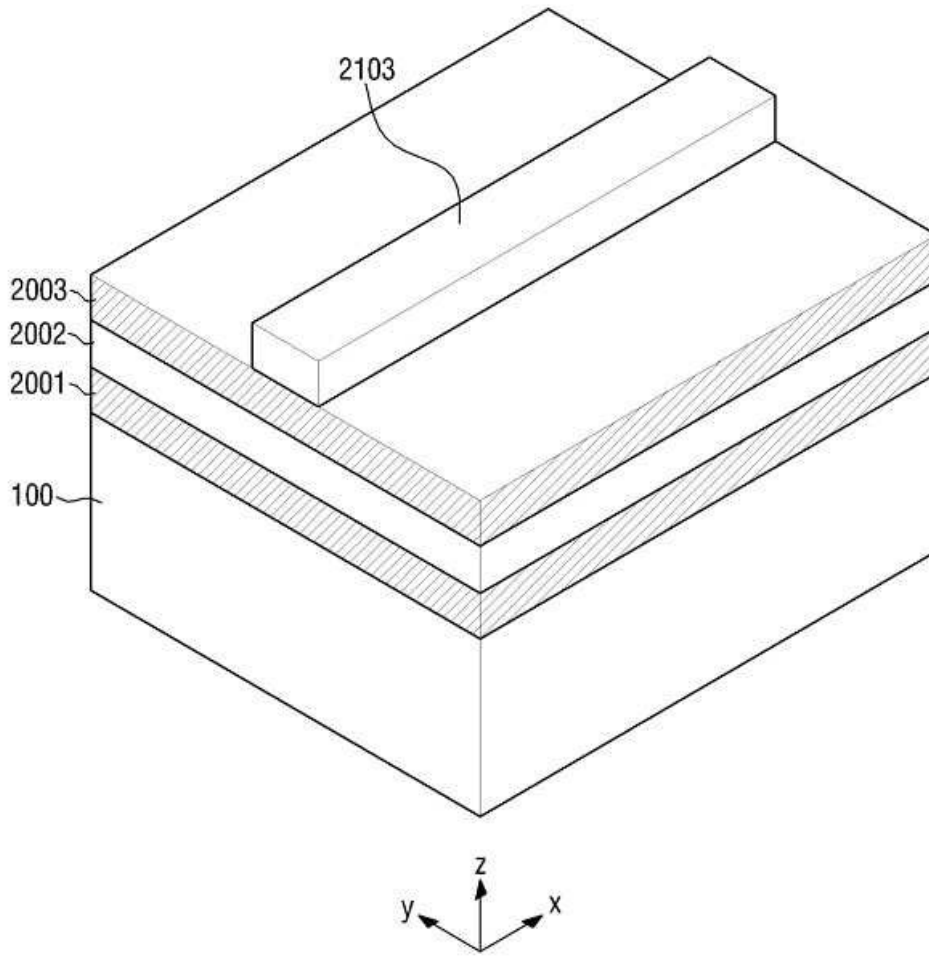
도면15



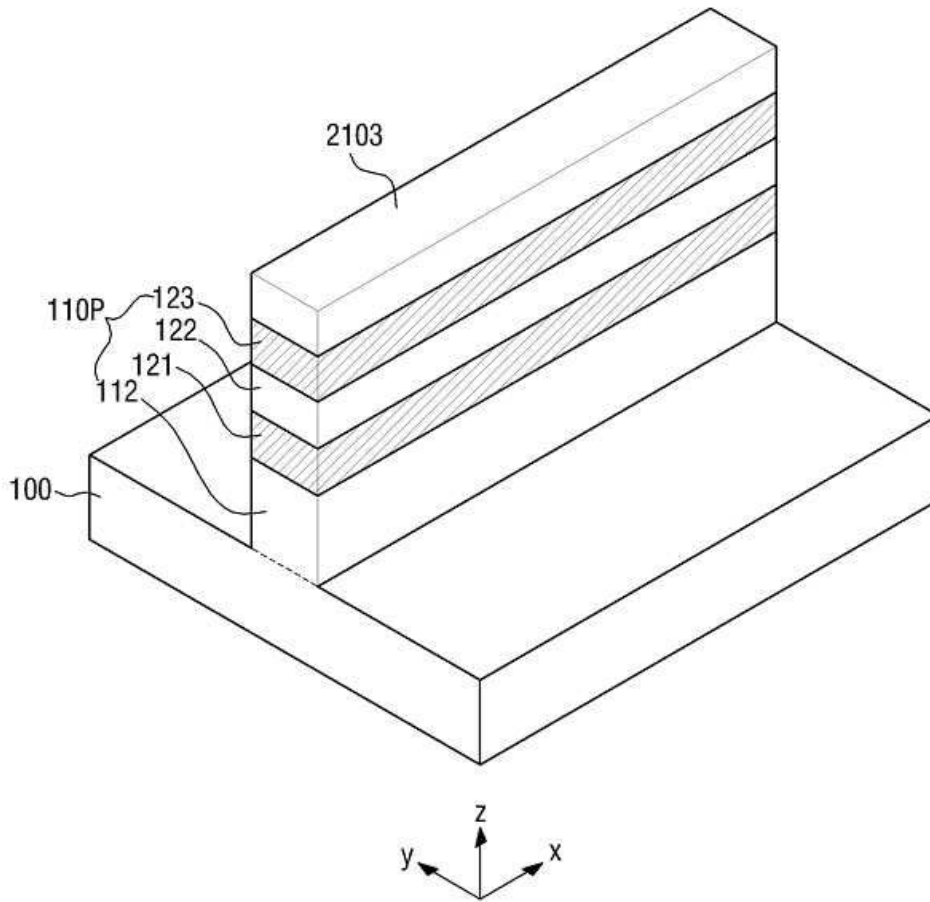
도면16



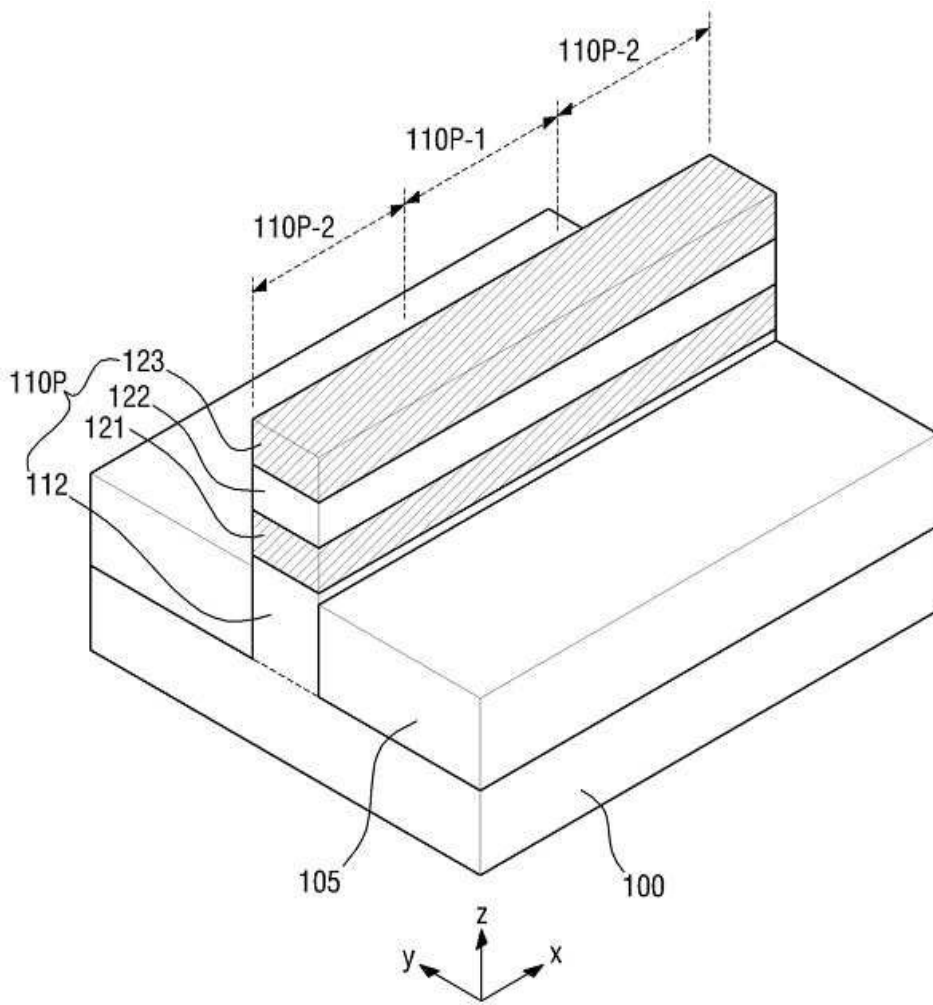
도면17



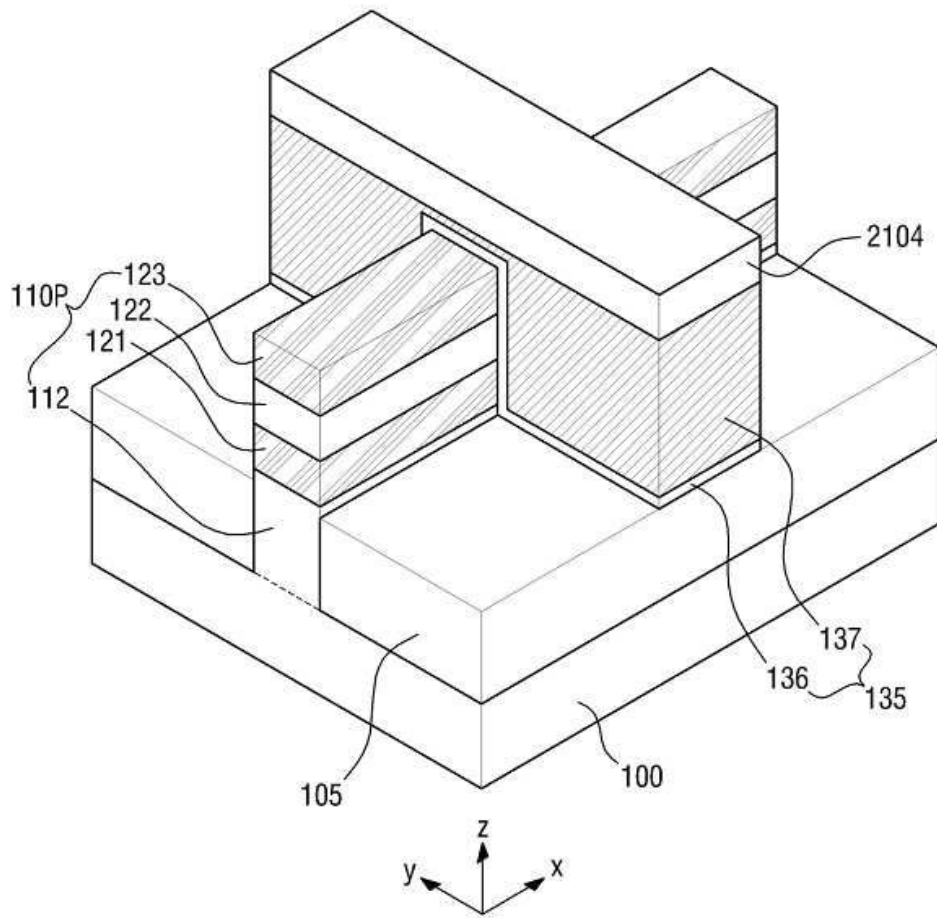
도면18



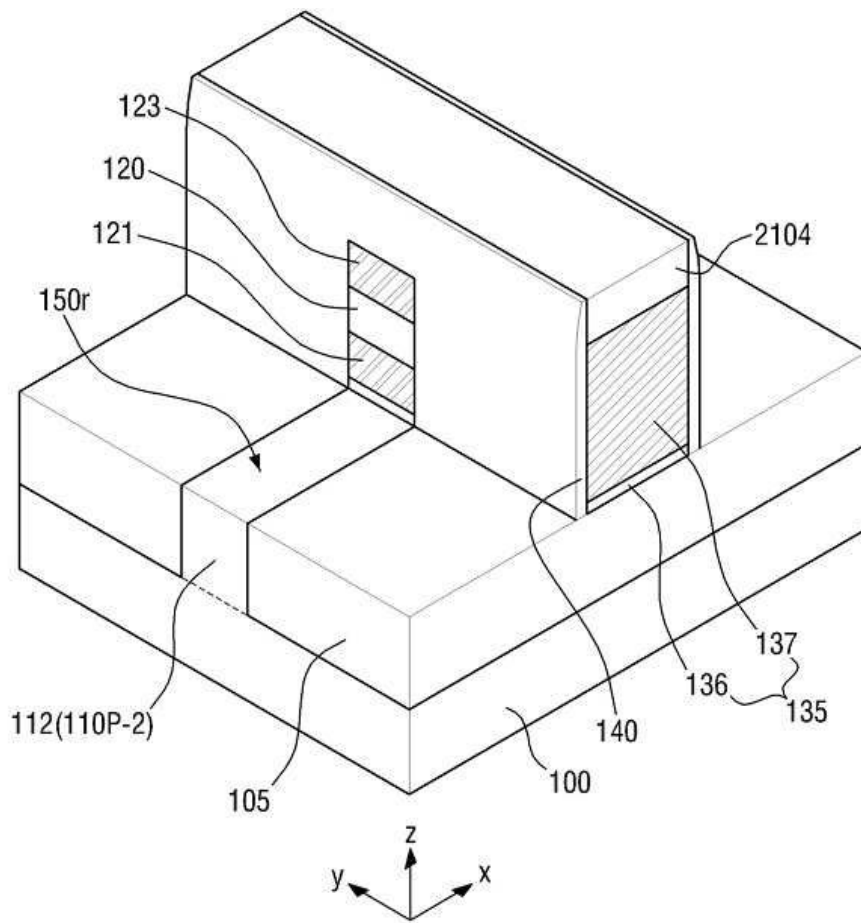
도면19



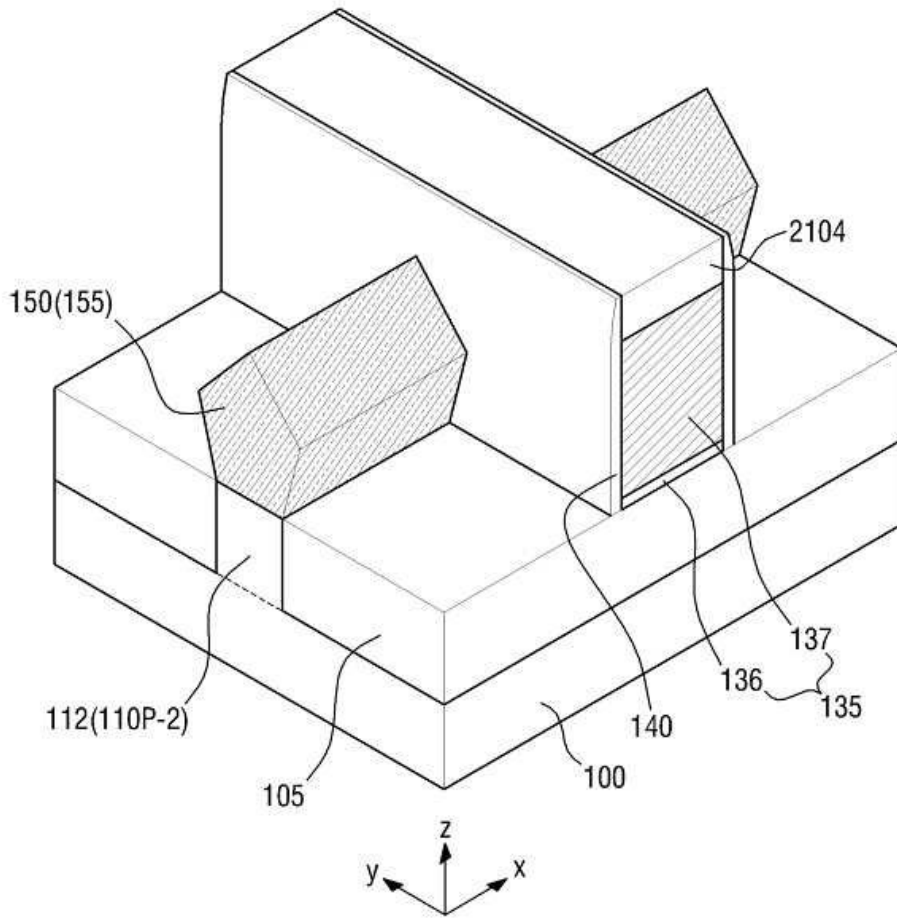
도면20



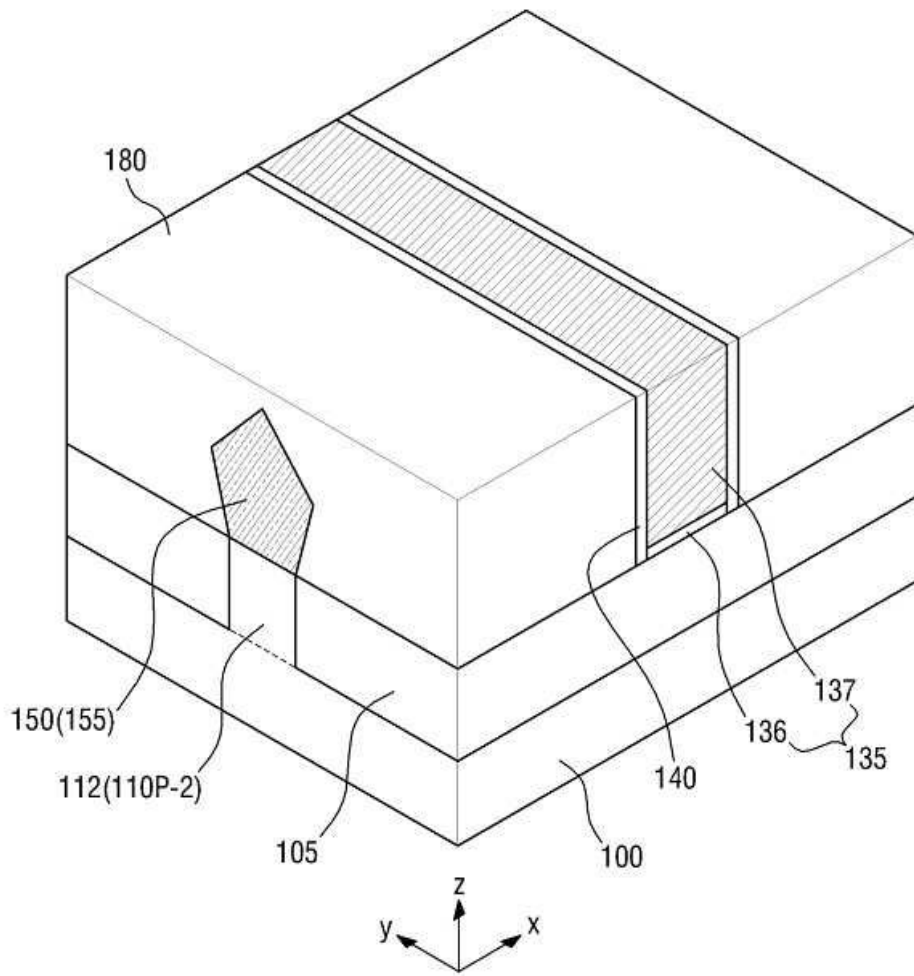
도면21



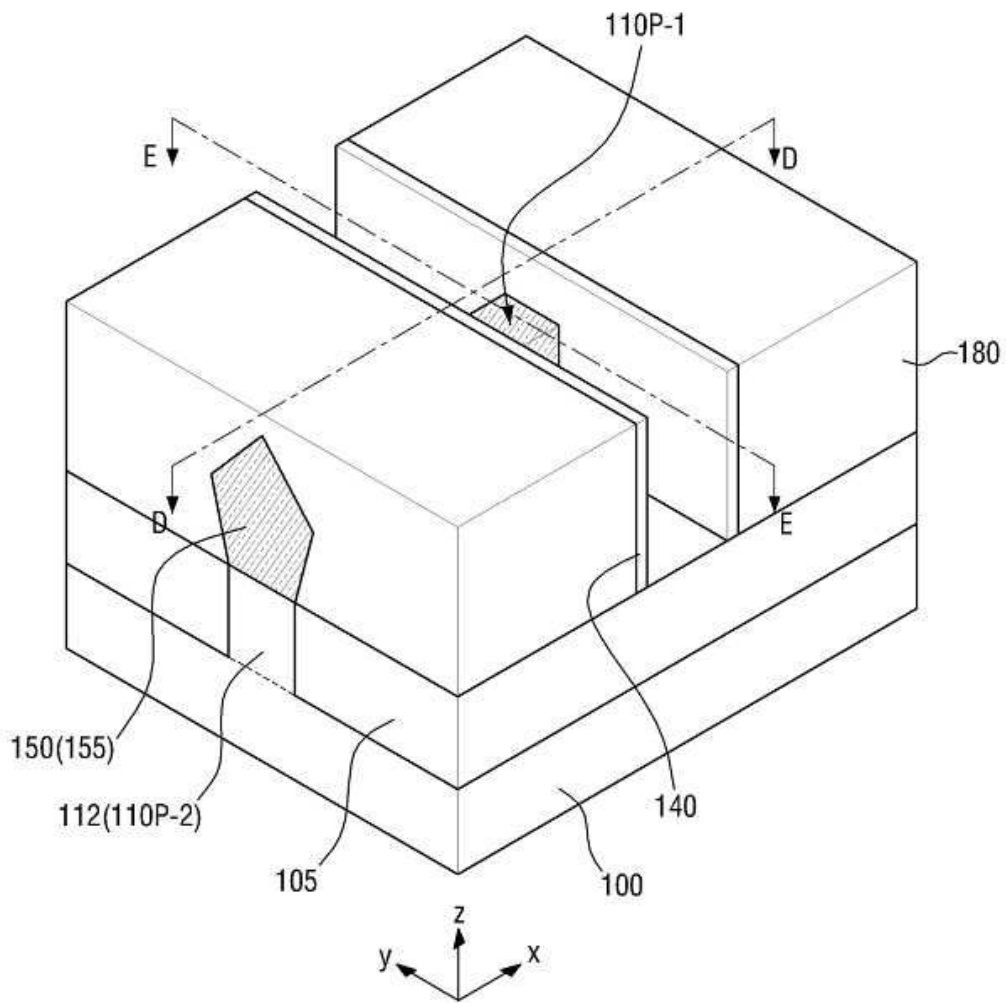
도면22



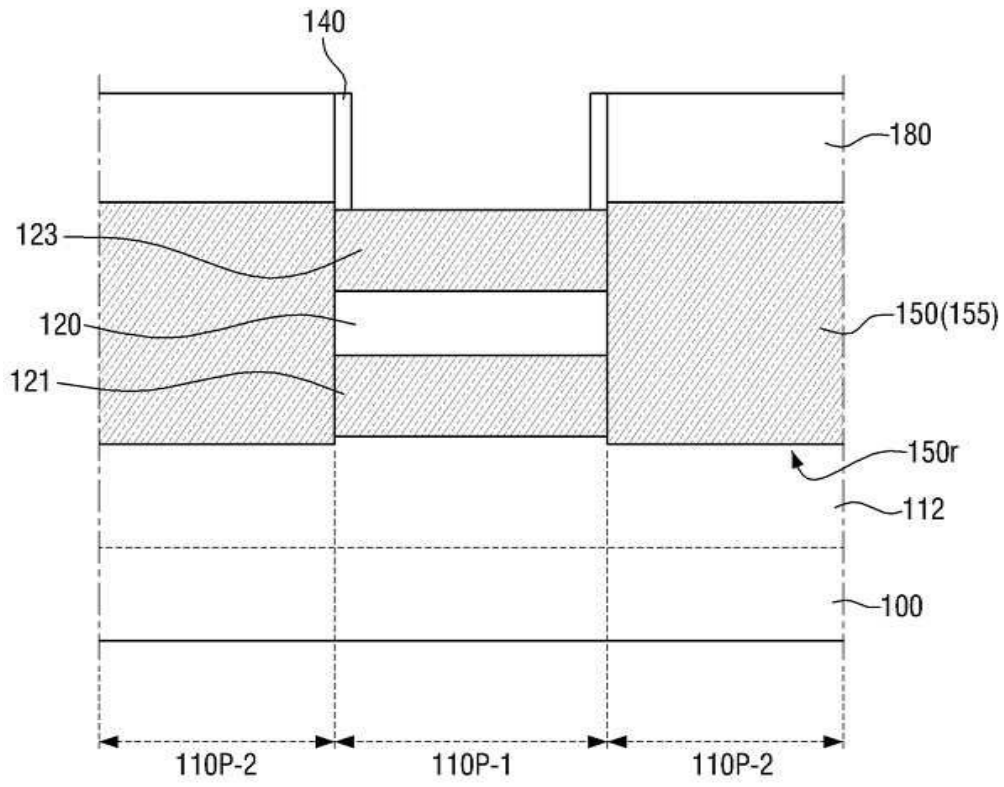
도면23



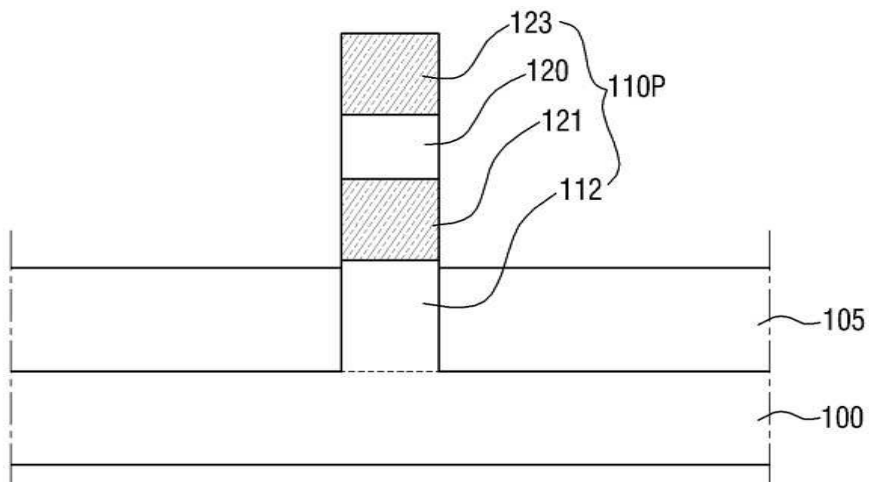
도면24a



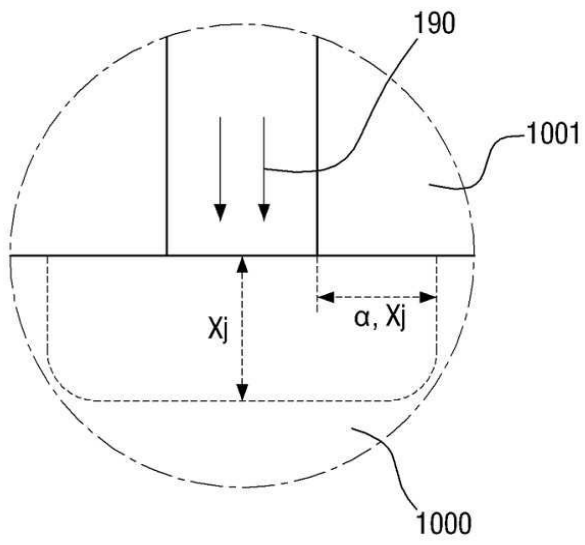
도면24b



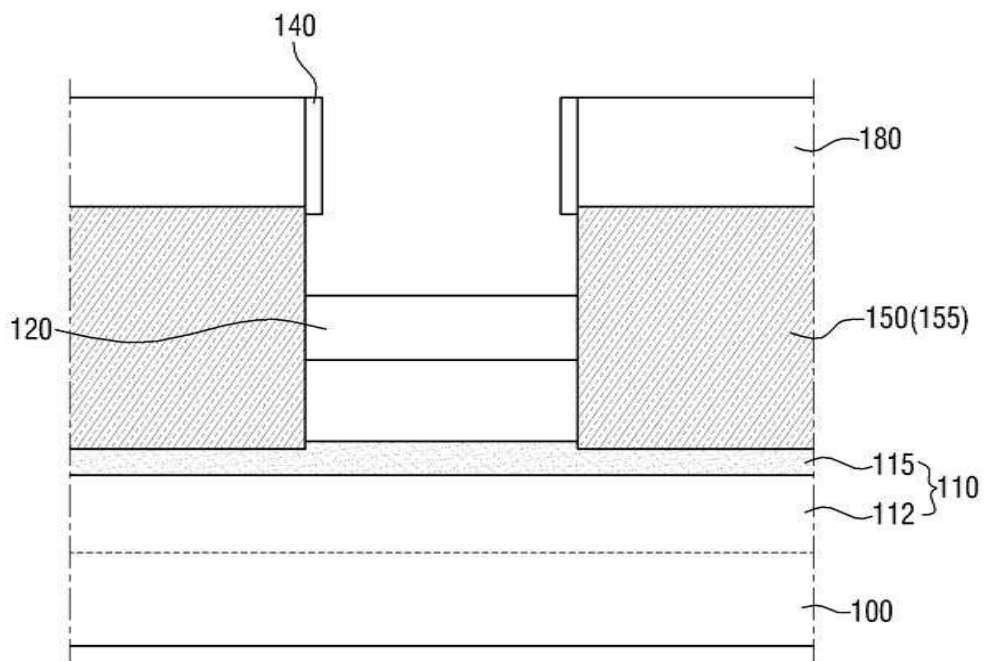
도면24c



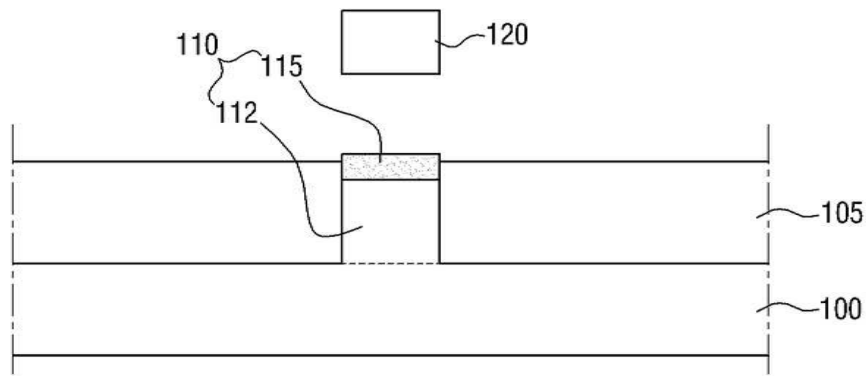
도면26



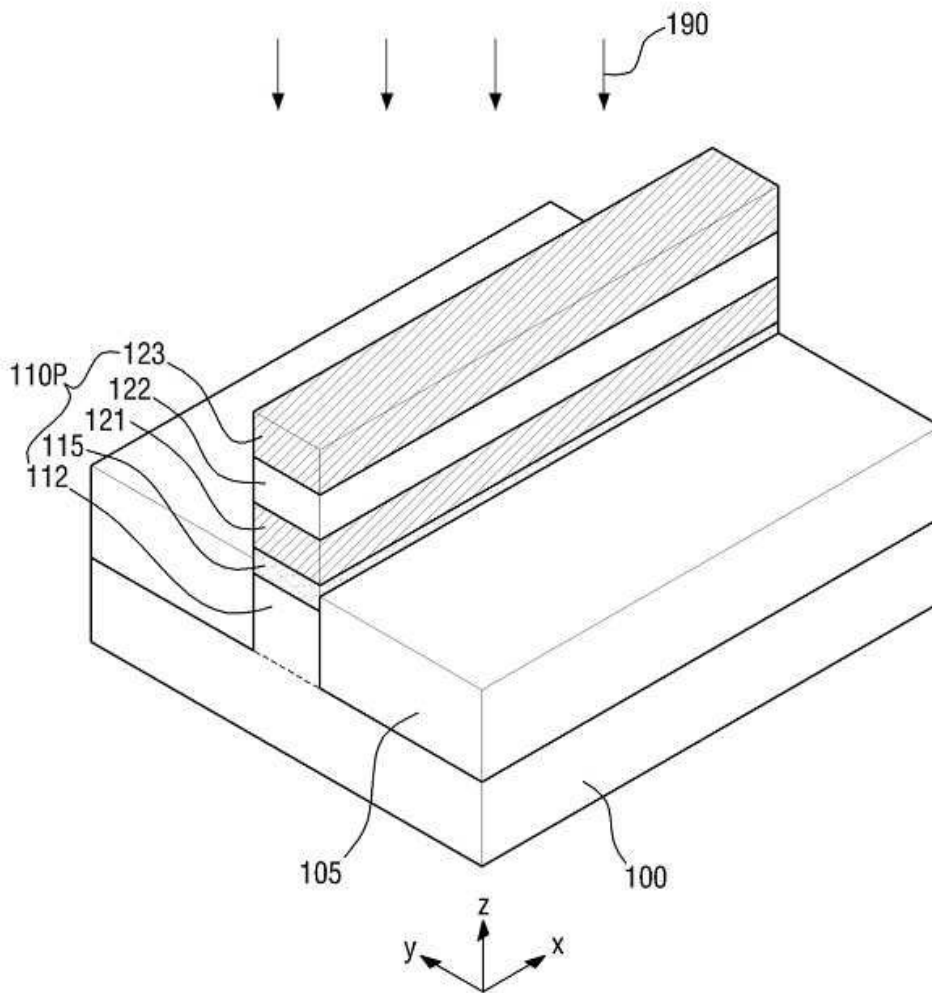
도면27a



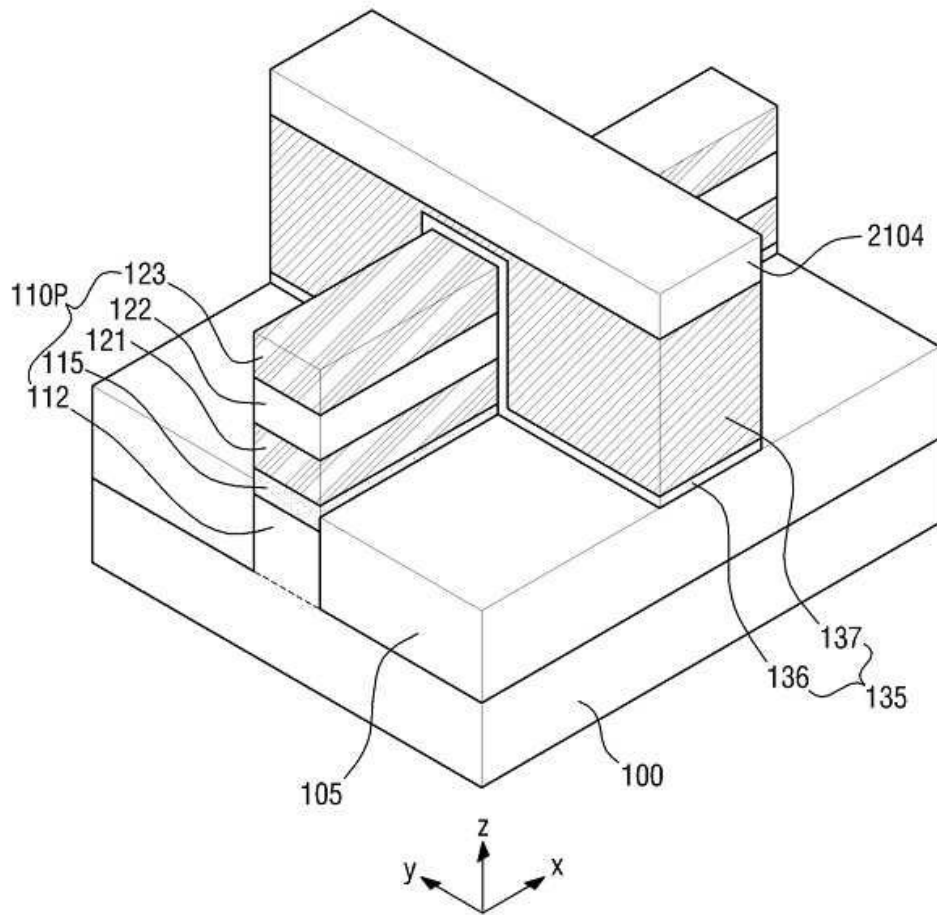
도면27b



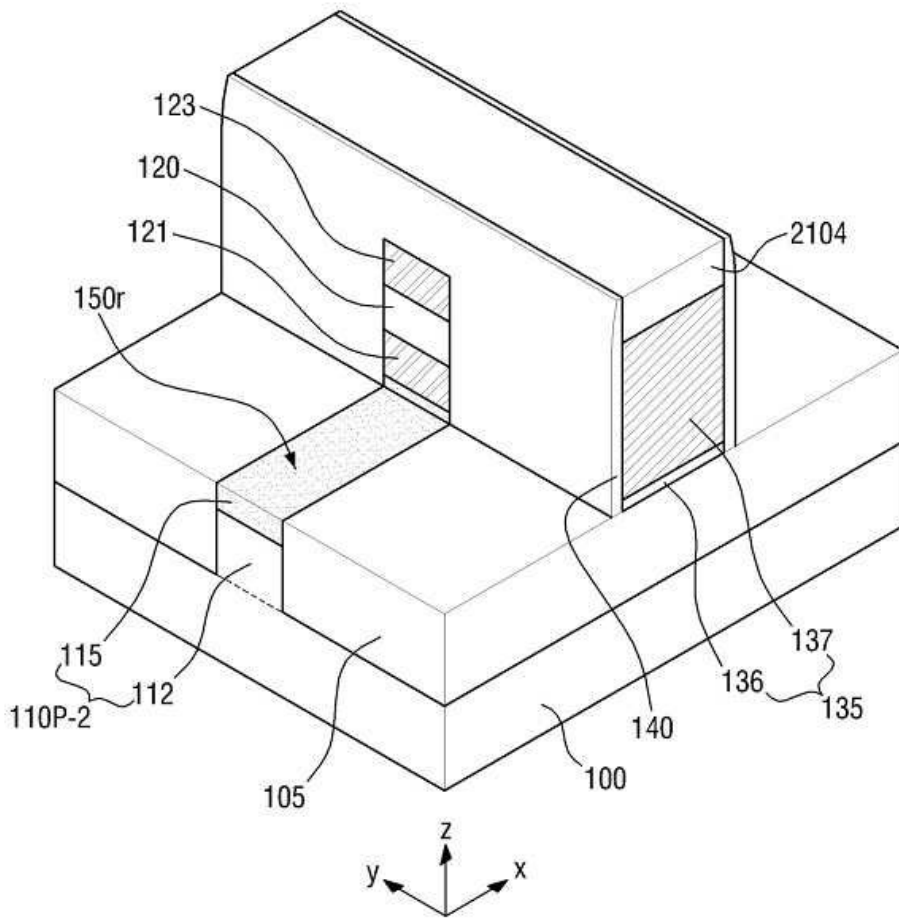
도면28



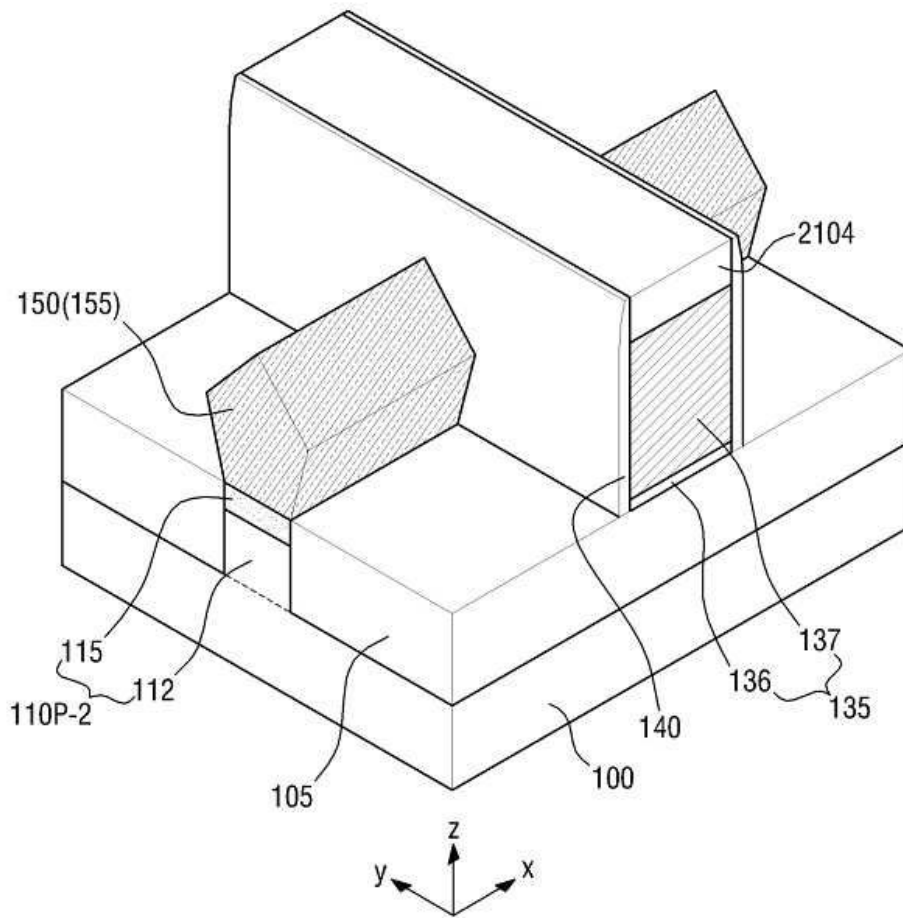
도면29



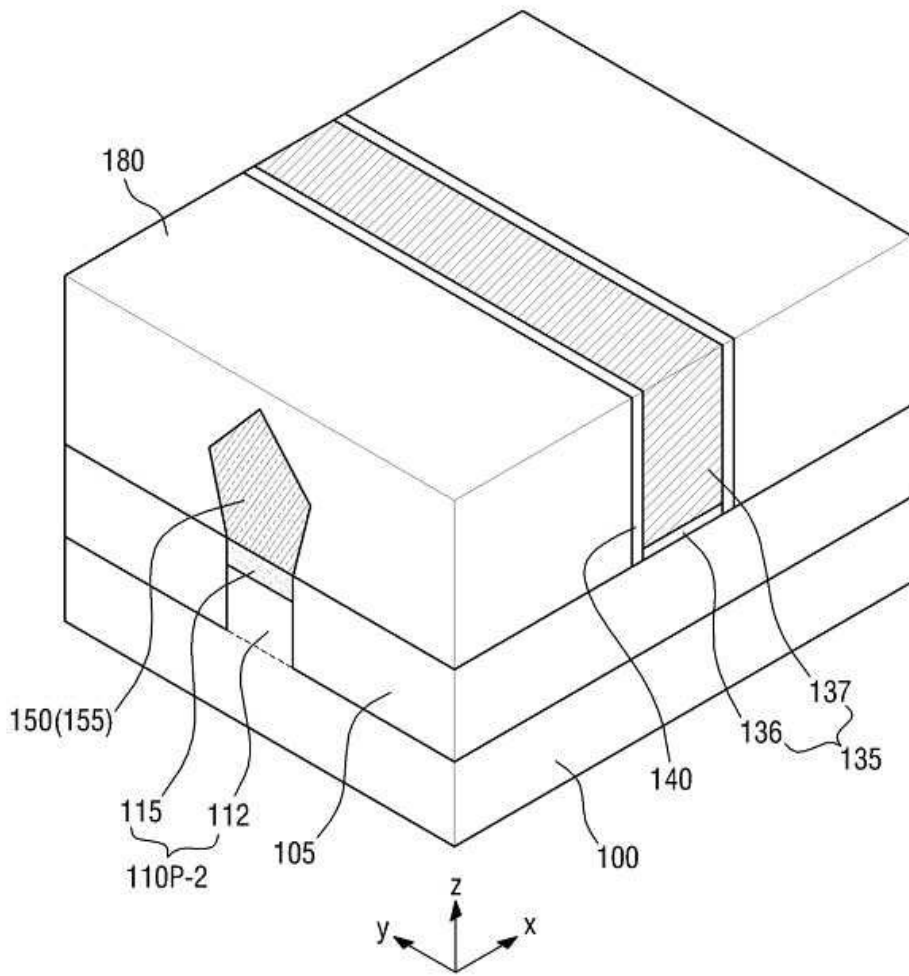
도면30



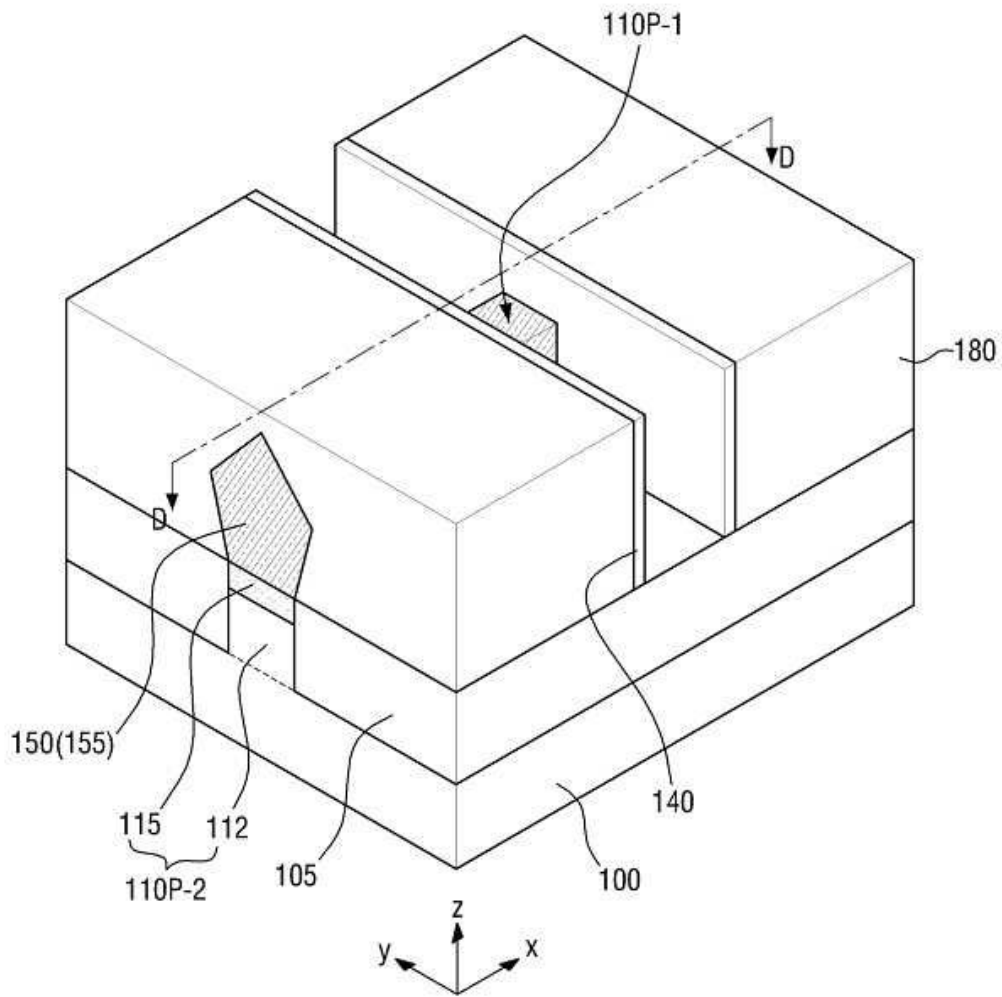
도면31



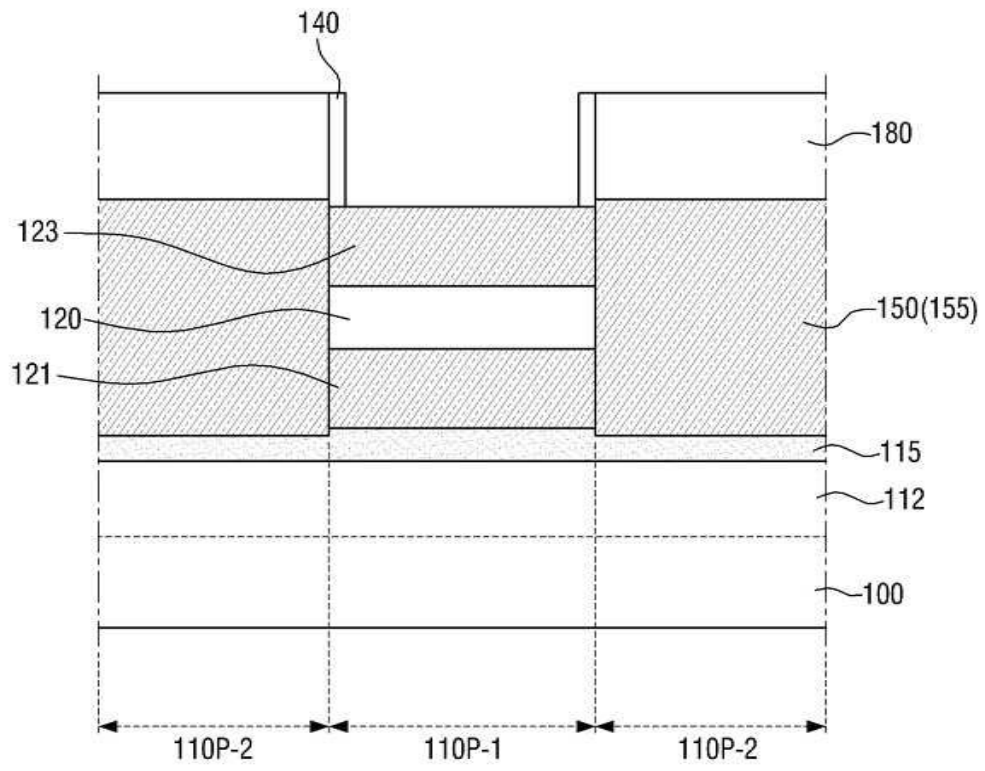
도면32



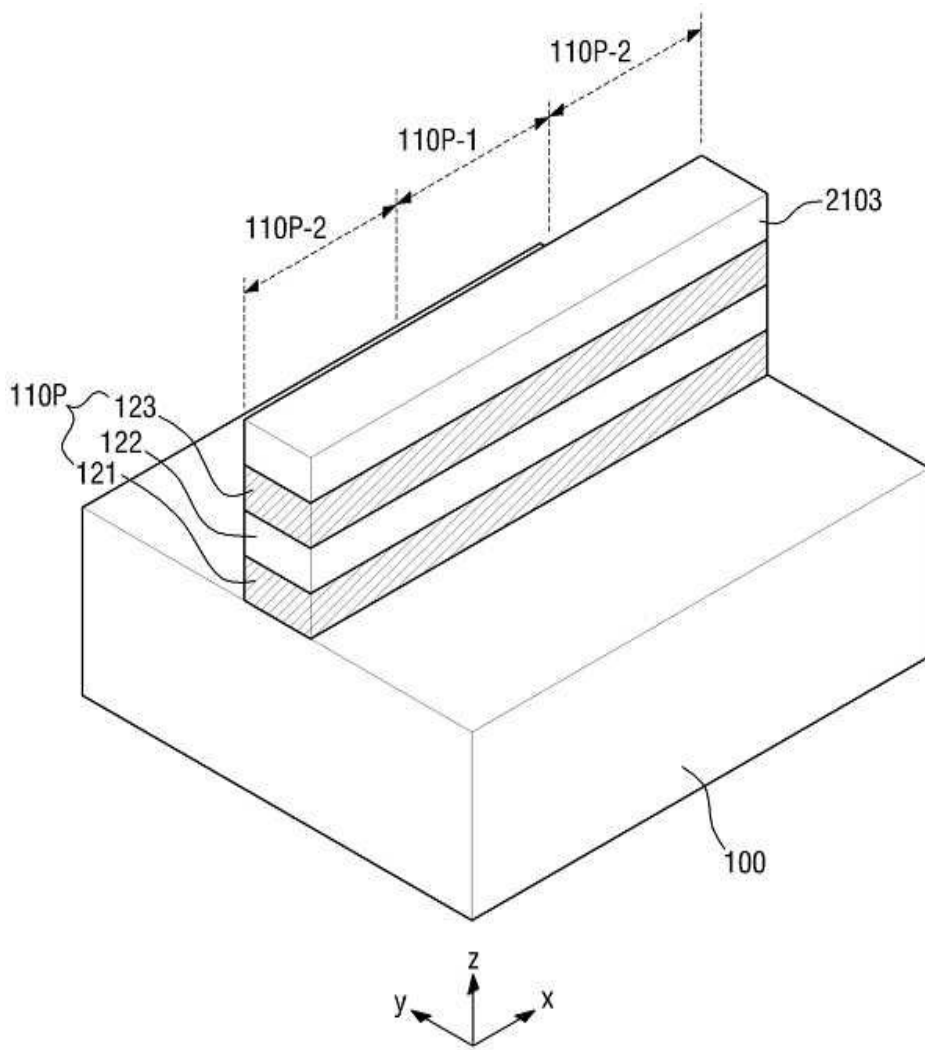
도면33a



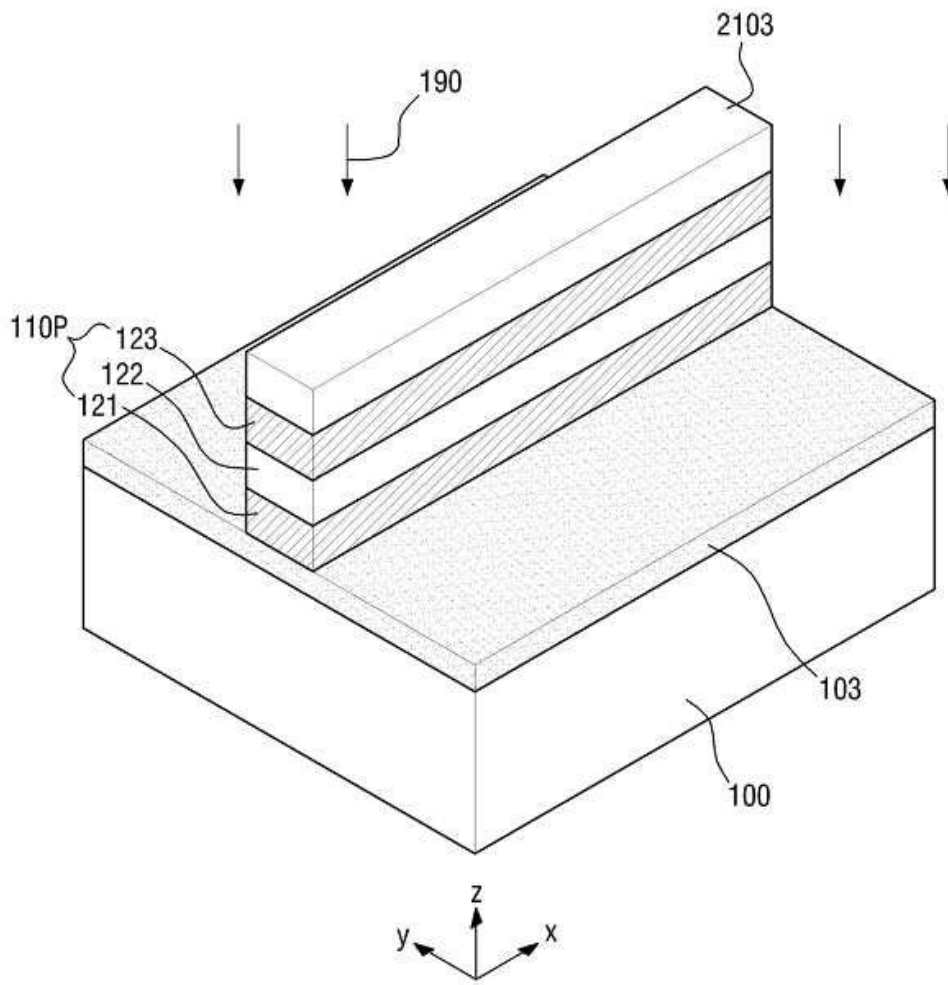
도면33b



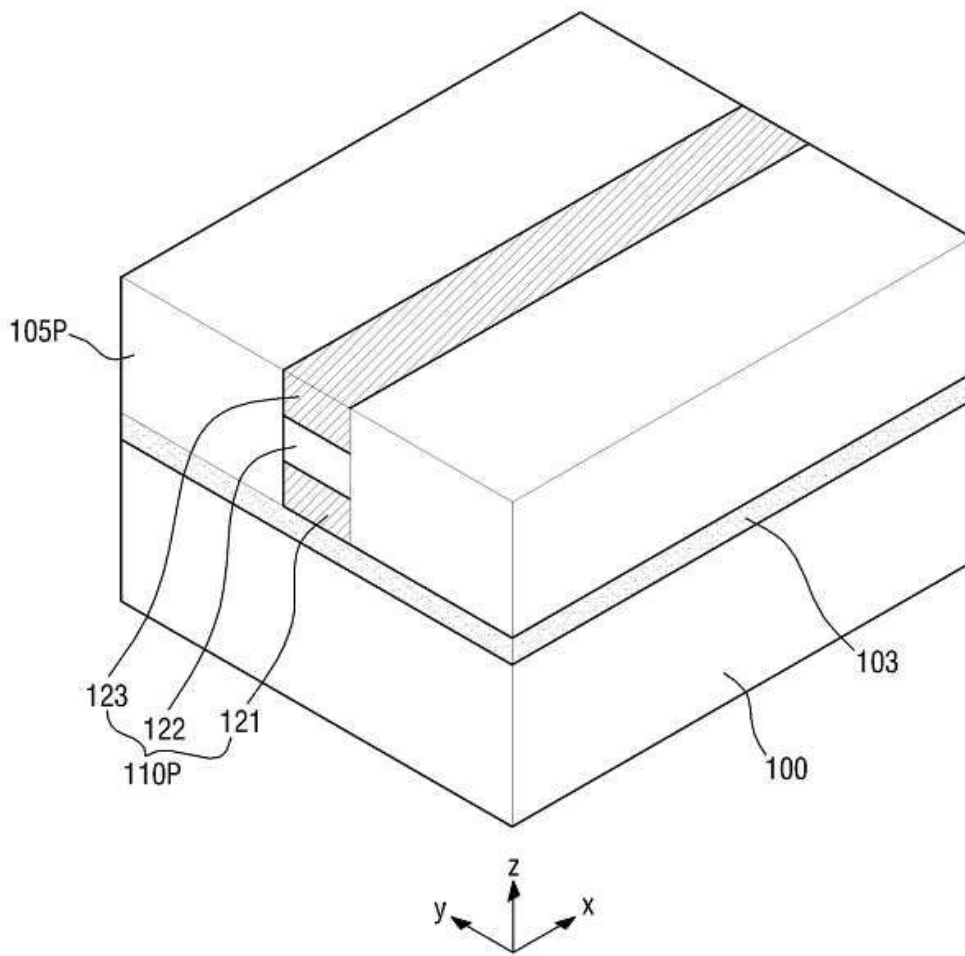
도면34



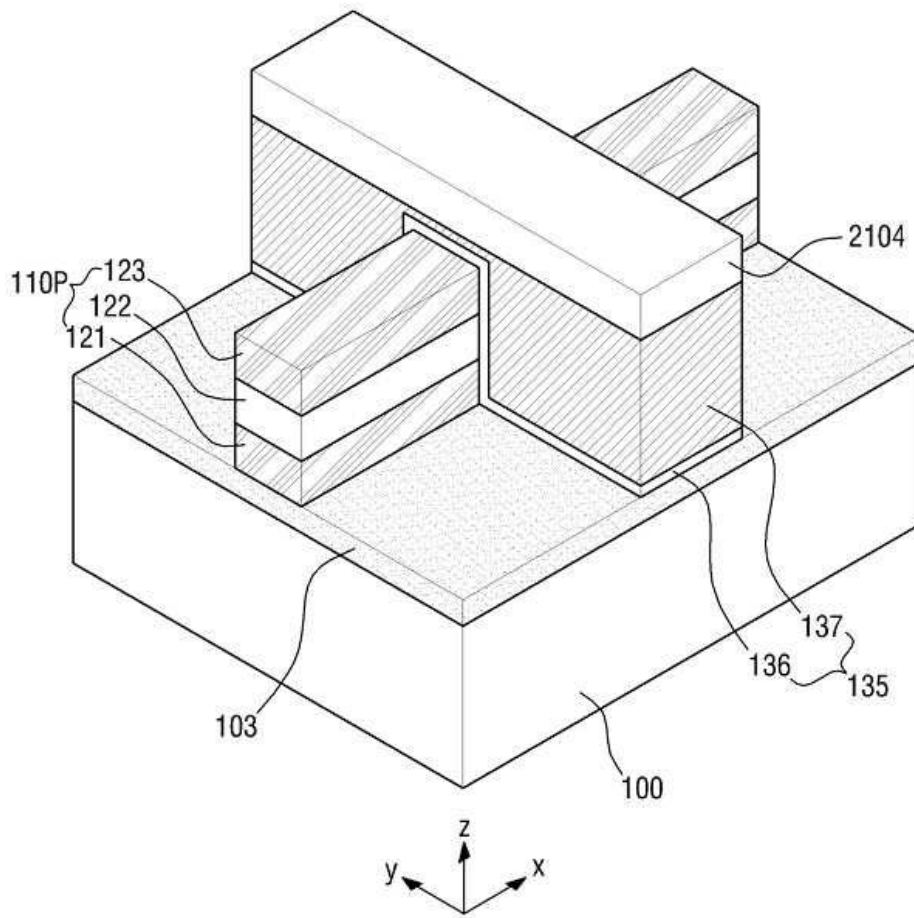
도면35



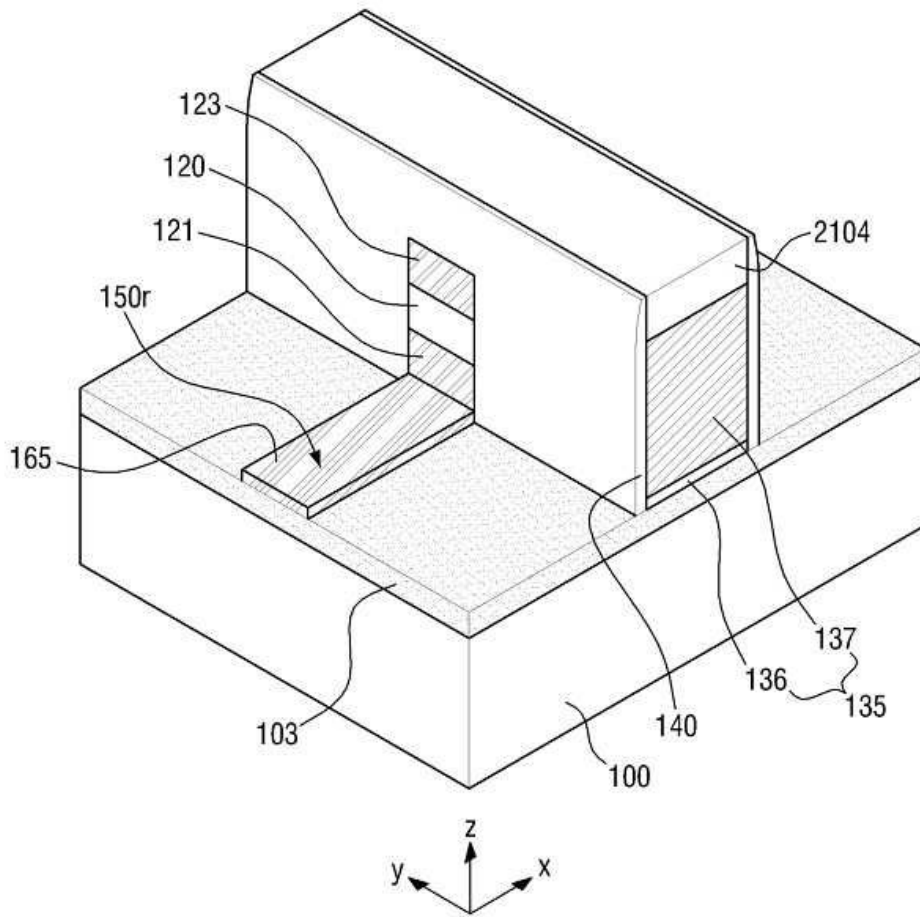
도면36



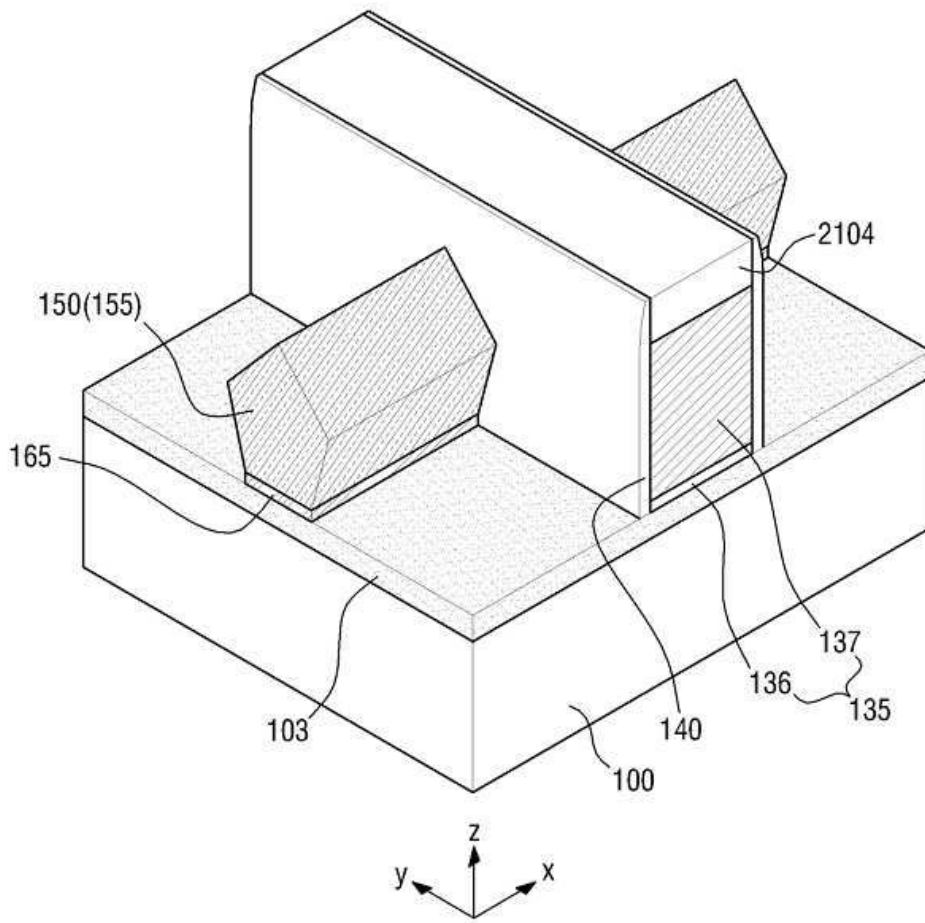
도면37



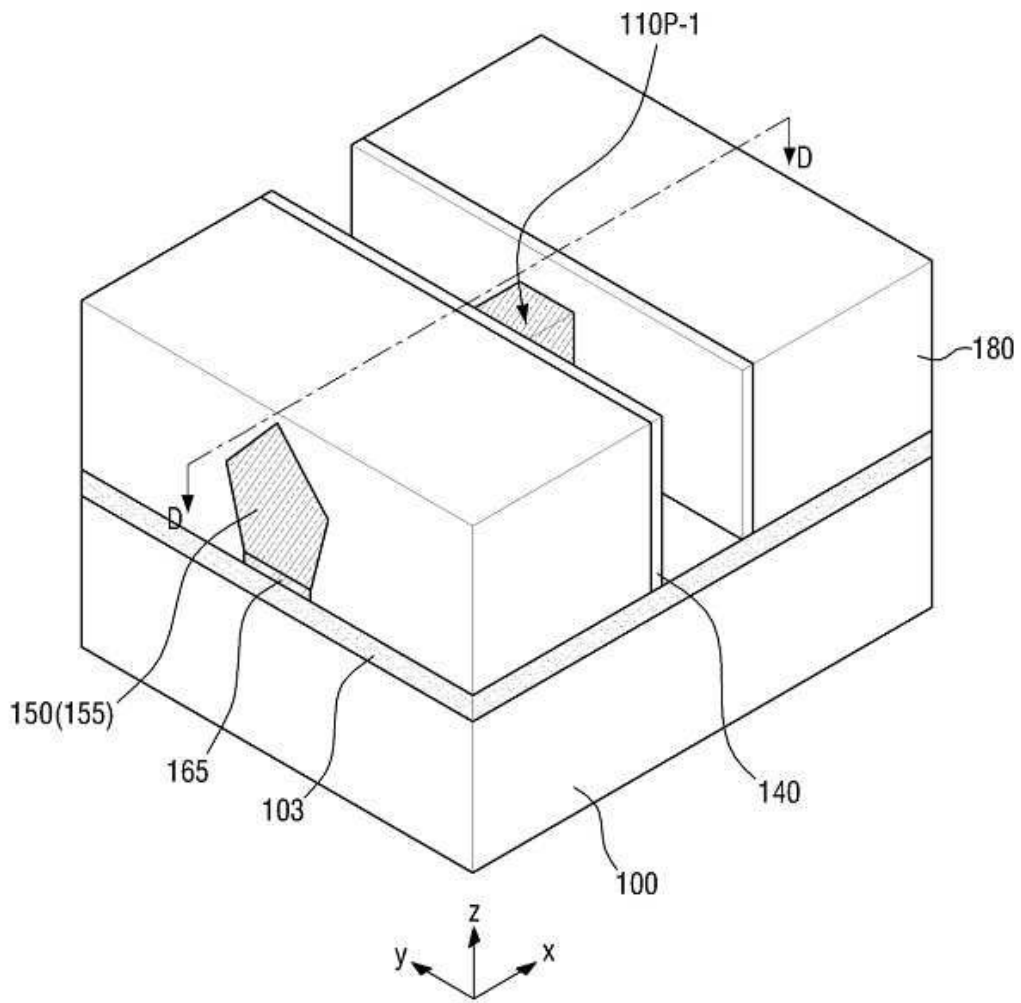
도면38



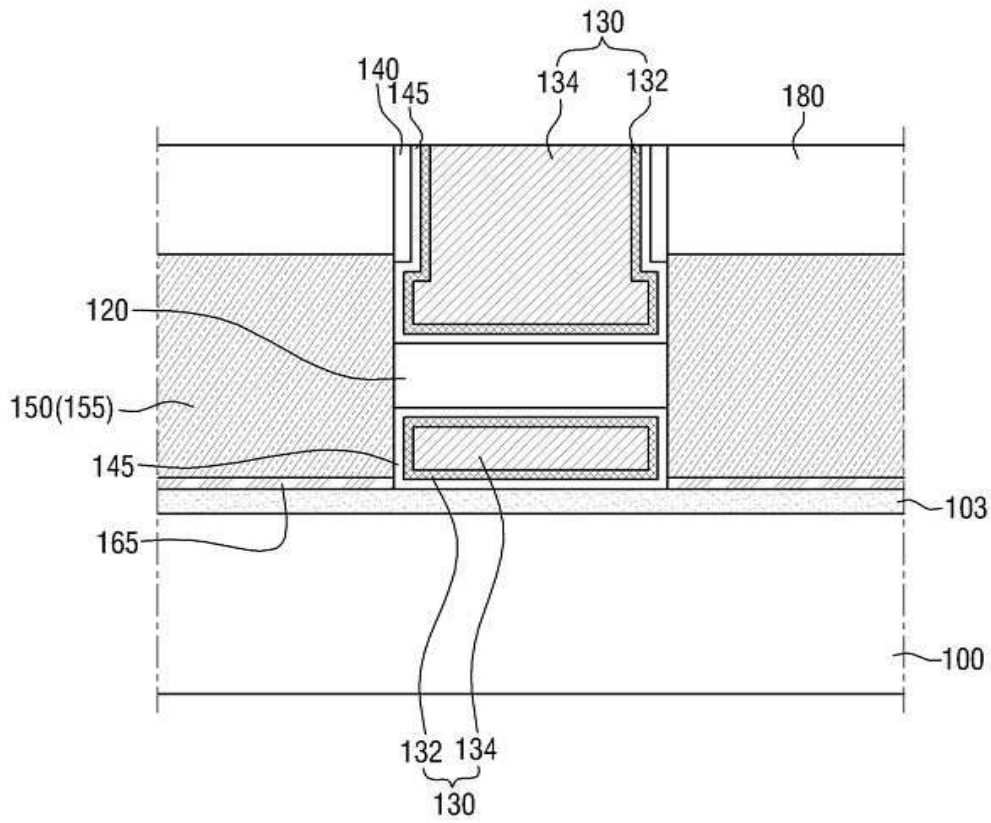
도면39



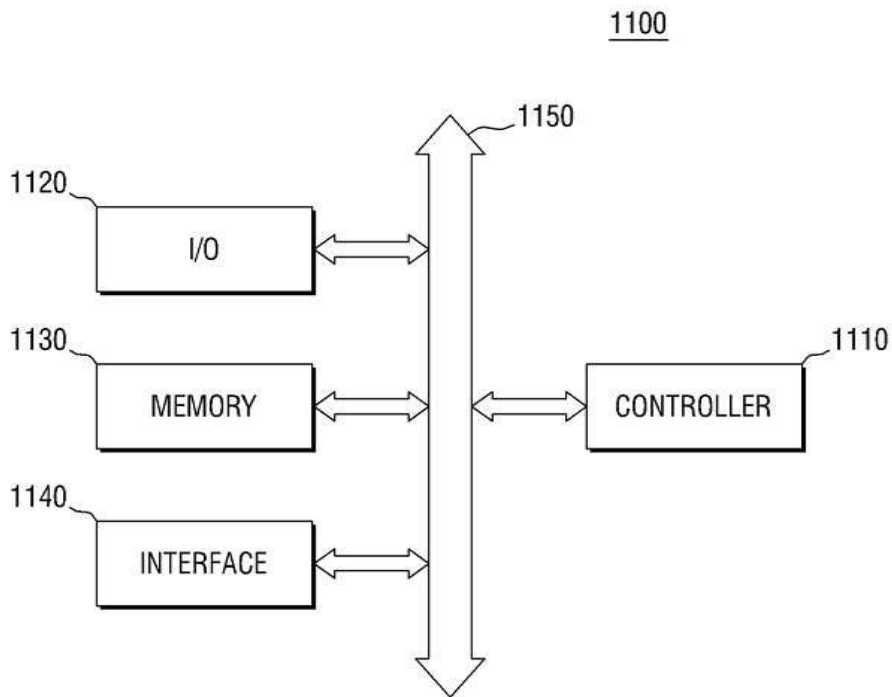
도면40a



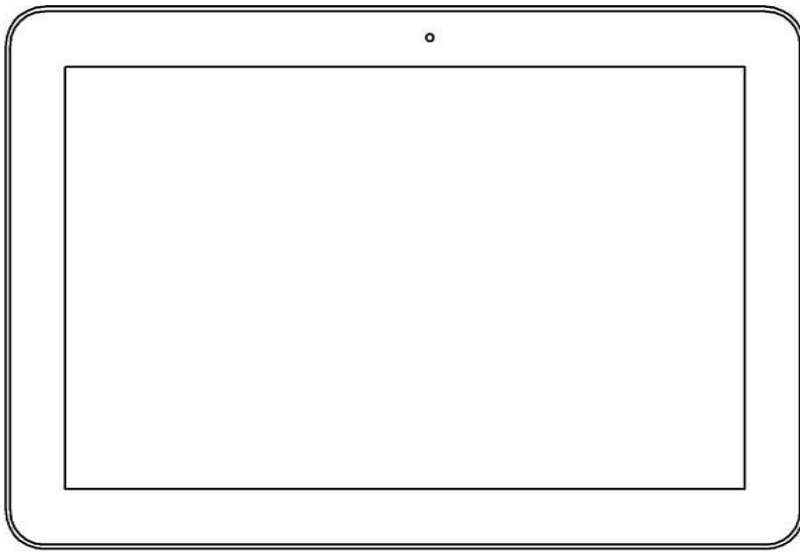
도면42



도면43



도면44



도면45

