



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/146 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월18일 10-0708829 2007년04월11일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0084608 2005년09월12일 2005년09월12일	(65) 공개번호 (43) 공개일자	10-2006-0101179 2006년09월22일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2005-00076221 2005년03월17일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1

(72) 발명자 오카와 나루미
 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔
 가부시끼가이샤 내

다케다 시게토시
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔
가부시끼가이샤 내

이시하라 유키히로
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔
가부시끼가이샤 내

하야시 가즈키
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔
가부시끼가이샤 내

나오리 노부히사
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔
가부시끼가이샤 내

치지이와 마사히로
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1후지쯔
가부시끼가이샤 내

(74) 대리인 문두현
 문기상

(56) 선행기술조사문헌 KR20040004146 KR19950021815	KR19980081184 JP15158195
---	-----------------------------

* 심사관에 의하여 인용된 문헌

심사관 : 배진용

전체 청구항 수 : 총 10 항

(54) 반도체 촬상 장치

(57) 요약

본 발명은 감도가 높고, 잡음이 낮은 출력을 공급할 수 있는 반도체 촬상 장치를 제공한다.

반도체 촬상 장치는, 행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기관으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전을 포함하는 제1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터를 포함하는 제2 영역을 갖는 반도체 기관과, 반도체 기관 위쪽에 형성되어, 제1 영역의 전하 축적 영역의 표면을 덮는 동시에, 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 산화 실리콘막과, 제1 산화 실리콘막 위쪽에 형성되어, 제2 영역의 적어도 일부의 트랜지스터의 소스/드레인을 덮고, 제1 영역에서 전하 축적 영역 위쪽의 적어도 일부에 개구를 갖는 질화 실리콘막을 갖는다.

대표도

도 3

특허청구의 범위

청구항 1.

행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기관으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전(floating diffusion)을 포함하는 제1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터를 포함하는 제2 영역을 갖는 반도체 기관과,

상기 반도체 기관 위쪽에 형성되어, 상기 제1 영역의 전하 축적 영역의 표면을 덮는 동시에, 상기 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 산화 실리콘막과,

상기 제1 산화 실리콘막 위쪽에 형성되어, 상기 제2 영역의 적어도 일부의 트랜지스터의 소스/드레인을 덮고, 상기 제1 영역에서 상기 전하 축적 영역 위쪽의 적어도 일부에 개구(開口)를 갖는 질화 실리콘막을 갖는 반도체 촬상 장치.

청구항 2.

제1항에 있어서,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위쪽에서 상기 질화 실리콘막을 관통하여 보더리스 컨택트(border-less contact)를 형성하는 도전성 플러그를 더 갖는 반도체 촬상 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인과 상기 질화 실리콘막 사이에 형성된 두께 30nm 이하의 제2 산화 실리콘막을 더 갖는 반도체 촬상 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위에 형성된 실리사이드층을 더 갖고, 상기 제1 영역은 실리사이드층을 갖지 않는 반도체 활상 장치.

청구항 5.

제1항 또는 제2항에 있어서,

상기 제1 영역이, 상기 제1 산화 실리콘막과 상기 질화 실리콘막의 적층을 포함하는 부분을 갖는 반도체 활상 장치.

청구항 6.

제1항 또는 제2항에 있어서,

상기 개구가 상기 플로팅 디퓨전의 적어도 일부 위쪽을 포함하는 반도체 활상 장치.

청구항 7.

행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기판으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전을 포함하는 제1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터를 포함하는 제2 영역을 갖는 반도체 기판과,

상기 반도체 기판 위쪽에 형성되어, 상기 제1 영역의 표면을 덮는 동시에, 상기 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 질화 실리콘막과,

상기 제1 질화 실리콘막 위쪽에 형성되어, 상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인을 덮는 제2 질화 실리콘막과,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위쪽에서 상기 제2 질화 실리콘막을 관통하여 보더리스 컨택트를 형성하는 도전성 플러그를 갖는 반도체 활상 장치.

청구항 8.

제7항에 있어서,

상기 제1, 제2 질화 실리콘막의 적어도 한쪽은 성막된 막에 의해 광의 감쇠를 억제할 수 있는 550℃ 이하의 온도에서 저압(LP) CVD로 형성된 막인 반도체 활상 장치.

청구항 9.

제7항 또는 제8항에 있어서,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인과 상기 제2 질화 실리콘막 사이에 형성된 두께 30nm 이하의 산화 실리콘막을 더 갖는 반도체 활상 장치.

청구항 10.

제7항 또는 제8항에 있어서,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위에 형성된 실리사이드층을 더 갖고, 상기 제1 영역은 실리사이드층을 갖지 않는 반도체 활상 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 활상 장치에 관한 것으로, 특히 광전 변환 소자로서의 반도체 포토다이오드와 절연 게이트형 트랜지스터를 포함하는 반도체 활상 장치에 관한 것이다.

활상 장치로서, 광전 변환 소자를 반도체 포토다이오드로 형성된 반도체 활상 장치가 넓게 이용되고 있다. 반도체 활상 장치에는, 전하 검출, 전송을 전하 결합 장치(CCD)로 행하는 CCD형 반도체 활상 장치와, 전하 검출을 MOS 트랜지스터를 포함하는 전하 검출 회로로 행하는 MOS형 반도체 활상 장치가 있다. 또한, 게이트 절연막이 산화막만이 아닌 것도 MOS 트랜지스터라고 부른다. MOS형 반도체 활상 장치는 소비 전력을 저감할 수 있는 이점을 갖는다.

도 1a는 MOS형 반도체 활상 장치의 구성을 개략적으로 나타내는 평면도이다. 수광 소자를 포함하는 픽셀 PX가 수광 영역에 행렬 상에 배열되고, 도시한 구성에서는 행 방향으로 트랜스퍼 라인 TL, 리셋 라인 RL, 셀렉트 라인 SL가 병렬로 배열되고, 열 방향으로 전압 라인 VRL, 신호 판독 라인 SGL이 병렬로 배열되고 있다. 수직 드라이버 V-DRIVE가 각 행을 구동하고, 수평 드라이버 H-DRIVE가 각 열에서 신호 전하의 판독과 폐기를 행한다. 각 행의 픽셀 PX로부터 신호 전하가 판독되고, 각 열마다 노이즈를 없앤 후, 신호 전하의 증폭, 아날로그/디지털 변환 등을 받는다.

도 1b는 픽셀 PX의 구성예를 나타낸다. 1 픽셀이 1개의 포토다이오드 PD와, 4개의 MOS 트랜지스터로 구성된 4Tr 액티브 픽셀 센서(APS)의 예를 나타낸다. 포토다이오드 PD의 애노드는 전체 픽셀에 공통의 p형 웰로 형성된다. 포토다이오드 PD의 음극(n형 영역)이 전하 축적 영역을 구성하고, 입사광에 따라 포토다이오드 PD 내에서 광전 변환되어 발생한 전자·정공쌍 중 전자를 축적한다.

트랜스퍼 트랜지스터 TRT는 포토다이오드의 음극을 소스로 하고, p형 웰 중에서 전기적으로 플로팅 상태에 있는 n형 영역인 플로팅 디퓨전 FD를 드레인으로 하고, 그 사이의 전하 전송을 트랜스퍼 게이트 TG로 제어한다. 활상 기간 종료의 타이밍에서, 트랜스퍼 라인 TL로부터 동일 행의 픽셀 PX에 동시에 트랜스퍼 신호가 공급되면, 그 행의 포토다이오드 PD에 축적된 신호 전하는 대응하는 플로팅 디퓨전 FD에 전송된다.

소스 폴로워 트랜지스터 SFT와 셀렉트 트랜지스터 SLT는 직렬로 접속되고, 각각의 게이트는 플로팅 디퓨전 FD, 셀렉트 라인 SL에 접속된다. 플로팅 디퓨전 FD는 전송된 전하 Q를 용량 C로 계산한 전압 $V=Q/C$ 를 발생하고, 축적 전하에 따른 출력을 소스 폴로워 트랜지스터 SFT의 게이트에 공급한다.

셀렉트 라인 SL로부터 동일 행의 픽셀에 선택 신호가 공급되면, 소스 폴로워 트랜지스터 SFT의 출력 신호가 셀렉트 트랜지스터 SLT를 통하여 신호 판독 라인 SGL에 공급된다. 판독을 끝낸 신호 전하는 불필요해진다. 리셋 라인 RL로부터 동일 행의 리셋 트랜지스터 RST에 온 신호를 공급함으로써, 플로팅 디퓨전 FD의 전하는 리셋 트랜지스터 RST를 통하여 전압 라인 VRL에 폐기된다.

도 1c는 픽셀 구동의 타이밍 차트를 나타낸다. 트랜스퍼 트랜지스터 TRT의 게이트에 인가되는 신호 TG, 리셋 트랜지스터 RST의 게이트에 인가되는 신호 RST, 셀렉트 트랜지스터 SLT의 게이트에 인가되는 신호 SL, SLT로부터 출력 신호선 SGL에 공급되는 출력 신호 SGL, 플로팅 디퓨전 FD(소스 폴로워 트랜지스터 SFT의 게이트)의 전압 FD의 변화를 나타낸다.

셀렉트 트랜지스터의 게이트 전압이 하이(high)로 되어, 소스 폴로워 트랜지스터 SFT의 출력 신호를 공급할 수 있는 온(on) 상태가 된다. 리셋 트랜지스터 RST의 게이트 전압이 일단 하이로 되어, 플로팅 디퓨전 FD의 노이즈 전하를 배출하여, 신호 판독의 준비를 행한다. RST의 전압 변화에 의해, 플로팅 디퓨전 FD 및 소스 폴로워 트랜지스터 SFT도 정극성의 전압 변화를 받는다.

활상 기간 종료의 타이밍에서 TG가 하이로 되고, 트랜스퍼 트랜지스터 TRT가 온되어, 포토다이오드 PD에 축적된 전하가 플로팅 디퓨전 FD에 전송된다. 플로팅 디퓨전 FD, 신호 판독 라인 SGL도 TG의 영향으로 전위를 정극성으로 변화시킨다. 안정화 후, 용량 C를 갖는 플로팅 디퓨전 FD의 전위는 판독된 전하 Q에 의해서, $\Delta V=Q/C$ 의 전위 변화를 나타낸다. 이 전위 변화가 소스 폴로워 트랜지스터 SFT에서 변환되고, 판독 라인 SGL으로 출력 신호가 판독된다. 그 후, 셀렉트 라인 SL의 전위가 로우(low)로 되어, 판독 동작을 종료한다.

반도체 촬상 장치의 픽셀 구조를 작성한 후, 반도체 기판 위에는 층간 절연막이 형성되고, 트랜지스터의 전극에 접속되는 콘택트 플러그가 형성된다. 트랜지스터의 전극 위에 콘택트 플러그를 형성하기 위해서는, 우선 층간 절연막을 관통하는 콘택트 홀을 형성할 필요가 있다. 반도체 기판에 손상을 주지 않기 위해서는, 층간 절연막의 하층에 질화 실리콘막 등의 에칭 스톱퍼를 사용하는 것이 바람직하다. 포토다이오드의 노이즈를 저감하고, 화질을 향상시키기 위해서는, 계면 준위를 저감하는 것이 바람직하고, 그를 위해 수소화 처리를 행하는 것이 바람직하다. 질화 실리콘막은, 수소화 처리에서 수소를 차폐하는 기능을 갖는다. 콘택트 홀을 적절하게 형성하고자 하면, 화질 향상이 방해받게 된다.

일본국 특허공개 제2004-165236호는, 에칭 스톱퍼용으로 질화 실리콘막을 저압(LP) CVD로 퇴적하고, 포토다이오드 위 등의 에칭 스톱퍼가 불필요한 부분에서는 질화 실리콘막을 제거하는 것을 제안하고 있다. 에칭 스톱퍼의 존재에 의해 적절하게 콘택트 홀을 형성할 수 있고, 에칭 스톱퍼가 제거된 영역으로부터 수소가 반도체 기판 표면에 도달할 수 있으므로, 수소화 처리에 의해 암(暗) 전류를 억제하여 화질을 향상할 수 있다고 설명되어 있다.

발명이 이루고자 하는 기술적 과제

반도체 촬상 장치의 출력은 감도가 높고, 잡음이 낮은 것이 바람직하다.

본 발명의 목적은 감도가 높고, 잡음이 낮은 출력을 공급할 수 있는 반도체 촬상 장치를 제공하는 것이다.

발명의 구성

본 발명의 1 관점에 의하면,

행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기판으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전을 포함하는 제1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터를 포함하는 제2 영역을 갖는 반도체 기판과,

상기 반도체 기판 위쪽에 형성되어, 상기 제1 영역의 전하 축적 영역의 표면을 덮는 동시에, 상기 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 산화 실리콘막과,

상기 제1 산화 실리콘막 위쪽에 형성되어, 상기 제2 영역의 적어도 일부의 트랜지스터의 소스/드레인을 덮고, 상기 제1 영역에서 상기 전하 축적 영역 위쪽의 적어도 일부에 개구(開口)를 갖는 질화 실리콘막을 갖는 반도체 촬상 장치가 제공된다.

우선, 본 발명자들이 시작(試作)하여, 그 성능을 확인한 샘플에 따라 설명한다.

도 2a는 2 픽셀분의 등가 회로를 나타낸다. 포토다이오드 PD1과 PD2가 2개의 광전 변환 소자를 형성하고 있다. 포토다이오드 PD1, PD2는 트랜스퍼 게이트 TG1, TG2를 통하여 플로팅 디퓨전 FD1, FD2에 결합되어 있다. 이들 2개의 픽셀에 대하여, 1개의 전하 판독 회로가 형성되어 있다. 즉, 플로팅 디퓨전 FD1과 FD2가 접속되고, 소스 폴로워 트랜지스터 SFT의 게이트 전극에 접속됨과 동시에, 리셋 트랜지스터 RST를 통하여 리셋용 전압 라인 VR에 접속된다. 소스 폴로워 트랜지스터 SFT의 드레인은 전압 라인 VR에 접속되고, 소스는 셀렉트 트랜지스터 SLT를 통하여 신호 판독 라인 SGL에 접속된다. 셀렉트 트랜지스터 SLT의 게이트는 제1 셀렉트 신호 SL1 및 제2 셀렉트 신호 SL2를 모두 수신한다. 트랜스퍼 게이트 TG1과 TG2는 동시에 온되는 경우는 없기 때문에, 포토다이오드 PD1나, 포토다이오드 PD2의 전하가 택일적으로 판독된다.

도 2b는 반도체 기판 표면의 배치를 개략적으로 나타낸다. 활성 영역을 둘러싸서, 셀로우 트렌치 아이솔레이션(STI)에 의한 소자 분리 영역이 형성되어 있다. 활성 영역 AR1에는, 포토다이오드 PD1과 플로팅 디퓨전 FD1이 형성된다. 플로팅 디퓨전 FD1의 우측 영역에는, 콘택트용 고농도 영역이 형성되어 있다. 활성 영역 AR1의 하부에 동일 구조의 활성 영역 AR2가 형성되어 있다. 활성 영역 AR2에는, 포토다이오드 PD2와 플로팅 디퓨전 FD2가 형성되어 있다. 또한, 포토다이오드와 플로팅 디퓨전 사이의 전하 전송을 제어하는 트랜스퍼 게이트 TG1과 TG2를 파선으로 나타내고 있다.

활성 영역 AR1과 AR2의 우측에는, 전하 관독 회로를 구성하는 활성 영역 AR3이 획정되고 있다. 또한, 활성 영역 AR3은 2개의 포토다이오드에 대해서 1조 형성된다. 도시한 구성에서는, 위쪽에 리셋 트랜지스터 RST가 형성되고, 아래쪽에 셀렉트 트랜지스터 SLT 및 소스 플로워 트랜지스터 SFT가 형성되어 있다. 각 트랜지스터 위에 형성되는 게이트 전극을 파선으로 나타내고 있다. 또한, 1점 파선 A-B선 및 C-D-E선을 따른 단면도를 이하의 도면에 나타낸다.

도 3은 샘플의 픽셀 부분의 단면 구조를 나타낸다. p형 실리콘 기판(10)에 STI(11)가 형성되고, 기판 내에 p형 웰 PW2, PW3, PW4가 형성되어 있다.

도 4a는 p웰 PW2를 이온 주입할 때에 사용하는 레지스트 패턴 RP1을 해칭한 영역으로 나타낸다. 레지스트 패턴 RP1은 활성 영역 AR1, AR2 내의 포토다이오드의 전하 축적 영역, 트랜스퍼 게이트 TG 하부의 채널 영역을 완전하게 덮고, 활성 영역 AR1, AR2 위쪽의 스트라이프 형상의 영역 및 하부 및 콘택트 영역의 우측 영역을 조금 노출시킨다. 바꾸어 말하면, p웰 PW2는 포토다이오드 영역 및 트랜스퍼 게이트 하부의 채널 영역을 둘러싸도록 형성되어 있다.

도 3에서 포토다이오드의 n형 영역(전하 축적 영역)(20)은 포토다이오드의 애노드를 형성하는 p형 웰 PW3 내에 형성되어 있다.

도 4b는 p형 웰 PW3을 형성하는 영역을 해칭하여 나타낸다. p형 웰 PW3은 FD의 콘택트 영역의 중간보다도 우측 부분을 제외하고, 활성 영역 AR1, AR2 아래쪽에서 상하로 연속하여 전하 축적 영역(20), TG 하부의 채널 영역을 완전하게 포함하도록 형성된다.

도 3에서, 전하 관독 회로의 트랜지스터 RST, SFT, SLT는 p형 웰 PW4 내에 형성되어 있다.

도 4c는 p형 웰 PW4를 이온 주입할 때에 사용되는 레지스트 패턴 RP3의 형상을 해칭으로 나타낸다. 포토다이오드의 n형 영역 및 트랜스퍼 게이트 영역 및 플로팅 디퓨전 영역을 덮어 레지스트 패턴 RP3이 형성된다. 포토다이오드의 전하 축적 영역의 외측 영역은 레지스트 패턴 RP3으로부터 노출하고 있다. 따라서, p웰 PW4는 포토다이오드의 전하 축적 영역을 둘러싸는 부분 및 전하 관독 회로의 트랜지스터를 형성하는 부분을 포함하도록 형성된다.

도 3에서, 포토다이오드의 전하 축적 영역(20) 위에는, p형 영역(22)이 형성되어, 전하 축적 영역(20)을 매립하는 구조로 하고 있다. p형 웰 PW3 내에서, 포토다이오드의 n형 전하 축적 영역(20)과 트랜스퍼 게이트 TG를 통하여 n형 플로팅 디퓨전 영역(16) 및 n+ 형 콘택트 영역(18)이 형성된다.

활성 영역의 표면에는 산화 실리콘으로 형성된 게이트 절연막(13), 다결정 실리콘으로 형성된 게이트 전극(15)이 형성되고, 각 게이트 전극 형상으로 패터닝되어 있다. 관독 회로 영역에서는, 게이트 전극을 마스크의 일부로 하여 p웰 PW4 내에 저농도 n형 영역(16)이 형성되고, 각 트랜지스터의 소스/드레인을 형성한다. 플로팅 디퓨전 FD, 리셋 트랜지스터 RST의 드레인 내에는 고농도 콘택트 영역(18)이 형성된다.

소스 플로워 트랜지스터 SFT 및 셀렉트 트랜지스터 SLT의 게이트 전극 측면상에는, 사이드 월 스페이서 SW가 형성되어 있다. 사이드 월 스페이서 SW를 형성한 산화 실리콘막(24)은 포토다이오드 PD, 트랜스퍼 게이트 TG, 플로팅 디퓨전 FD, 리셋 트랜지스터 RST 위에서는 에칭되지 않고, 그대로 남아 있다. 소스 플로워 트랜지스터 SFT 및 셀렉트 트랜지스터 SLT의 소스/드레인 영역에는, 고농도 n형 영역(17)이 더 형성되어 있다. 소스 플로워 트랜지스터 SFT 및 셀렉트 트랜지스터 SLT의 소스/드레인 영역 및 게이트 전극 위에는 실리콘사이드층(19)이 형성되어 있다.

산화 실리콘막(24) 위에 질화 실리콘막(26)이 형성되고, 포토다이오드의 전하 축적 영역(20) 위쪽에서는 제거되어 있다. 전하 관독 회로에서는, 소스 플로워 트랜지스터 SFT 및 셀렉트 트랜지스터 SLT의 소스/드레인 영역 표면을 덮도록 질화 실리콘막(26)이 형성되어 있다. 즉, 질화 실리콘막(26)은 이들 영역에서 콘택트 홀을 형성할 때의 에칭 스톱퍼로서 기능할 수 있다.

도 4d는 산화 실리콘막(24)의 에칭에 사용하는 레지스트 패턴 RP6을 좌측 아래의 해칭으로 나타내고, 질화 실리콘막(26)의 에칭에 사용되는 레지스트 패턴 RP7을 우측 아래의 해칭으로 나타낸다. 레지스트 패턴 RP6에 의해 포토다이오드 위에 산화 실리콘막이 남고, 레지스트 패턴 RP7의 개구에 의해 포토다이오드 위에서 질화 실리콘막이 제거된다. 파선으로 나타내는 영역은 샘플 작성 시에는 질화 실리콘막을 제거하지 않았지만, 제거해도 좋은 영역이다. 다만, 플로팅 디퓨전 FD의 수소화 처리를 효율적으로 행하기 위해서는 제거하는 것이 바람직하다.

질화 실리콘막(26) 위에, 산화 실리콘의 제1층간 절연막(30)이 형성되고, 트랜지스터의 소스/드레인 영역 및 플로팅 디퓨전의 컨택트 영역에 이르는 컨택트홀이 형성되어, 텅스텐 플러그(32)가 매립되어 있다. 소스 플로워 트랜지스터 SFT 및 셀렉트 트랜지스터 SLT에서는, 에칭 스톱퍼막(26)이 기판 위에 형성되어 있기 때문에, 고정밀도의 에칭이 가능하며, 보더리스 컨택트(border-less contact)가 형성되어 있다. 셀렉트 트랜지스터 SLT의 우측에 나타내는 W 플러그(32)는 보더리스 컨택트 때문에, 소스/드레인 영역으로부터 우측으로 어긋나, STI(11) 위에 걸쳐 형성되어 있다. 그러나, 질화 실리콘막(26)을 에칭 스톱퍼로서 이용하여, 고정밀도의 에칭이 가능하기 때문에, STI(11)가 깊게 파지는 것은 방지할 수 있다. 플로팅 디퓨전 FD의 컨택트 영역(18) 및 플로팅 디퓨전에 접속되는 리셋 트랜지스터의 소스/드레인 영역의 컨택트 영역은 질화 실리콘막(26) 아래에 산화 실리콘막(24)이 남아 있기 때문에, 여기의 텅스텐 플러그(32)는 보더리스 컨택트가 아니라, 위치맞춤 여유를 예를 들면 0.1 μ m 정도 두고서 형성되어 있다.

제1 층간 절연막(30) 위에, 제1 알루미늄 배선(34)이 형성되고, 산화 실리콘의 제2 층간 절연막(36)으로 덮여, 그 표면이 평탄화되어 있다. 제2 층간 절연막(36)에 비어 홀이 형성되고, 비어 도전체(38)(W 플러그)가 형성되어 있다. 이와 같이, 제2 층간 절연막(36) 위에 제2 알루미늄 배선(40)이 형성되고, 제3 층간 절연막(42)으로 덮여진다. 필요에 따라 W 플러그의 비어 도전체가 형성된다. 또한, 제3 층간 절연막 위에 제3 알루미늄 배선(50)이 형성되고, 산화 실리콘의 절연막(52)으로 덮고, 그 위에 질화 실리콘의 커버막(58)이 형성된다. 제3 알루미늄 배선(50)은 그 일부로 패드가 형성된다. 패드 위의 커버막(58) 및 절연막(52)은 제거된다.

도 4e 및 도 4f는 제1, 제2, 제3 알루미늄 배선의 형상을 나타낸다. 도 4e에서, 좌측 아래의 해칭은 제1 알루미늄 배선을 나타내고, 우측 아래의 해칭은 제2 알루미늄 배선을 나타낸다. 제1 알루미늄 배선으로, 리셋 라인 RL, 트랜스퍼 라인 TL1, TL2, 셀렉트 라인 SL 등이 형성되고, 제2 알루미늄 배선으로, 전압 라인 VRL, 신호 라인 SGL 등이 형성된다. 도 4f는 제3 알루미늄 배선의 패턴을 나타낸다. 제3 알루미늄 배선은 전압 공급면을 구성함과 동시에, 화소 상에서 개구를 갖고, 차광막을 구성하고 있다.

상술한 구성에서는, 포토다이오드 부분에서는 반도체 표면을 산화 실리콘막이 덮고 있기 때문에, 질화 실리콘의 에칭 스톱퍼막 제거를 위한 에칭에 있어서, 반도체 표면이 손상을 받는 것을 저감할 수 있다. 질화 실리콘막이 수광 영역으로부터 제거되기 때문에, 질화 실리콘막에 의한 입사 광의 감쇠를 방지할 수 있다. 그리고, 포토다이오드 영역의 산화 실리콘막은 실리콘사이드층 형성 시의 마스크로서 기능하여, 포토다이오드 영역에 실리콘사이드층을 형성하지 않게 할 수 있다. 실리콘사이드층을 형성하면, 노이즈 근원이 될 가능성이 있다.

전하 관독 회로에서는, 산화 실리콘막이 절연막의 사이드 월 스페이서를 형성할 수 있어, 미세화된 트랜지스터를 형성할 수 있다. 실리콘사이드층을 형성할 수 있기 때문에, 저저항의 고속 동작이 가능한 트랜지스터를 형성할 수 있다. 전하 관독 회로 영역에서는, 트랜지스터의 소스/드레인 영역을 덮어서 에칭 스톱퍼층이 형성되기 때문에, 고정밀도의 에칭이 가능하며, 보더리스 컨택트를 채용할 수 있다. 좁은 면적에 효율적으로 트랜지스터를 형성할 수 있다.

이하, 도 3에 나타내는 구조를 작성하기 위한 제조 프로세스를 도 5a ~ 도 5i, 도 5s ~ 도 5v를 참조하여 설명한다.

도 5a에 나타내는 바와 같이, p형 실리콘 기판(10)의 표면 위에 트렌치를 형성하기 위한 마스크를 형성하고, 실리콘 기판을 약 400nm 에칭하여 트렌치를 형성하고, 고밀도 플라즈마 CVD에 의해 산화 실리콘막을 매립하고, 불요부를 화학 기계 연마(CMP)에 의해 제거하고, 셀로우 트렌치 아이졸레이션(STI)에 의한 소자 분리 영역(11)을 형성한다. 그 후 마스크는 제거한다.

도 5b에 나타내는 바와 같이, 주변 회로 영역에서는, CMOS 회로를 형성하기 위한 p웰 PW 및 n웰 NW를 이온 주입으로 형성한다. 우선, p웰 PW를 이온 주입하기 위한 마스크를 형성하고, B⁺ 이온을 가속 에너지 300keV, 도즈량 3×10¹³cm⁻² (이하 3E13으로 나타냄)로 이온 주입하고, 깊은 p웰 PW1-1을 형성한다. 다음에, B⁺ 이온을 가속 에너지 30keV, 도즈량 5E12, 입사 각도 7도로 이온 주입하고, 임계값 조정용 p웰 PW1-2를 형성한다.

p웰 형성용 마스크를 제거하고, n웰 형성용 마스크를 작성한다. P+ 이온을 가속 에너지 600keV, 도즈량 3E13으로 이온 주입하고, n웰 NW1-1을 형성한다. 또한, As+ 이온을 가속 에너지 160keV, 도즈량 2~3E13, 입사 각도 7도로 이온 주입하고, 임계값 조정용 n웰 NW1-2를 형성한다. 또한, 이하에서는 주변 회로 영역의 CMOS 구조에 대해서는 적절하게 언급한다.

도 5c에 나타내는 바와 같이, 화소 영역에서, 포토다이오드를 둘러싸는 것 같은 깊은 p웰 PW2를, B+ 이온을 가속 에너지 300keV, 도즈량 1E13으로 이온 주입하여 형성한다. 포토다이오드의 애노드 영역을 형성하는 p웰 PW3을, B+ 이온을 가속 에너지 144keV, 도즈량 2E12, 입사 각도 7도로 이온 주입하고, 또한 B+ 이온을 가속 에너지 30keV, 도즈량 2E12, 입사 각도 7도로 이온 주입하여 형성한다. 또한, 주변 회로 영역용 임계값 조정용 이온 주입과 비교하여, 도즈량은 약 절반 이하로 낮게 되어 있다. 이 때문에, 트랜스퍼 게이트 TG 아래의 임계값 V_t 는 낮게 설정된다.

전하 판독 회로 영역에서는, 또한 B+ 이온을 가속 에너지 30keV, 도즈량 5E12, 입사 각도 7도로 이온 주입하고, 임계값 조정용 p웰 PW4를 형성한다. 또한, 이 도즈량은 주변 회로 영역의 n채널 트랜지스터의 임계값 조정 영역과 거의 동일한 정도의 농도이다.

도 5d에 나타내는 바와 같이, 포토다이오드의 전하 축적 영역(20)을 노출시키는 개구를 갖는 마스크를 형성하고, P+ 이온을 가속 에너지 325keV, 도즈량 2E12, 입사 각도 7도로 이온 주입하고, 또한 가속 에너지 207keV, 도즈량 2E12, 입사 각도 7도, 가속 에너지 135keV, 도즈량 2E12, 입사 각도 7도로 이온 주입하여, p웰 PW3에 둘러싸인 n형 영역(20)을 형성한다.

마스크를 제거하여, 신선한 반도체 표면을 노출시킨 후, 800°C의 열 산화로 산화 실리콘막(13)을 약 8nm 형성하고, 그 표면 위에 다결정 실리콘막(15)을 두께 약 180nm로 CVD에 의해 퇴적한다. 주변 회로의 p채널 트랜지스터 영역을 제거하고, 다결정 실리콘막(15)에 p+ 이온을 가속 에너지 20keV, 도즈량 4E15, 입사 각도 7도로 이온 주입하여, 저저항의 n형 다결정 실리콘층(15)으로 한다. 그 후, 800°C로, 60분간의 어닐링을 행하여, 이온 주입한 불순물을 활성화시킨다.

다결정 실리콘층(15) 위에 레지스트 패턴 RP4를 형성하고, 다결정 실리콘층(15)을 에칭하여 절연 게이트 전극 구조를 작성한다. 그 후, 레지스트 패턴 RP4는 제거한다.

도 5e에 나타내는 바와 같이, 포토다이오드 영역, 주변 회로의 p채널 트랜지스터 영역을 레지스트 마스크로 덮어, P+ 이온을 가속 에너지 20keV, 도즈량 4E13으로 이온 주입하여, 저농도 소스/드레인 확산층(16n)(LDD 또는 익스텐션)을 형성한다. 포토다이오드 영역에 개구를 갖는 레지스트 패턴을 형성하고, B+ 이온을 가속 에너지 10keV, 도즈량 1~2E13, 입사 각도 7도로 이온 주입하여, 포토다이오드 매립용 p형 확산층(22)을 형성한다. 전하 축적 영역(20)의 pn 접합이 실리콘 기판 표면으로부터 떨어지는 것에 의해, 잡음이 억제된다.

도 5s는 주변 회로 영역에서 절연 게이트 전극 구조를 작성하고, 그 양측에 익스텐션 영역(16n, 16p)을 형성한 상태를 나타낸다. 익스텐션 영역(16p)는 예를 들면 B+ 이온을 가속 에너지 7keV, 도즈량 1~2E13 정도 주입함으로써 형성된다.

도 5f에 나타내는 바와 같이, 플로팅 디퓨전 영역 및 리셋 트랜지스터의 컨택트 영역에 개구를 갖는 레지스트 마스크를 형성하고, P+ 이온을 가속 에너지 15keV, 도즈량 2E15로 이온 주입하여, n형 고농도 컨택트 영역(18)을 형성한다. 그 후, 레지스트 마스크를 제거한다. 약 750°C의 고온 CVD에 의해 HTO 산화 실리콘막(24)을 두께 약 100nm 퇴적한다. 포토다이오드, 플로팅 디퓨전 FD, 리셋 트랜지스터 RST를 덮는 레지스트 패턴 RP6을 형성하고, RIE(Reactive Ion Etching)에 의해 산화 실리콘막(24)을 이방성 에칭한다. 게이트 전극 측벽 위에만 사이드 월 스페이스 SW를 남긴다. 그 후 레지스트 패턴 RP6은 제거한다. 이 공정에 의해, 전하 판독 회로 및 주변 회로의 소오 트랜지스터의 게이트 전극 측벽 위에는 사이드 월 스페이스 SW가 형성되고, 포토다이오드 및 플로팅 디퓨전, 리셋 트랜지스터의 표면은 실리사이드 공정의 마스크로서 기능하는 산화 실리콘막(24)으로 덮여진다. 산화 실리콘막(24)은 그 후의 에칭에서 보호막으로서도 기능한다.

도 5g에 나타내는 바와 같이, 주변 회로 영역의 p채널 트랜지스터 영역을 레지스트 패턴으로 덮고, P+ 이온을 가속 에너지 13keV, 도즈량 2E15로 이온 주입하여, 고농도 소스/드레인 영역(17n)을 형성한다.

도 5t는 주변 회로 영역을 나타낸다. 게이트 전극 측벽 위에 산화 실리콘막의 사이드 월 스페이스 SW를 형성한 후, 상기한 n형 불순물의 이온 주입으로 n형 고농도 소스/드레인 영역(17n)을 형성한다. 픽셀 영역 및 주변 회로 영역의 n채널 트랜지

스터 영역을 레지스트 마스크로 덮고, B⁺ 이온을 가속 에너지 5keV, 도즈량 2E15로 이온 주입하여, 고농도 p형 소스/드레인 영역(17p)을 형성한다. 그 후 레지스트 패턴은 제거한다. 1000℃, 10초 정도의 RTA(Rapid Thermal Anneal)을 행하여, 이온 주입한 불순물을 활성화한다.

도 5g로 돌아와, 실리콘 표면을 불화수소산 처리한다. 또한, 남겨진 산화 실리콘막(24)은 불화수소산 처리 등에 의해 막의 두께를 줄이지만, 이 단계에서 60nm 정도 남는다. 그 후, Co막을 스퍼터링하고, 약 520℃, 수 10초의 RTA를 행함으로써, Co막과 그 아래의 실리콘 표면을 실리사이드 반응시켜, 1차 실리사이드막을 형성한다. 산화막 위의 미반응 Co막을 SC1 세정 또는 암모니아 과산화수소 용액으로 세정하여, 실리사이드막만을 남긴다. 약 840℃, 수 10초간의 RTA를 행함으로써, 실리사이드막을 저저항 실리사이드막(19)으로 변환한다. 산화 실리콘막(24)이 남겨진 영역에서는, 실리콘 표면이 노출하고 있지 않기 때문에, 실리사이드층은 형성되지 않는다. 실리사이드층(19)을 형성한 후, 기판 전체 면 위에 질화 실리콘막(26)을 CVD에 의해 두께 약 70nm 퇴적한다.

도 5u는 질화 실리콘막(26)을 형성한 주변 회로 영역의 구성을 나타낸다. 게이트 전극 측벽 위에는 사이드 월 스페이서 SW가 형성되고, 익스텐션(16) 및 고농도 소스/드레인 영역(17)을 구비하고, 소스/드레인 영역 및 게이트 전극 위에 실리사이드층(19)을 구비한 트랜지스터가 형성되어 있다.

도 5h에 나타내는 바와 같이, 포토다이오드의 전하 축적 영역(20) 및 플로팅 디퓨전 영역에 연재하는 영역에 개구를 갖는 레지스트 패턴 RP7을 형성하고, 질화 실리콘막(26)의 에칭을 행하여, 질화 실리콘막(26)에 개구(28)를 형성한다. 에천트 가스로서 O₂+CHF₃를 사용하여, 산화막에 대한 질화막의 에칭 레이트비 2.5 정도의 에칭을 행한다. 70nm의 질화 실리콘막을 에칭 제거하고, 30%의 오버 에칭을 행한 때, 산화막의 막 감소는 약 9nm가 된다. 50nm 정도 이상의 산화 실리콘막이 남겨져, 질화막 제거의 에칭 손상을 효율적으로 방지할 수 있다. 또한, 트랜스퍼 게이트의 일부 위에서도 질화 실리콘막(26)이 제거되어, 개구(28) 내의 트랜스퍼 게이트 TG 측부에 질화 실리콘막의 사이드 월(26r)이 남는다. 그 후 레지스트 패턴 RP7은 제거한다.

도 5i에 나타내는 바와 같이, 기판 전체면 위에 테트라에틸 오르소실리케이트(TEOS)를 원료로 한 플라즈마 CVD에 의해 산화 실리콘막(30)을 두께 약 1000nm 퇴적한다. 그 후 CMP를 행하여 표면을 평탄화한다. 우선, 플로팅 디퓨전 영역 및 리셋 트랜지스터의 콘택트 영역을 개구하는 레지스트 패턴을 형성하고, 콘택트 홀을 에칭한다. C₄F₈+Ar을 에천트 가스로 하여 산화 실리콘막(30)을 에칭하고, 질화 실리콘막(26) 표면에서 에칭을 스톱시킨다. 에천트 가스를 O₂+CHF₃로 바꿔서, 질화 실리콘막(26), 산화 실리콘막(24)의 에칭을 행한다. 이 에칭은 위치 맞춤 여유를 두고서 행한다. 이렇게 해서, 콘택트 영역(18)에 이르는 콘택트 홀 CH1을 형성한다.

다음에, 트랜지스터의 소스/드레인에 대한 콘택트 홀을 형성하는 레지스트 패턴을 형성하고, 산화 실리콘막(30), 질화 실리콘막(26)의 에칭을 행한다. 산화 실리콘막(30)은 C₄F₈+Ar을 에천트 가스로 한 에칭으로 제거하고, 질화 실리콘막은 O₂+CHF₃을 에천트 가스로 하여 에칭한다. 이 에칭은 실리콘 표면이 에칭 스톱퍼로 덮여진 상태이기 때문에, 고정밀도로 행할 수 있어, 보더리스 콘택트로 행할 수 있다. 이렇게 해서 콘택트 홀 CH2를 형성한다.

콘택트 홀 CH1, CH2를 형성한 후, 두께 약 30nm의 Ti층, 두께 약 50nm의 TiN층을 스퍼터링으로 성막하고, 또한 두께 약 300nm의 W층을 CVD에 의해 성막한다. 이러한 공정에 의해, 콘택트 홀 CH1, CH2 안이 금속으로 매립된다. 절연막 위의 불요 금속막을 CMP에 의해 제거하고, W 플러그(32)를 형성한다. W 플러그(32)를 형성한 후, 수소 어닐링을 450℃로 약 60분간 행한다.

도 5v는 주변 회로 영역에 W 플러그(32)를 형성한 상태를 나타낸다. 소스/드레인 영역 위의 W 플러그(32)는 보더리스 콘택트로 형성되어 있다.

도 3에 나타내는 바와 같이, 제1층간 절연막(30) 위에, 두께 약 30nm의 Ti층, 두께 50nm의 TiN층, 두께 약 400nm의 Al층, 두께 약 5nm의 Ti층, 두께 약 50nm의 TiN층을 스퍼터링하여 성막한다. 포토리소그래피 에칭 공정에 의해 배선 패턴을 형성하여, 제1 메탈 배선(34)을 형성한다. 제1 메탈 배선(34)을 덮어 고밀도 플라즈마 CVD에 의해 매립성이 양호한 산화 실리콘막을 두께 약 750nm 성막하고, 그 위에 평탄성이 양호한 플라즈마 TEOS 산화막을 두께 약 1100nm 퇴적한다. CMP를 행하여 표면을 평탄화하여, 제2 층간 절연막(36)을 얻는다. 비어 콘택트용 레지스트 패턴을 형성하고, 제1 금속 배선(34)에 이르는 비어 홀을 형성한다. 상술한 바와 같은 프로세스에 의해 W 플러그(38)를 비어 홀에 매립한다.

또한, 상술한 바와 같은 공정을 행하여, 제2 금속 배선(40)을 형성하고, 그 위에 제3 층간 절연막(42)을 성막한다. 동일한 공정에 의해 W 플러그를 형성한 후, 제3 층간 절연막(42) 위에 제3 금속 배선(50)을 형성한다. 제3 금속 배선(50)의 일부는 패드를 구성한다. 상술한 층간 절연막과 같은 구조를 갖는 절연막(52)을 성막하고, 표면을 평탄화한 후, 질화 실리콘의 커버막(58)을 플라즈마 CVD에 의해 두께 약 500nm 퇴적한다. 패드 영역의 커버막(58), 절연막(52)을 제거하여, 패드를 개구한다. 패드 개구 후, 수소 어닐링을 400~450℃로 30분~60분 정도 더 행한다.

이상의 공정에 의해, 샘플이 작성되었다. 비교를 위해, 포토다이오드 위에서 질화 실리콘막을 제거하지 않은 비교 샘플도 작성했다. 양 샘플을 측정하여 비교하면, 포토다이오드 상에서 질화 실리콘막을 제거한 샘플은 감도가 약 25% 정도 증가하고, 암전류는 약 20% 정도 감소했다. 상기의 감도의 측정은 포토다이오드가 포화하지 않는 범위의 일정한 광량으로, 노광 시간이 짧은 촬영 1과 노광 시간이 긴 촬영 2를 행하여, 촬영 1과 촬영 2의 신호 차를 노광 시간 차로 나누어 단위(노광) 시간 당 신호량을 산출하는 것으로 측정했다. 그리고, 상기 암전류는 광이 없는 암상태에서 노광 시간이 짧은 촬영 1과 노광 시간이 긴 촬영 2를 행하여, 촬영 1과 촬영 2의 신호 차를 노광 시간 차로 나누어 단위(노광) 시간 당 신호량을 산출하는 것으로 측정했다(암상태에서 시간에 의존하여 증가하는 신호를 암전류로 간주했다). 이것에 의해, 질화 실리콘막을 제거하지 않은 경우에 감도=550mV/LXsec, 암전류=0.175fA이었던 것이, 질화 실리콘막을 제거한 경우에는 감도=700mV/Lxsec, 암전류=0.14fA로 개선되었다.

감도 향상의 원인의 1개는 포토다이오드 위의 실리콘막을 제거한 것에 의해, 광의 감쇠가 방지되고, 또한 계면 감소에 의해 반사가 감소되는 것을 고려할 수 있다. 다만, 이들 원인만으로 25%의 감도 향상을 충분히 설명할 수 있는지는 불명확하다. 포토다이오드 위에서 질화 실리콘막이 없는 것에 의해, 수소 어닐링으로 수소가 충분히 기판 안에 도입되어, 암전류, 리크가 저감되어, 노이즈가 감소된다고 생각된다. 또한, 포토다이오드의 실리콘 표면은 산화 실리콘막으로 보호되어 있기 때문에, 질화 실리콘막 제거의 예칭에서도 손상이 억제되고 있다고 생각된다.

산화 실리콘막으로 사이드 월 스페이서를 형성하고, 반도체 표면에 질화 실리콘막을 형성한 영역에서는, 보더리스 콘택트를 실현할 수 있었다. 이 영역에서는, 미세한 설계 룰을 적용할 수 있다. 또한, 질화 실리콘막(26) 아래에, 플라즈마 CVD에 의해 두께 약 20nm의 산화 실리콘막을 퇴적하고, 그 위에 두께 약 70nm의 질화 실리콘막을 플라즈마 CVD에 의해 퇴적한 경우라도, 보더리스 콘택트를 실현할 수 있었다. 질화 실리콘막 아래에 형성하는 산화 실리콘막은 두께 30nm 이하로 하는 것이 보더리스 콘택트 실현을 위해서 바람직할 것이다.

또한, 상술한 샘플에서는, 제3 금속 배선(50)이 포토다이오드 PD 위에 개구를 갖고, 다른 영역을 차폐하는 광차폐막으로서 기능하지만, 컬러 필터나 마이크로렌즈는 작성하지 않았다. 이들을 작성하는 것도 당연히 가능하다.

도 6a에 나타내는 바와 같이, 도 3의 구성상에 평탄화막을 형성한 후, 평탄화된 표면 위에 컬러 필터를 형성한다. R, G, B의 베이어(bayer) 배열을 형성한 경우를 개략적으로 나타낸다. 컬러 필터는, R, G, B의 각 층을 성막하고, 패터닝하는 공정을 반복함으로써 형성할 수 있다. 컬러 필터층을 형성한 후, 평탄화막을 형성하여 표면을 평탄화한다.

도 6b에 나타내는 바와 같이, 평탄화층 위에 레지스트층을 형성하고, 원형으로 패터닝한다. 그 후, 남겨진 레지스트층을 가열하는 것에 의해 리플로우시킨다. 표면 장력에 의해, 레지스트층 표면이 구면화되어, 렌즈 형상으로 된다. 이렇게 해서 마이크로렌즈 μL가 형성된다.

또한, 트랜지스터의 사이드 월 스페이서를 산화 실리콘막으로 형성하는 실시예를 설명했지만, 사이드 월 스페이서를 질화 실리콘으로 형성하는 것도 가능할 것이다.

도 7a, 도 7b는 제2 실시예에 따른 반도체 촬상 장치의 제조 공정을 나타낸다. 우선, 도 5a~도 5e의 공정은 상술한 실시예와 마찬가지로 행한다. 제1 절연막으로서, 산화 실리콘막(24)을 퇴적하는 대신에, 질화 실리콘막(25)을 퇴적한다. 트랜지스터 영역에서, 적어도 일부의 트랜지스터 영역을 개구하는 레지스트 마스크 RP6을 형성하고, 질화 실리콘막(25)을 RIE에 의해 예칭하여 사이드 월 스페이서 SW를 형성한다. 그 후 레지스트 마스크 RP6은 제거한다. 도 7a의 공정에 이어서, 도 5g의 공정을 행한다.

도 7b는 도 5i의 공정에 대응하는 도면이다. 도 5h에 나타내는 제2 절연막의 개구 형성 공정은 행하지 않는다. 포토다이오드 위에서는 질화 실리콘막의 제1 절연막(25)과, 질화 실리콘막의 제2 절연막(26)이 적층된 구조로 된다. 질화 실리콘막끼리의 적층이므로, 광학적 계면을 형성하지 않는 것도 가능하다. 그 후, 도 5i와 같은 공정을 행하여 도 7b의 구조를 얻는다. 그 후, 상술한 실시예와 마찬가지로 다층 배선 구조나 컬러 필터, 마이크로렌즈를 형성한 반도체 촬상 장치를 완성한다.

본 실시예에서는, 포토다이오드 위를 2층의 질화 실리콘막(25, 26)이 덮고 있다. 질화 실리콘막에 의한 광의 감쇠를 억제하기 위해서는, 질화 실리콘막(25, 26) 중 적어도 한쪽을 500℃ 정도의 저온으로 CVD 성장시키는 저온, 저압(LP) CVD로 성장하는 것이 더욱 바람직하다. 또한, 플라즈마 CVD를 사용하는 것도 가능하다.

본 실시예에 의하면, 포토다이오드의 실리콘 표면이 질화 실리콘막으로 덮이고, 그 위에 굴절율이 더욱 낮은 산화 실리콘막이 형성된다. 실리콘으로부터 질화 실리콘막, 산화 실리콘막으로 서서히 굴절율이 작아지는 계면이 형성되기 때문에, 계면에서의 반사가 저감되는 것이 기대된다.

저온 LP-CVD에 의해 질화 실리콘막을 형성하면, 질화 실리콘막 내의 광 감쇠가 저감되기 때문에, 감도가 향상하는 것도 기대된다. 사이드 월 스페이서를 형성한 트랜지스터에서는, 반도체 표면 위에 에칭 스톱퍼가 형성되어 있기 때문에, 보더리스 컨택트를 실현할 수 있다. 또한, 포토다이오드의 기능에 영향을 주지 않는 영역에서, 질화 실리콘막을 제거하여 개구를 형성하고, 수소 어닐링의 효과를 촉진하는 것도 가능할 것이다.

이상 실시예에 따라 본 발명을 설명했지만, 본 발명은 이들에 제한되는 것이 아니다. 예를 들면, 각종의 변경, 개량, 조합이 가능한 것은 당업자에게 자명할 것이다.

이하, 본 발명의 특징을 부기한다.

(부기 1) (1)

행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기관으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전을 포함하는 제1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터를 포함하는 제2 영역을 갖는 반도체 기관과,

상기 반도체 기관 위쪽에 형성되어, 상기 제1 영역의 전하 축적 영역의 표면을 덮는 동시에, 상기 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 산화 실리콘막과,

상기 제1 산화 실리콘막 위쪽에 형성되어, 상기 제2 영역에서 소스/드레인을 덮고, 상기 제1 영역에서 상기 전하 축적 영역 위쪽의 적어도 일부에 개구를 갖는 질화 실리콘막을 갖는 반도체 촬상 장치.

(부기 2) (2)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위쪽에서 상기 질화 실리콘막을 관통하여 보더리스 컨택트를 형성하는 도전성 플러그를 더 갖는 부기 1 기재의 반도체 촬상 장치.

(부기 3) (3)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인과 상기 질화 실리콘막 사이에 형성된 두께 30nm 이하의 제2 산화 실리콘막을 더 갖는 부기 1 또는 2 기재의 반도체 촬상 장치.

(부기 4) (4)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위에 형성된 실리콘사이드층을 더 갖고, 상기 제1 영역은 실리콘사이드층을 갖지 않는 부기 1~3 중 어느 1항 기재의 반도체 촬상 장치.

(부기 5) (5)

상기 제1 영역이, 상기 제1 산화 실리콘막과 상기 질화 실리콘막의 적층을 포함하는 부분을 갖는 부기 1~4 중 어느 1항 기재의 반도체 촬상 장치.

(부기 6) (6)

상기 개구가 상기 플로팅 디퓨전의 적어도 일부 위쪽을 포함하는 부기 1~5 중 어느 1항 기재의 반도체 촬상 장치.

(부기 7) (7)

행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기관으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전을 포함하는 제 1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터를 포함하는 제2 영역을 갖는 반도체 기관과,

상기 반도체 기관 위쪽에 형성되어, 상기 제1 영역의 표면을 덮는 동시에, 상기 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 질화 실리콘막과,

상기 제1 질화 실리콘막 위쪽에 형성되어, 상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인을 덮는 제2 질화 실리콘막과,

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위쪽에서 상기 제2 질화 실리콘막을 관통하여 보더리스 콘택트를 형성하는 도전성 플러그를 갖는 반도체 활상 장치.

(부기 8) (8)

상기 제1, 제2 질화 실리콘막의 적어도 한쪽은 550℃ 이하의 저압(LP) CVD로 형성된 막인 부기 7 기재의 반도체 활상 장치.

(부기 9) (9)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인과 상기 제2 질화 실리콘막 사이에 형성된 두께 30nm 이하의 산화 실리콘막을 더 갖는 부기 7 또는 8 기재의 반도체 활상 장치.

(부기 10) (10)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위에 형성된 실리콘사이드층을 더 갖고, 상기 제1 영역은 실리콘사이드층을 갖지 않는 부기 7~9 중 어느 1항 기재의 반도체 활상 장치.

(부기 11)

행렬 상에 배열된 다수의 픽셀을 갖는 반도체 기관으로서, 포토다이오드의 전하 축적 영역과 플로팅 디퓨전을 포함하는 제 1 영역과, 게이트 전극, 소스/드레인을 구비한 트랜지스터로 구성하고, 상기 전하 축적 영역으로부터 상기 플로팅 디퓨전으로 전송된 전하를 검출하는 전하 검출 회로를 포함하는 제2 영역을 갖는 반도체 기관과,

상기 반도체 기관 위쪽에 형성되어, 상기 제1 영역의 전하 축적 영역의 표면을 덮는 동시에, 상기 제2 영역의 적어도 일부의 트랜지스터의 게이트 전극 측벽에 사이드 월로서 형성된 제1 절연막과,

상기 제1 절연막 위쪽에 형성되어, 상기 제2 영역에서 상기 적어도 일부의 트랜지스터의 소스/드레인을 덮는 제2 절연막을 갖는 반도체 활상 장치.

(부기 12)

상기 제1 절연막과 제2 절연막은 재료가 다른 부기 11 기재의 반도체 활상 장치.

(부기 13)

상기 제1 절연막이 산화 실리콘막이고, 상기 제2 절연막이 질화 실리콘막인 부기 12 기재의 반도체 활상 장치.

(부기 14)

상기 제1 절연막은 상기 제1 영역의 상기 전하 축적 영역 위쪽의 적어도 일부에 개구를 갖는 부기 11~13 중 어느 1항 기재의 반도체 활상 장치.

(부기 15)

상기 제1 절연막과 상기 제2 절연막이 질화 실리콘, 또는 산화질화 실리콘으로 형성되어 있는 부기 11 기재의 반도체 촬상 장치.

(부기 16)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위쪽에서 상기 제2 절연막을 관통하여 보더리스 컨택트를 형성하는 도전성 플러그를 더 갖는 부기 11~15 중 어느 1항 기재의 반도체 촬상 장치.

(부기 17)

상기 제2 영역의 상기 적어도 일부의 트랜지스터의 소스/드레인 위에 형성된 실리사이드층을 더 갖고, 상기 제1 영역은 실리사이드층을 갖지 않는 부기 11~16 중 어느 1항 기재의 반도체 촬상 장치.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 트랜지스터의 게이트 전극 측벽에 사이드 월을 형성함과 동시에, 포토다이오드의 표면을 산화 실리콘막으로 덮을 수 있다. 트랜지스터의 소스/드레인 위에 질화 실리콘막의 에칭 스톱퍼를 형성하여, 포토다이오드 위로부터 제거할 때, 산화 실리콘막이 포토다이오드를 보호한다. 수소화 처리를 행하면, 수소는 포토다이오드 위의 질화 실리콘막의 개구로부터 기판에 도달할 수 있다.

실제로 작성한 샘플에서, 감도가 향상되고, 잡음이 저감되었다.

도면의 간단한 설명

도 1a 내지 도 1c는 MOS형 반도체 촬상 장치의 구성 및 동작을 개략적으로 설명하는 평면도, 투과 회로도, 타이밍 차트.

도 2a 및 도 2b는 제1 실시예에 따른 반도체 촬상 장치의 구성을 개략적으로 나타내는 투과 회로도 및 평면도.

도 3은 제1 실시예에 따른 반도체 촬상 장치의 단면 구성을 개략적으로 나타내는 단면도.

도 4a 내지 도 4f는 도 3의 구성을 실현하는 제조 공정에서의 평면 배치를 개략적으로 나타내는 평면도.

도 5a 내지 도 5i 및 도 5s 내지 도 5v는 도 3에 나타내는 반도체 촬상 장치의 제조 공정을 설명하기 위한 단면도.

도 6a 및 도 6b는 도 3의 반도체 촬상 장치에 컬러 필터층 및 마이크로 렌즈를 적층하는 상태를 개략적으로 나타내는 평면도.

도 7a 및 도 7b는 제2 실시예에 따른 반도체 촬상 장치의 제조 공정을 개략적으로 나타내는 단면도.

<도면의 주요부분에 대한 부호의 설명>

PD : 포토다이오드

TG : 트랜스퍼 게이트

FD : 플로팅 디퓨전

RST : 리셋 트랜지스터

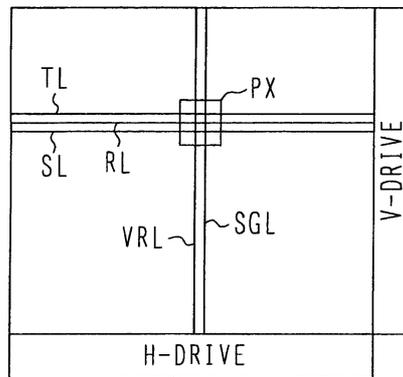
SFT : 소스 폴로워 트랜지스터

- SLT : 셀렉트 트랜지스터
- VR : 리셋 전압
- PX : 픽셀
- TL : 트랜스퍼 라인
- SL : 셀렉트 라인
- RL : 리셋 라인
- VRL : 전압 라인
- SGL : 신호 관독 라인
- PW : p웰
- NW : n웰
- SW : 사이드 웰 스페이서
- G : 게이트
- 10 : 실리콘 기판
- 11 : 쉘로우 트렌치 아이솔레이션(Shallow Trench Isolation; STI)
- 13 : 게이트 절연막(산화 실리콘막)
- 15 : 다결정 실리콘막(게이트 전극)
- 16 : 저농도 소스/드레인 영역(익스텐션)
- 17 : 고농도 소스/드레인 영역
- 18 : 고농도 n형 콘택트 영역
- 19 : 실리콘사이드층
- 20 : n형 확산층(전하 축적 영역)
- 21 : 고농도 소스/드레인 영역
- 22 : p형 매립 확산층
- 24 : 산화 실리콘막(제1 절연막)
- 25 : 질화 실리콘막(제1 절연막)
- 26 : 질화 실리콘막(제2 절연막)
- 28 : 개구(開口)

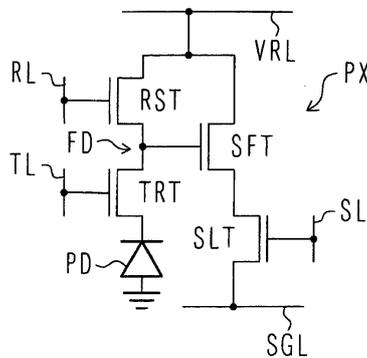
- 30 : 제1층간 절연막(산화 실리콘막)
- 32 : 도전성 플러그(W 플러그)
- 34 : 제1 금속 배선(알루미늄 배선)
- 36 : 제2 층간 절연막(산화 실리콘막)
- 38 : 제1 비어 도전체(W 플러그)
- 40 : 제2 금속 배선(알루미늄 배선)
- 42 : 제3 층간 절연막(산화 실리콘막)
- 50 : 제3 금속 배선(알루미늄 배선)
- 52 : 절연막(산화 실리콘막)
- 54 : 커버막(질화 실리콘막)

도면

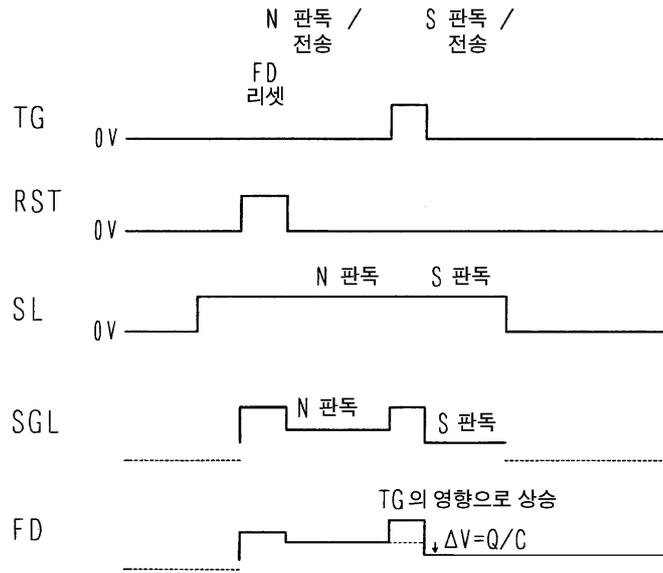
도면1a



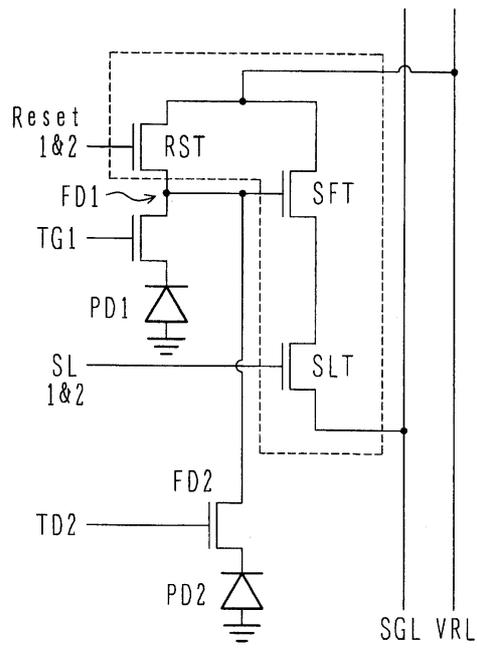
도면1b



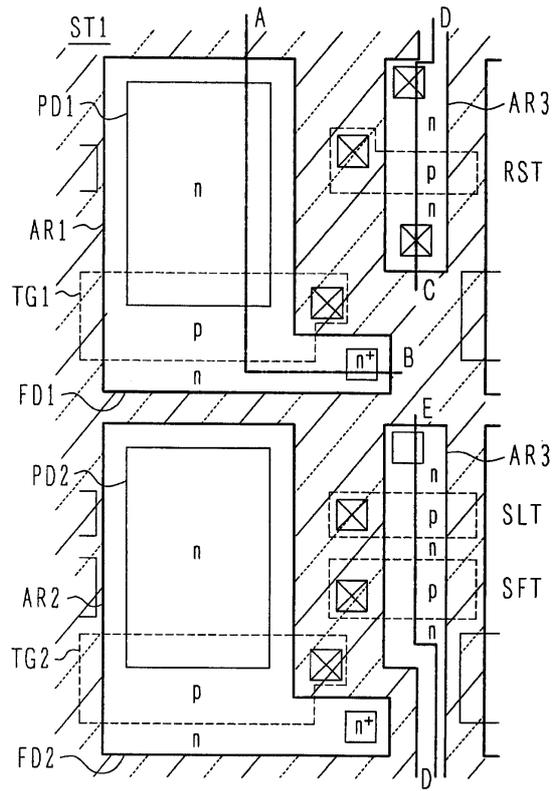
도면1c



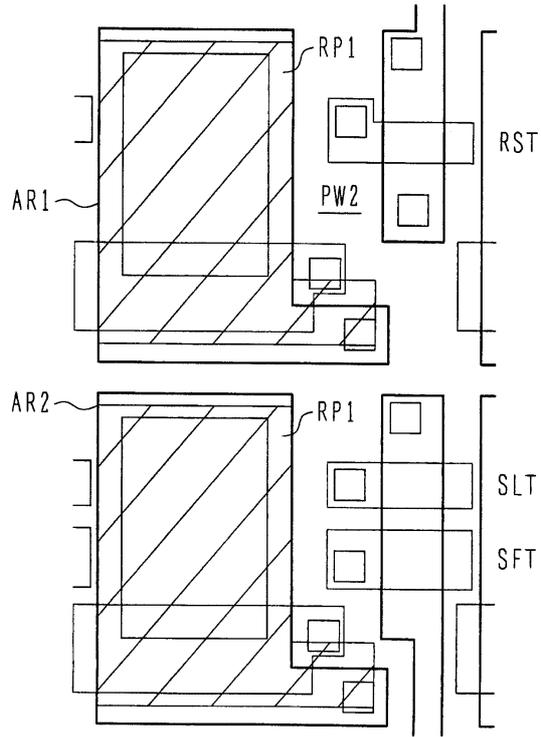
도면2a



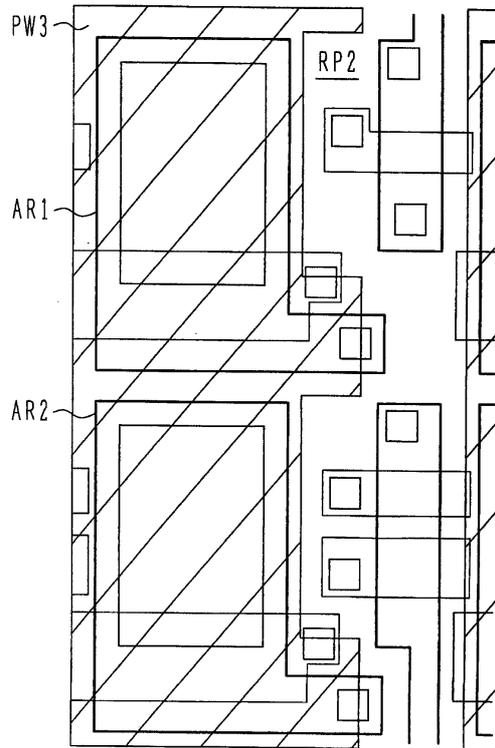
도면2b



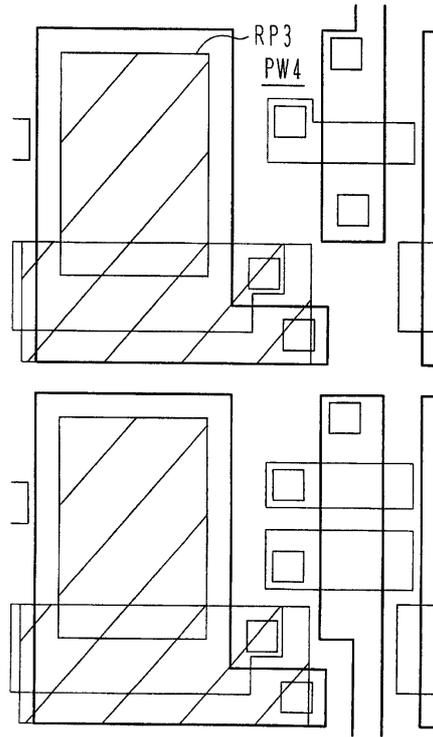
도면4a



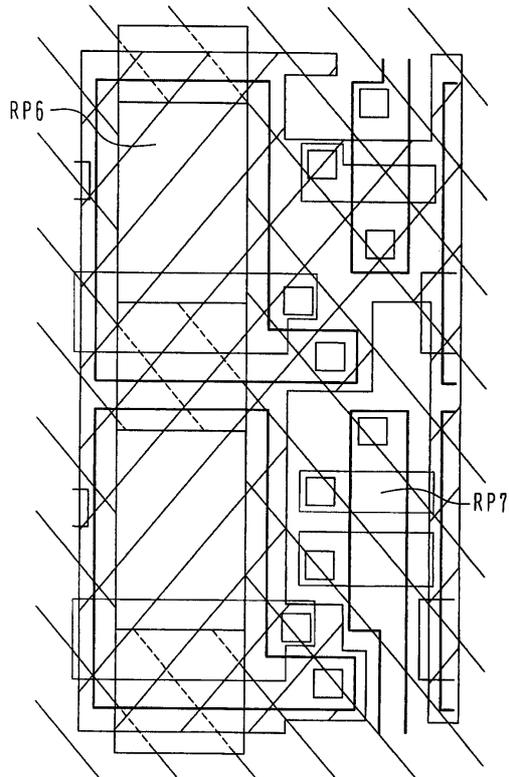
도면4b



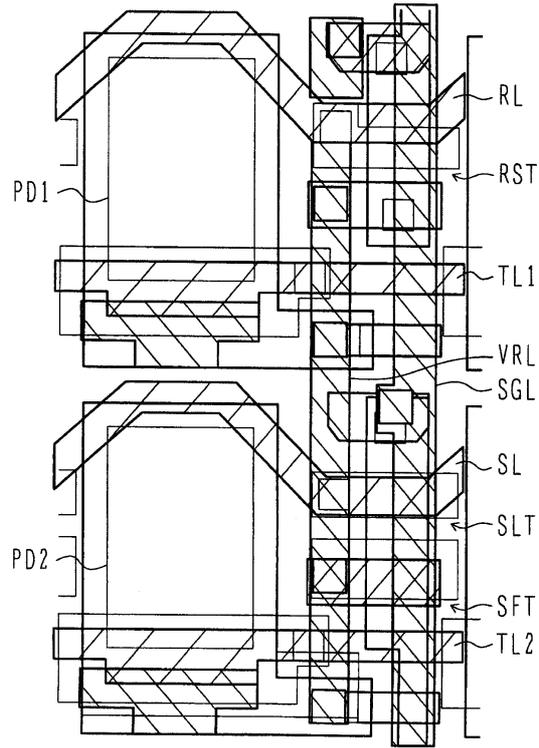
도면4c



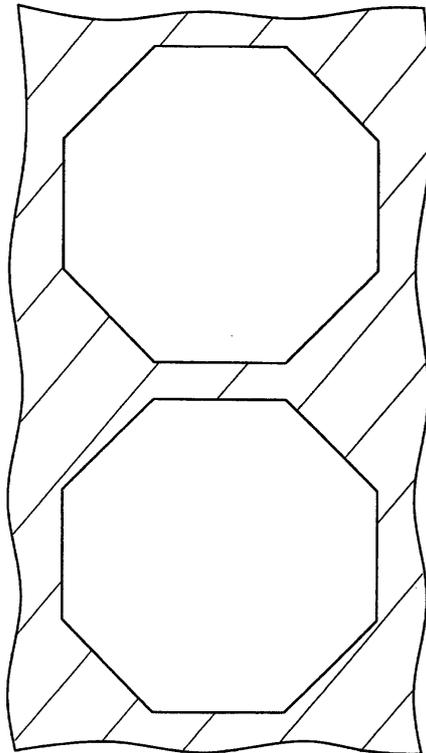
도면4d



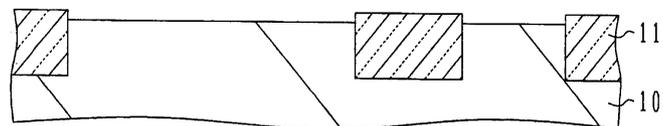
도면4e



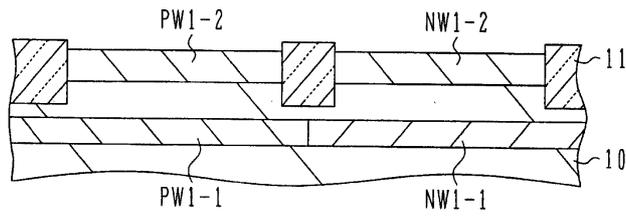
도면4f



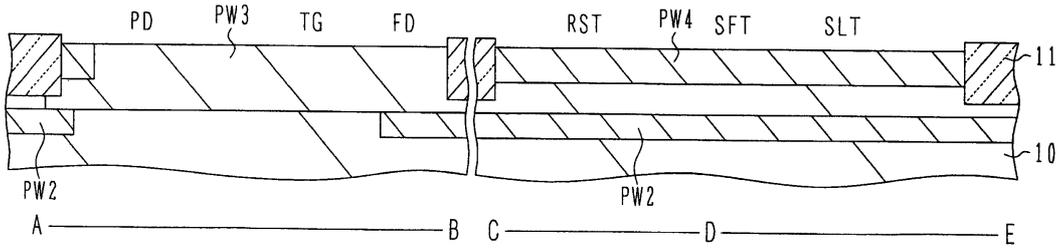
도면5a



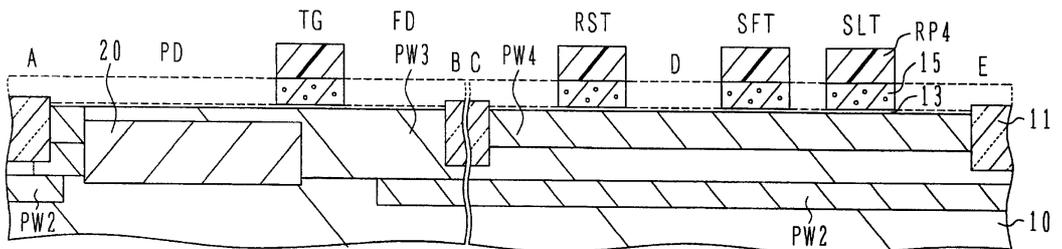
도면5b



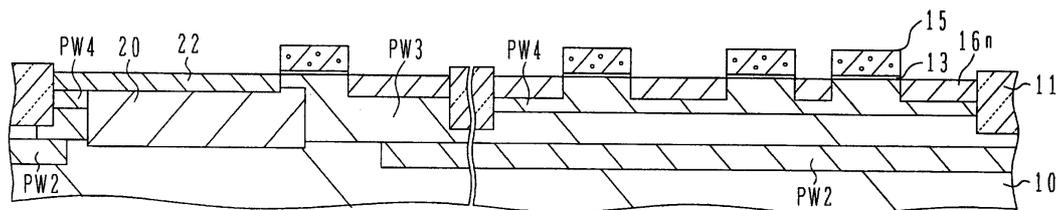
도면5c



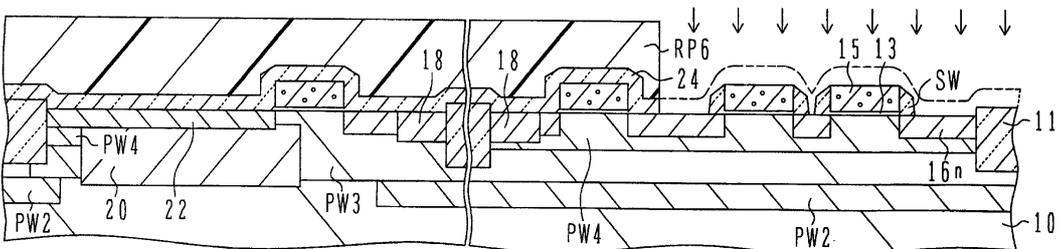
도면5d



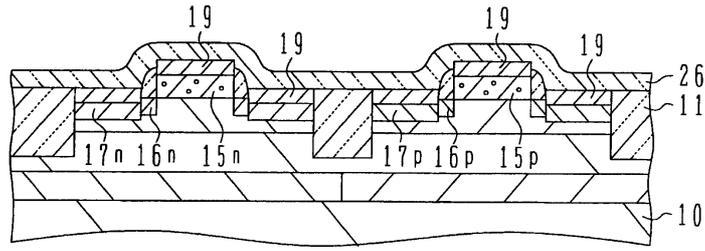
도면5e



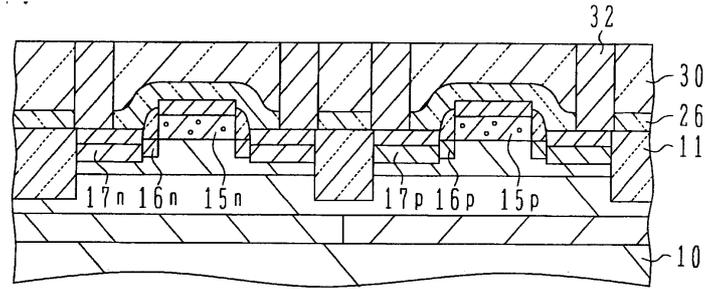
도면5f



도면5u



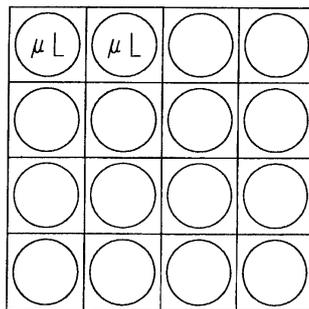
도면5v



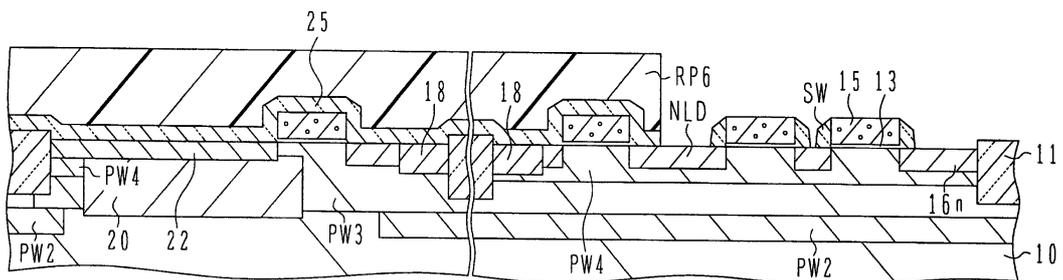
도면6a

G	R	G	R
B	G	B	G
G	R	G	R
B	G	B	G

도면6b



도면7a



도면7b

