



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월20일 10-0697379 2007년03월13일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0020193 2003년03월31일 2004년06월25일	(65) 공개번호 (43) 공개일자	10-2004-0085496 2004년10월08일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 유성열
 서울특별시서초구방배2동432-17

(74) 대리인 강성배

심사관 : 윤병수

전체 청구항 수 : 총 14 항

(54) 다결정실리콘 박막트랜지스터 제조방법

(57) 요약

본 발명은 액정표시장치의 다결정실리콘 박막트랜지스터 제조방법을 개시한다. 개시된 본 발명의 방법은, 유리기판 상에 비정질실리콘층을 증착하는 단계와, 상기 비정질실리콘층의 표면에 n+ /p+ 도핑층을 형성하는 단계와, 상기 n+ /p+ 도핑층 상에 니켈막을 증착하는 단계와, 상기 니켈막을 패터닝하여 이격 배치되는 소오스 전극과 드레인 전극을 형성하는 단계와, 상기 소오스 전극과 드레인 전극 사이의 n+ /p+ 도핑층 부분을 식각하는 단계와, 상기 기판 결과물을 450~500℃의 온도로 열처리하여 소오스/드레인 전극과 n+ /p+ 도핑층의 계면에 니켈-실리사이드를 형성함과 동시에 니켈의 확산을 통한 결정 형성 및 상기 결정의 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계와, 상기 결과물 상에 게이트 절연막을 증착하는 단계와, 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계를 포함한다. 본 발명에 따르면, 결정화를 위한 금속으로서 소오스/드레인 금속을 이용해서 측면 방향으로 확장되어 가는 결정을 응용하여 비정질실리콘의 결정화를 이루기 때문에 채널 영역에서의 실리콘 오염을 방지할 수 있으며, 그래서, 비정질실리콘 결정화의 신뢰성을 확보할 수 있다.

대표도

도 1e

특허청구의 범위

청구항 1.

유리기판 상에 비정질실리콘층을 증착하는 단계;

상기 비정질실리콘층의 표면에 n+ /p+ 도핑층을 형성하는 단계;

상기 n+ /p+ 도핑층 상에 소오스/드레인용 금속막을 증착하는 단계;

상기 소오스/드레인용 금속막을 패터닝하여 채널영역을 한정하도록 이격 배치되는 소오스 전극과 드레인 전극을 형성하는 단계;

상기 소오스 전극과 드레인 전극 사이 상기 채널영역의 상기 n+ /p+ 도핑층을 상기 비정질실리콘층이 노출되도록 식각하는 단계;

상기 비정질실리콘층을 열처리하여 상기 소오스 및 드레인 전극과 상기 n+ /p+ 도핑층의 계면에 금속-실리사이드층을 형성함과 동시에 상기 소오스 및 드레인 금속의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계;

상기 소오스 및 드레인 전극 상에 상기 채널영역의 상기 결정화된 다결정실리콘층을 덮도록 게이트 절연막을 증착하는 단계; 및

상기 게이트 절연막 상의 상기 채널영역에 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 2.

제 1 항에 있어서, 상기 n+ /p+ 도핑층은

도펀트(dopant) 도핑층을 증착하여 형성하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 3.

제 1 항에 있어서, 상기 n+ /p+ 도핑층은

비정질실리콘층의 표면에 도펀트 (dopant)를 이온주입하여 형성하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 4.

제 3 항에 있어서, 상기 도펀트 이온주입은 가속 전압이 작은 이온 샤워(Ion shower) 방식으로 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 5.

제 4 항에 있어서, 상기 도펀트 이온주입은 상온에서 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 6.

제 1 항에 있어서, 상기 소오스/드레인용 금속막은 니켈(Ni)막인 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조 방법.

청구항 7.

제 1 항에 있어서, 상기 열처리는 450~500℃의 온도로 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조 방법.

청구항 8.

삭제

청구항 9.

유리기판 상에 비정질실리콘층과 게이트 절연막 및 게이트용 금속막을 차례로 증착하는 단계;

상기 게이트용 금속막과 상기 게이트 절연막을 상기 비정질실리콘층이 노출되도록 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 이용해서 도펀트 이온주입을 행하여 게이트 전극 양측의 비정질실리콘층 표면에 n+ /p+ 도핑층을 형성하는 단계;

상기 n+ /p+ 도핑층 상에 상기 게이트 전극을 덮도록 니켈막을 증착하는 단계;

상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+ /p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계; 및

상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계를 구비하며,

상기 도펀트 이온주입은 상온에서 이온 샤워 방식으로 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조 방법.

청구항 10.

유리기판 상에 비정질실리콘층과 게이트 절연막 및 게이트용 금속막을 차례로 증착하는 단계;

상기 게이트용 금속막과 상기 게이트 절연막을 상기 비정질실리콘층이 노출되도록 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 이용해서 도펀트 이온주입을 행하여 게이트 전극 양측의 비정질실리콘층 표면에 n+ /p+ 도핑층을 형성하는 단계;

상기 n+ /p+ 도핑층 상에 상기 게이트 전극을 덮도록 니켈막을 증착하는 단계;

상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+ /p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계; 및

상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계를 구비하며,

상기 결정화된 다결정실리콘층 표면의 니켈-실사이드막은 소오스/드레인 전극으로 사용하는 것을 특징으로 하는 다결정 실리콘 박막트랜지스터 제조방법.

청구항 11.

유리기판 상에 비정질실리콘층과 게이트 절연막 및 게이트용 금속막을 차례로 증착하는 단계;

상기 게이트용 금속막과 상기 게이트 절연막을 상기 비정질실리콘층이 노출되도록 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 이용해서 도펀트 이온주입을 행하여 게이트 전극 양측의 비정질실리콘층 표면에 n+ /p+ 도핑층을 형성하는 단계;

상기 n+ /p+ 도핑층 상에 상기 게이트 전극을 덮도록 니켈막을 증착하는 단계;

상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+ /p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질 실리콘층을 다결정실리콘층으로 결정화시키는 단계; 및

상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계를 구비하며,

상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계 후, 상기 게이트 전극 양측의 상기 니켈-실리사이드막 상에 소오스 및 드레인 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 12.

유리기판 상에 비정질실리콘층과 게이트 절연막 및 게이트용 금속막을 차례로 증착하는 단계;

상기 게이트용 금속막과 상기 게이트 절연막을 상기 비정질실리콘층이 노출되도록 패터닝하여 게이트 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 이용해서 도펀트 이온주입을 행하여 게이트 전극 양측의 비정질실리콘층 표면에 n+ /p+ 도핑층을 형성하는 단계;

상기 n+ /p+ 도핑층 상에 상기 게이트 전극을 덮도록 니켈막을 증착하는 단계;

상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+ /p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질 실리콘층을 다결정실리콘층으로 결정화시키는 단계; 및

상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계를 포함하는 제 8 항에 있어서, 상기 열처리는 450~500℃의 온도로 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 13.

유리기판 상에 비정질실리콘층과 게이트 절연막을 차례로 증착하는 단계;

상기 게이트 절연막을 상기 비정질실리콘층이 노출되게 패터닝하여 채널영역을 한정하는 단계;

상기 패터닝된 게이트 절연막을 마스크로 이용해서 상기 비정질실리콘층의 노출된 부분 표면에 도펀트 이온주입을 행하여 n+ /p+ 도핑층을 형성하는 단계;

상기 n+ /p+ 도핑층 상에 상기 게이트 절연막을 덮도록 니켈막을 증착하는 단계;

상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+ /p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계;

상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계;

상기 니켈-실리사이드층 상에 상기 게이트 절연막을 덮도록 금속막을 증착하는 단계; 및

상기 금속막을 패터닝하여 상기 게이트 절연막 상에 게이트 전극을 형성함과 동시에 상기 게이트 전극 양측의 니켈-실리사이드막 상에 소오스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 14.

제 13 항에 있어서, 상기 도펀트 이온주입은 상온에서 이온 샤워 방식으로 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

청구항 15.

제 13 항에 있어서, 상기 열처리는 450~500℃의 온도로 수행하는 것을 특징으로 하는 다결정실리콘 박막트랜지스터 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는, MILC(Metal Induced Lateral Crystallization)법을 이용한 다결정실리콘 박막트랜지스터 제조방법에 관한 것이다.

액정표시장치는 경박단소하고 저전압구동 및 저전력소모라는 장점을 바탕으로 CRT(Cathode Ray Tube)를 대신하여 개발되어져 왔으며, 특히, 박막트랜지스터 액정표시장치(이하, TFT-LCD)는 CRT에 필적할만한 고화질화, 대형화 및 컬러화 등을 실현하였기 때문에 최근에는 노트북 PC 및 모니터 시장은 물론 여러 분야에서 다양하게 사용되고 있다.

이러한 TFT-LCD는, 박막트랜지스터 및 화소전극이 구비된 어레이 기판과 컬러필터 및 상대전극이 구비된 컬러필터 기판이 액정층의 개재하에 합착되어 구성된 액정 패널과, 상기 액정 패널과 연결된 구동 드라이브 IC 및 회로기판을 포함한다.

한편, 이와 같은 TFT-LCD에 있어서, 액정 패널의 각 화소에 구비되는 박막트랜지스터는 그의 채널층으로서 비도핑된 비정질실리콘층이 이용되고 있는 반면 구동 드라이브 IC는 다결정실리콘층이 채널층으로 이용되고 있다.

이에 따라, 종래에는 TFT-LCD 모듈을 제작하기 위해 별도의 공정을 각각 진행하여 액정 패널 및 구동 드라이브 IC를 각각 제조하고, 이후, 이들을 연결하고 있기 때문에 전체적인 제조 공정이 복잡하며, 아울러, 집적도 면에서도 바람직하지 못한 문제점이 있었다.

이에, 최근에는 박막트랜지스터의 채널층으로 다결정실리콘층을 적용하려는 기술이 제안되고 있다. 이렇게 다결정실리콘층을 채널층으로 적용하면, 박막트랜지스터 및 구동 드라이브 IC를 동일 기판에 동시에 형성할 수 있기 때문에 제조 공정의 단순화를 얻을 수 있음은 물론 집적도 향상도 기대할 수 있다.

상기 박막트랜지스터의 채널층으로 다결정실리콘층을 적용하기 위한 방법으로서, 현재는 금속을 이용하는 방법과 레이저 어닐링을 이용하는 방법이 적용되고 있다.

여기서, 전자의 방법은 비정질실리콘층 상에 금속막을 증착한 후에 열처리를 행하여 금속 확산을 통한 결정 결합이 이루어지도록 하고, 이를 통해, 다결정실리콘층을 형성하는 방법이며, 후자의 방법은 비정질실리콘층의 증착 후에 레이저 스캐닝을 행하여 비정질실리콘이 다결정실리콘으로 결정화되도록 하여 다결정실리콘층을 형성하는 방법이다.

발명이 이루고자 하는 기술적 과제

그러나, 자세하게 설명하지는 않았지만, 금속을 이용하는 방법은 결정화에 사용된 금속이 결정화된 채널 실리콘을 오염시킴으로써 누설전류의 원인이 되는 문제점이 있으며, 또한, 레이저를 이용하는 방법은 결정화에 대한 신뢰성은 있으나 그 적용에 필요한 장비 투자비가 크다는 문제점이 있다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 채널 실리콘의 오염을 방지할 수 있는 다결정실리콘 박막트랜지스터 제조방법을 제공함에 그 목적이 있다.

또한, 본 발명은 신뢰성을 확보하면서도 장비 투자비의 증가를 방지할 수 있는 다결정실리콘 박막트랜지스터 제조방법을 제공함에 그 다른 목적이 있다.

발명의 구성

상기와 같은 목적을 달성하기 위한 본 발명에 따른 다결정실리콘 박막트랜지스터 제조방법은 유리기판 상에 비정질실리콘층을 증착하는 단계; 상기 비정질실리콘층의 표면에 n+ /p+ 도핑층을 형성하는 단계; 상기 n+ /p+ 도핑층 상에 소오스/드레인용 금속막을 증착하는 단계; 상기 소오스/드레인용 금속막을 패터닝하여 채널영역을 한정하도록 이격 배치되는 소오스 전극과 드레인 전극을 형성하는 단계; 상기 소오스 전극과 드레인 전극 사이 상기 채널영역의 상기 n+ /p+ 도핑층을 상기 비정질실리콘층이 노출되도록 식각하는 단계; 상기 비정질실리콘층을 열처리하여 상기 소오스 및 드레인 전극과 상기 n+ /p+ 도핑층의 계면에 금속-실리사이드층을 형성함과 동시에 상기 소오스 및 드레인 금속의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계; 상기 소오스 및 드레인 전극 상에 상기 채널영역의 상기 결정화된 다결정실리콘층을 덮도록 게이트 절연막을 증착하는 단계; 및 상기 게이트 절연막 상의 상기 채널영역에 게이트 전극을 형성하는 단계를 포함한다.

여기서, 상기 n+ /p+ 도핑층은 도펀트(dopant) 도핑층을 증착하여 형성하거나, 비정질실리콘층의 표면에 도펀트(dopant)를 이온주입하여 형성할 수 있으며, 상기 도펀트 이온주입은 상온에서 가속 전압이 작은 이온 샤워(Ion shower) 방식으로 수행한다.

상기 소오스/드레인용 금속막은 바람직하게 니켈(Ni)막이며, 상기 열처리는 450~500℃의 온도로 수행한다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 다결정실리콘 박막트랜지스터 제조방법은 유리기판 상에 비정질실리콘층과 게이트 절연막 및 게이트용 금속막을 차례로 증착하는 단계; 상기 게이트용 금속막과 상기 게이트 절연막을 상기 비정질실리콘층이 노출되도록 패터닝하여 게이트 전극을 형성하는 단계; 상기 게이트 전극을 마스크로 이용해서 도펀트 이온주입을 행하여 게이트 전극 양측의 비정질실리콘층 표면에 n+ /p+ 도핑층을 형성하는 단계; 상기 n+ /p+ 도핑층 상에 상기 게이트 전극을 덮도록 니켈막을 증착하는 단계; 상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+ /p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계; 및 상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계를 포함한다.

여기서, 상기 도펀트 이온주입은 상온에서 이온 샤워 방식으로 수행한다.

상기 결정화된 다결정실리콘층 표면의 니켈-실사이드막은 소오스/드레인 전극으로 사용할 수 있으며, 반면, 상기 비정질 실리콘층을 다결정실리콘층으로 결정화시키는 단계 후, 상기 게이트 전극 양측의 니켈-실리사이드막 상에 소오스/드레인 전극을 형성하는 것도 가능하다.

상기 열처리는 450~500℃의 온도로 수행한다.

게다가, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 다결정실리콘 박막트랜지스터 제조방법은 유리기판 상에 비정질실리콘층과 게이트 절연막을 차례로 증착하는 단계; 상기 게이트 절연막을 상기 비정질실리콘층이 노출되게 패터닝하여 채널영역을 한정하는 단계; 상기 패터닝된 게이트 절연막을 마스크로 이용해서 상기 비정질실리콘층의 노출된 부분 표면에 도펀트 이온주입을 행하여 n+/p+ 도핑층을 형성하는 단계; 상기 n+/p+ 도핑층 상에 상기 게이트 절연막을 덮도록 니켈막을 증착하는 단계; 상기 비정질실리콘층을 열처리하여 상기 니켈막과 상기 n+/p+ 도핑층의 계면에 니켈-실리사이드층을 형성함과 동시에 상기 니켈막 성분의 확산을 통한 결정 형성과 상기 형성된 결정의 상기 채널 영역으로의 측면 확장을 통해서 상기 비정질실리콘층을 다결정실리콘층으로 결정화시키는 단계; 상기 열처리에 반응하지 않고 잔류된 니켈막을 제거하는 단계; 상기 니켈-실리사이드층 상에 상기 게이트 절연막을 덮도록 금속막을 증착하는 단계; 및 상기 금속막을 패터닝하여 상기 게이트 절연막 상에 게이트 전극을 형성함과 동시에 상기 게이트 전극 양측의 니켈-실리사이드막 상에 소오스 및 드레인 전극을 형성하는 단계를 포함한다.

여기서, 상기 도펀트 이온주입은 상온에서 이온 샤워 방식으로 수행하며, 상기 열처리는 450~500℃의 온도로 수행한다.

본 발명에 따르면, 결정화를 위한 금속으로서 소오스/드레인 금속을 이용해서 측면 방향으로 확장되어 가는 결정을 응용하여 비정질실리콘의 결정화를 이루기 때문에 채널 영역에서의 실리콘 오염을 방지할 수 있으며, 그래서, 결정화의 신뢰성을 확보할 수 있다.

(실시예)

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 1a 내지 도 1e는 본 발명의 실시예에 따른 다결정실리콘 TFT 제조방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

도 1a를 참조하면, 유리기판(1) 상에 비정질실리콘층(2)을 증착한 후, 그 표면에 n+/p+ 도핑층(3)을 증착한다. 그런다음, n+/p+ 도핑층(3) 상에 소오스/드레인용 금속막으로서 니켈막(4)을 증착한다. 이때, 상기 니켈(Ni)은 실리사이드 형성이 쉬울 뿐만 아니라, 결정화시, 다결정실리콘의 형성에 유리하다.

여기서, 상기 n+/p+ 도핑층(3)은 일반적인 도핑층 증착이 아닌, 비정질실리콘층(2)의 표면에 도펀트(dopant)를 이온주입하는 것에 의해서도 형성 가능하다. 이때, 통상의 이온주입(Implantation)은 도펀트 주입 깊이가 깊으므로, 가속 전압이 작은 이온 샤워(Ion shower) 방식으로 비정질실리콘층(2)의 표면에 도펀트를 얇게 도핑해줌이 바람직하다.

아울러, 상기 도펀트 이온주입은 상온에서 진행함이 바람직한데, 이것은 도펀트 이온주입시 온도가 높을 경우에는 이온 활성화(Ion activation)가 이루어져 이온 확산(Ion diffusion)이 일어나게 되고, 이렇게 이온 확산이 일어날 경우에는 비정질실리콘층 모두가 이온 오염(Ion contamination)이 될 수 있기 때문이다.

도 1b를 참조하면, 공지의 사진 식각 공정에 따라 상기 니켈막을 식각하고, 이를 통해, 이격 배치되는 소오스 및 드레인 전극(4a, 4b)을 형성한다.

도 1c를 참조하면, 소오스 전극(4a)과 드레인 전극(4b) 사이의 n+/p+ 도핑층 부분을 식각하고, 이를 통해, 채널 영역에 해당하는 비정질실리콘층 부분을 노출시킨다. 이때, 상기 n+/p+ 도핑층(3)의 식각시에는 약간 과도 식각(over etch)를 행함이 바람직하다.

도 1d를 참조하면, 상기 단계까지의 기판 결과물에 대해 MILC(Metal Induced Lateral Crystallization)를 형성할 수 있을 정도의 온도, 예컨대, 450~500℃로 열처리를 행한다.

이렇게 하면, 소오스/드레인 금속인 니켈(Ni)이 그 아래의 비정질실리콘층으로 확산하면서 실리콘과의 결합이 이루어지게 되며, 이에 따라, n+ /p+ 도핑층(3)과 소오스/드레인 금속인 니켈막간의 계면에 니켈-실리사이드(Ni-silicide : 5)가 형성되고, 계속적으로 상기 비정질실리콘층의 결정화가 이루어져 다결정실리콘층(6)이 형성된다. 이때, 상기 니켈-실리사이드(5)는 비정질실리콘층의 결정화에 큰 역할을 하며, 또한, 일반적으로 실리사이드는 저항이 작기 때문에 상기 니켈-실리사이드(5)는 옴릭 콘택(ohmic contact)에 유리하게 작용하게 된다.

아울러, 상기 열처리를 행함에 따라 도핑 영역의 활성화(activation)가 이루어지게 된다.

여기서, 결정화가 진행되는 동안 결정은 채널 영역으로 확장하게 되는데, 이때, 측면으로 확장된 영역은 금속의 오염이 매우 적다. 이것은 결정화 후에 남은 금속이 대부분 소오스/드레인 전극(4a, 4b)과 다결정실리콘층(6)의 계면에 집중하기 때문이다.

결국, 전술한 본 발명의 방법에 따라 결정화를 수행하는 경우, 소오스/드레인 전극 아래의 비정질실리콘층 부분은 MIC 형태로 결정화되고, 그리고, 채널 영역은 MILC 형태로 결정화되며, 이때, 상기 MILC 형태로 결정화된 채널 영역에서의 실리콘 오염은 거의 없게 된다.

한편, 상기와 같이 450~500℃로 열처리를 행할 경우, 일반적인 역스태거 타입의 박막트랜지스터 구조에서는 다른 층들이 열에 의한 스트레스를 받게 되므로 바람직하지 못하다. 그러나, 본 발명에서 적용되는 박막트랜지스터의 구조는 코플레나(coplanar) 구조이므로, 다른 층들의 열에 의한 스트레스는 박막트랜지스터 특성에 영향을 미치지 않을 정도로 최소화된다.

도 1e를 참조하면, 소오스/드레인 전극(4a, 4b)을 덮도록 결과물 상에 SiO₂로 이루어진 게이트 절연막(7)을 증착한다. 그런다음, 상기 게이트 절연막(7) 상에 게이트용 금속막을 증착한 후, 이를 패터닝하여 게이트를 형성하고, 이 결과로서, 코플레나 구조의 다결정실리콘 박막트랜지스터(10)의 제조를 완성한다.

전술한 바와 같은 본 발명의 방법에 따르면, 다결정실리콘으로 이루어진 채널 영역을 소오스/드레인 금속을 이용해서 비정질실리콘층의 측면 방향으로 확장되어 나가는 결정을 응용하여 형성하기 때문에 결정화 후에 남은 금속에 의한 채널 영역에서의 실리콘 오염을 최대한 억제시킬 수 있다.

이에 따라, 다결정실리콘 박막트랜지스터 형성시의 신뢰성을 확보할 수 있게 되며, 따라서, 다결정실리콘 박막트랜지스터를 구비한 액정표시장치의 제조를 안정적으로 수행할 수 있게 된다.

한편, 전술한 본 발명의 실시예에 있어서, 비정질실리콘층의 결정화는 소오스/드레인 전극 형성 후에 수행하였지만, 게이트 절연막 및 게이트 전극의 형성 후에 수행하는 것도 가능하다. 이 경우, 게이트 절연막으로서는 열산화막이나 실리콘산화막을 사용하여야만 열적 스트레스(Thermal stress)에 의한 손상을 최소화할 수 있다.

도 2a 내지 도 2e는 본 발명의 다른 실시예에 따른 다결정실리콘 박막트랜지스터 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 2a를 참조하면, 유리기판(21) 상에 차례로 비정질실리콘층(22)과 게이트 절연막(27) 및 게이트 전극용 금속막(28a)을 증착한다.

도 2b를 참조하면, 공지의 공정에 따라 게이트 전극용 금속막과 게이트 절연막(27)을 패터닝하고, 이를 통해, 게이트 전극(28)을 형성한다.

도 2c를 참조하면, 게이트 전극(28)을 이온주입 마스크로 이용한 자기-정렬 방법에 따라 기판 결과물에 대해 상온에서 이온 샤워 방식으로 도펀트를 이온주입하고, 이를 통해, 상기 게이트 전극(28) 양측의 비정질실리콘층 부분 표면에 n+ /p+ 도핑층(23)을 형성한다.

도 2d를 참조하면, 기판의 전 영역 상에 실리사이드 형성이 쉬울 뿐만 아니라, 결정화시, 다결정실리콘의 형성에 유리한 니켈막(24)을 증착한다. 그런다음, 상기 기판 결과물을 MILC를 형성할 수 있을 정도의 온도인 450~500℃로 열처리하고, 이를 통해, 니켈막(24)과 n+ /p+ 도핑층(23)의 계면에 니켈-실리사이드(25)를 형성하고, 아울러, 상기 비정질실리콘층을 다결정실리콘층(26)으로 결정화시킨다.

도 2e를 참조하면, 상기 열처리시에 반응하지 않고 잔류된 니켈막을 제거한다. 그런다음, 기판 결과물 상에 소오스/드레인용 금속막을 증착한 후, 이를 패터닝하여 게이트 전극(28) 양측의 니켈-실리사이드(25) 상에 소오스 전극(24a) 및 드레인 전극(24b)을 형성하고, 이를 통해, 다결정실리콘 박막트랜지스터의 제조를 완성한다.

여기서, 상기 소오스/드레인 전극(24a, 24b)은 생략하는 것도 가능하다. 이것은 게이트 전극(28) 양측의 다결정실리콘층 표면에 형성된 니켈-실리사이드(25)가 저항이 2~20Ω 정도로 매우 낮아 전극으로 사용하여도 무방하기 때문이다.

이 실시예에 따른 다결정실리콘 박막트랜지스터 형성방법은 자기-정렬로 도펀트 이온주입을 행하여 n+/p+ 도핑층을 형성하므로, 공정 단순화를 이룰 수 있으며, 특히, 상기 도핑층은 후속 결정화시에 활성화되어 재결합 및 확산하게 되므로, 우수한 오믹 콘택을 형성할 수 있게 된다.

도 3a 내지 도 3d는 본 발명의 또 다른 실시예에 따른 다결정실리콘 박막트랜지스터 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.

도 3a를 참조하면, 유리기판(31) 상에 차례로 비정질실리콘층(32)과 게이트 절연막(37)을 증착한다.

도 3b를 참조하면, 공지의 공정에 따라 게이트 절연막(37)을 패터닝한다. 그런다음, 패터닝된 게이트 절연막(37)을 이온주입 마스크로 이용한 자기-정렬 방법에 따라 기판 결과물에 대해 상온에서 이온 샤워 방식으로 도펀트를 이온주입하고, 이를 통해, 상기 패터닝된 게이트 절연막(27) 양측의 비정질실리콘층 부분 표면에 n+/p+ 도핑층(33)을 형성한다.

도 3c를 참조하면, 기판의 전 영역 상에 실리사이드 형성이 쉬울 뿐만 아니라, 결정화시, 다결정실리콘의 형성에 유리한 니켈막(34)을 증착한다. 그런다음, 상기 기판 결과물을 450~500℃로 열처리하고, 이를 통해, 니켈막(34)과 n+/p+ 도핑층(33)의 계면에 니켈-실리사이드(35)를 형성하고, 아울러, 상기 비정질실리콘층을 다결정실리콘층(36)으로 결정화시킨다.

도 3d를 참조하면, 상기 열처리시에 반응하지 않고 잔류된 니켈막을 제거한다. 그런다음, 기판 결과물 상에 금속막, 예컨대, 니켈막을 증착한 후, 이를 패터닝하여 패터닝된 게이트 절연막(37) 상에 게이트 전극(38)을 형성함과 동시에 상기 게이트 전극(38) 양측의 니켈-실리사이드(35) 상에 소오스 전극(34a) 및 드레인 전극(34b)을 형성하고, 이 결과로서, 다결정실리콘 박막트랜지스터의 제조를 완성한다.

여기서, 상기 열처리시에 반응하지 않고 잔류된 니켈막은 제거하지 않고, 이를 전극 물질로 사용하는 것도 가능하다. 이 경우, 게이트 전극과 소오스/드레인 전극간의 전기적 절연이 확실하게 이루어지도록 함이 중요하다.

또한, 저저항 금속을 전극 물질로 사용하고자 할 경우에는 상기 미반응하여 잔류된 니켈막 상에 저저항 금속을 증착한 후, 이들을 패터닝하여 전극들을 형성할 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 금속을 이용한 방법으로 비정질실리콘의 결정화를 이루되 결정화를 위한 금속으로서 소오스/드레인 금속을 이용해서 측면 방향으로 확장되어 가는 결정을 응용하여 결정화를 이룸으로써, 채널 영역에서의 실리콘 오염을 방지할 수 있으며, 이에 따라, 결정화의 신뢰성을 확보할 수 있음은 물론 누설 전류의 발생을 방지할 수 있어 박막트랜지스터의 신뢰성을 확보할 수 있다.

또한, 종래의 금속을 이용한 결정화 방법 및 레이저를 이용한 결정화 방법은 다결정실리콘층의 형성 이후에 박막트랜지스터를 형성하므로, 다결정실리콘 박막트랜지스터의 제조 공정이 결정화 부분 및 박막트랜지스터 제조 부분의 두 가지로 분류되며, 이에 따라, 전체 공정이 복잡하지만, 본 발명은 결정화 및 박막트랜지스터 제조를 동시에 수행하므로 공정 단순화 또한 이룰 수 있다.

게다가, 열처리 장비만을 추가하면, 기존 장비를 그대로 사용하여 다결정실리콘 박막트랜지스터를 제조할 수 있으므로, 장비 투자비의 증가 또한 방지할 수 있다.

아울러, 코플래나 구조로 박막트랜지스터를 형성하기 때문에 게이트용 금속으로서 저저항의 금속을 적용할 수 있으며, 이에 따라, 대화면 TFT-LCD의 제조에 유리하게 적용할 수 있다.

한편, 여기에서는 본 발명의 특정 실시예에 대하여 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하, 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 실시예에 따른 다결정실리콘 박막트랜지스터 제조방법을 설명하기 위한 공정 단면도.

도 2a 내지 도 2e는 본 발명의 다른 실시예에 따른 다결정실리콘 박막트랜지스터 제조방법을 설명하기 위한 공정별 단면도.

도 3a 내지 도 3d는 본 발명의 또 다른 실시예에 따른 다결정실리콘 박막트랜지스터 제조방법을 설명하기 위한 공정별 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

1,21,31 : 유리기판 2,22,32 : 비도핑된 비정질실리콘층

3,22,32 : n+ /p+ 도핑층 4,24,34 : 니켈막

4a,24a,34a : 소오스 전극 4b,24b,34b : 드레인 전극

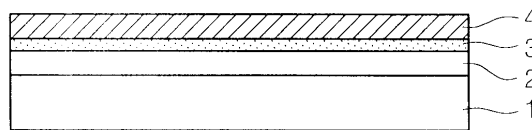
5,25,35 : 니켈 실리사이드 6,26,36 : 다결정실리콘층

7,27,37 : 게이트 절연막 8,28,38 : 게이트

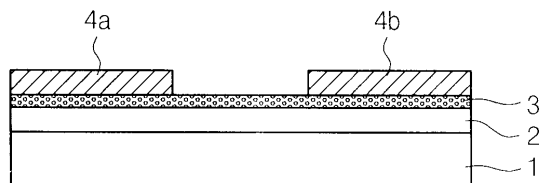
10 : 박막트랜지스터

도면

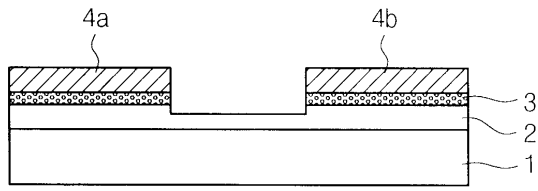
도면1a



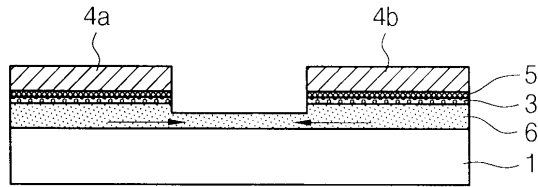
도면1b



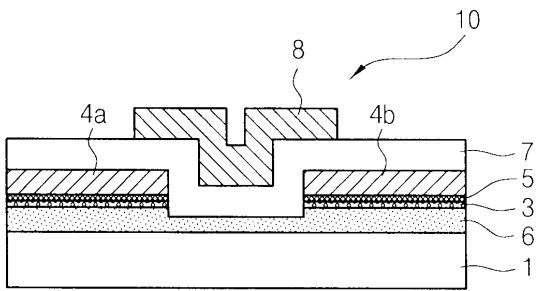
도면1c



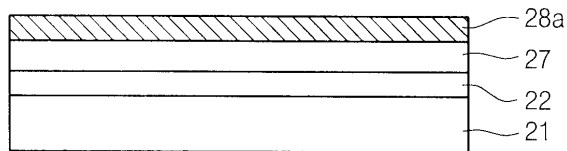
도면1d



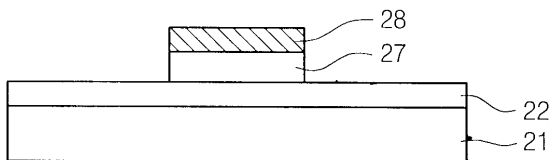
도면1e



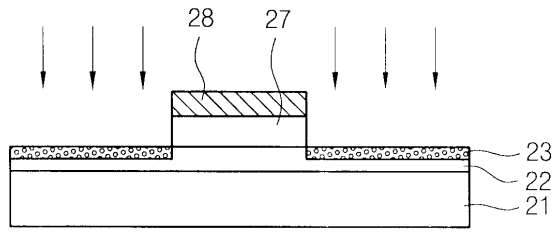
도면2a



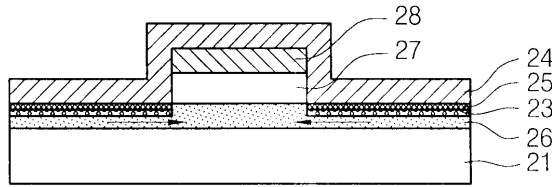
도면2b



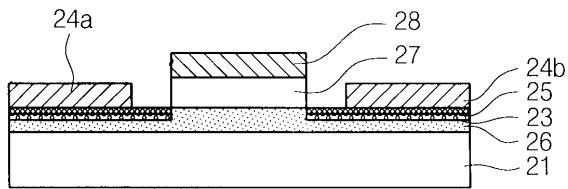
도면2c



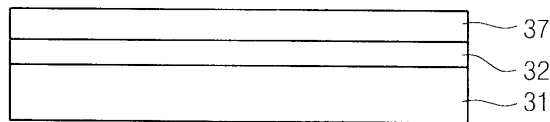
도면2d



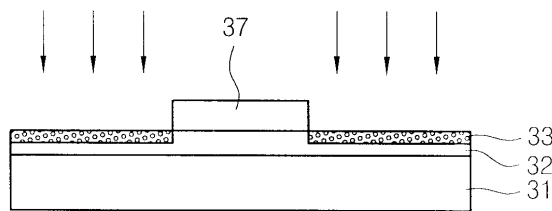
도면2e



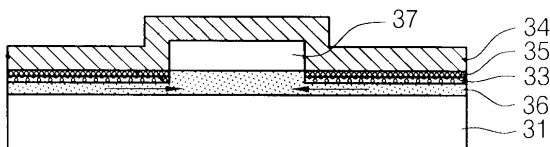
도면3a



도면3b



도면3c



도면3d

