

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5742631号
(P5742631)

(45) 発行日 平成27年7月1日(2015.7.1)

(24) 登録日 平成27年5月15日(2015.5.15)

(51) Int. Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	3 O 1 G		
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	3 O 1 S		
HO 1 L 21/8234 (2006.01)	HO 1 L	27/08	1 O 2 C		
HO 1 L 27/088 (2006.01)	HO 1 L	27/08	1 O 2 B		
HO 1 L 21/8238 (2006.01)	HO 1 L	27/08	3 2 1 D		
請求項の数 3 (全 20 頁) 最終頁に続く					

(21) 出願番号 特願2011-212483 (P2011-212483)
 (22) 出願日 平成23年9月28日 (2011.9.28)
 (65) 公開番号 特開2013-74146 (P2013-74146A)
 (43) 公開日 平成25年4月22日 (2013.4.22)
 審査請求日 平成26年5月27日 (2014.5.27)

(73) 特許権者 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100087479
 弁理士 北野 好人
 (72) 発明者 吉田 英司
 神奈川県横浜市港北区新横浜二丁目10番
 23 富士通セミコンダクター株式会社内
 審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に、第1の領域を画定する第1の素子分離絶縁膜を形成する工程と、
 前記第1の素子分離絶縁膜が形成された前記半導体基板上に、半導体層を形成する工程と、

前記半導体層に、前記第1の領域の一部の領域を含む第2の領域と、前記第1の領域の他の一部領域を含む第3の領域を画定する第2の素子分離絶縁膜を形成する工程と、

前記半導体基板及び前記半導体層に、前記第2の素子絶縁膜の底部よりも深く、前記第1の素子分離絶縁膜の底部よりも浅い第1導電型の第1のウェルを形成する工程と、

前記半導体層の前記第2の領域上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記半導体層の前記第3の領域を介して前記第1のウェルに電氣的に接続されたゲート電極を形成する工程とを有し、

前記第2の素子分離絶縁膜を形成する工程の後、前記半導体基板に、前記第1の素子分離絶縁膜の底部よりも深い第2導電型の第2のウェルを形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程の後、前記半導体層の前記第2の領域に、底部が前記第1の素子分離絶縁膜に接する前記第2導電型のソース/ドレイン領域を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 3】

請求項 1 又は 2 記載の半導体装置の製造方法において、

前記第 2 の素子分離絶縁膜を形成する工程では、前記半導体層及び前記第 2 の素子分離絶縁膜の表面が平坦になるように、前記第 2 の素子分離絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

10

【背景技術】

【0002】

半導体装置の消費電力を低減するためのトランジスタ構造として、DTMOS (Dynamic Threshold Voltage MOSFET) と呼ばれる構造が提案されている。DTMOS は、SOI 基板を用いて個々のトランジスタのボディ電極を分離し、ゲート電極とボディ電極とを短絡したトランジスタ構造である。DTMOS によれば、トランジスタがオンの時には大きな駆動電流が得られる一方、オフの時には相対的にオン状態と比べて閾値電圧が高くなりリーク電流を抑制することができ、低消費電力化を図ることができる。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開平 09 - 074189 号公報

【特許文献 2】特開平 11 - 074522 号公報

【特許文献 3】特開 2002 - 208696 号公報

【特許文献 4】特開 2004 - 087671 号公報

【特許文献 5】特表 2006 - 502573 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

トランジスタの更なる高速化及び低消費電力化のために、寄生容量をより低減しうる半導体装置の構造及び製造方法が待望されている。

30

【0005】

本発明の目的は、動作速度を向上し消費電力を低減しうる半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0008】

実施形態の一観点によれば、半導体基板に、第 1 の領域を画定する第 1 の素子分離絶縁膜を形成する工程と、前記第 1 の素子分離絶縁膜が形成された前記半導体基板上に、半導体層を形成する工程と、前記半導体層に、前記第 1 の領域の一部の領域を含む第 2 の領域と、前記第 1 の領域の他の一部の領域を含む第 3 の領域を画定する第 2 の素子分離絶縁膜を形成する工程と、前記半導体基板及び前記半導体層に、前記第 2 の素子絶縁膜の底部よりも深く、前記第 1 の素子分離絶縁膜の底部よりも浅い第 1 導電型の第 1 のウェルを形成する工程と、前記半導体層の前記第 2 の領域上に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、前記半導体層の前記第 3 の領域を介して前記第 1 のウェルに電氣的に接続されたゲート電極を形成する工程とを有し、前記第 2 の素子分離絶縁膜を形成する工程の後、前記半導体基板に、前記第 1 の素子分離絶縁膜の底部よりも深い第 2 導電型の第 2 のウェルを形成する工程を更に有する半導体装置の製造方法が提供される。

40

【発明の効果】

【0009】

開示の半導体装置の製造方法によれば、寄生容量を大幅に低減することができる。これ

50

により、トランジスタの高速化及び低消費電力化を図ることができる。

【図面の簡単な説明】

【0010】

【図1】図1は、一実施形態による半導体装置の構造を示す平面図である。

【図2】図2は、一実施形態による半導体装置の構造を示す概略断面図である。

【図3】図3は、一実施形態による半導体装置の製造方法を示す平面図（その1）である。

【図4】図4は、一実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

10

【図5】図5は、一実施形態による半導体装置の製造方法を示す平面図（その2）である。

【図6】図6は、一実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図7】図7は、一実施形態による半導体装置の製造方法を示す平面図（その3）である。

【図8】図8は、一実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図9】図9は、一実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

20

【図10】図10は、一実施形態による半導体装置の製造方法を示す平面図（その4）である。

【図11】図11は、一実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図12】図12は、一実施形態による半導体装置の製造方法を示す平面図（その5）である。

【図13】図13は、一実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図14】図14は、一実施形態による半導体装置の製造方法を示す平面図（その6）である。

30

【図15】図15は、一実施形態による半導体装置の製造方法を示す工程断面図（その7）である。

【図16】図16は、一実施形態による半導体装置の製造方法を示す平面図（その7）である。

【図17】図17は、一実施形態による半導体装置の製造方法を示す工程断面図（その8）である。

【図18】図18は、一実施形態による半導体装置の製造方法を示す平面図（その8）である。

【図19】図19は、一実施形態による半導体装置の製造方法を示す工程断面図（その9）である。

40

【図20】図20は、一実施形態による半導体装置の製造方法を示す平面図（その9）である。

【図21】図21は、一実施形態による半導体装置の製造方法を示す工程断面図（その10）である。

【図22】図22は、一実施形態による半導体装置の製造方法を示す工程断面図（その11）である。

【図23】図23は、一実施形態による半導体装置の製造方法を示す平面図（その10）である。

【図24】図24は、一実施形態による半導体装置の製造方法を示す工程断面図（その12）である。

50

【図 2 5】図 2 5 は、一実施形態の変形例による半導体装置の構造を示す概略断面図である。

【発明を実施するための形態】

【0011】

一実施形態による半導体装置及びその製造方法について図 1 乃至図 2 4 を用いて説明する。

【0012】

図 1 は、本実施形態による半導体装置の構造を示す平面図である。図 2 は、本実施形態による半導体装置の構造を示す概略断面図である。図 3 乃至図 2 4 は、本実施形態による半導体装置の製造方法を示す工程図である。

10

【0013】

はじめに、本実施形態による半導体装置の構造について図 1 及び図 2 を用いて説明する。なお、図 2 (a) は図 1 の A - A 線断面図であり、図 2 (b) は図 1 の B - B 線断面図である。

【0014】

シリコン基板 1 0 には、活性領域 2 0 を画定する素子分離絶縁膜 1 8 が形成されている。活性領域 2 0 は、トランジスタのチャネル領域下からボディコンタクト領域に至るボディ領域が形成される領域である。

【0015】

素子分離絶縁膜 1 8 が形成されたシリコン基板 1 0 上には、シリコン膜 2 2 , 2 4 が形成されている。このシリコン膜 2 2 , 2 4 は、シリコン基板 1 0 上にエピタキシャル成長された単結晶シリコン膜 2 2 と、素子分離絶縁膜 1 8 上に成長された多結晶シリコン膜 2 4 とを含む。シリコン膜 2 2 , 2 4 内には、活性領域 3 2 a , 3 2 b を画定する素子分離絶縁膜 3 2 が設けられている。活性領域 3 2 a は、トランジスタのチャネル領域及びソース/ドレイン領域 4 8 が形成される領域であり、チャネル領域部分が活性領域 2 0 の一部の領域に接続して形成されている。活性領域 3 2 b は、ボディコンタクト領域が形成される領域であり、活性領域 2 0 の他の一部の領域に接続して形成されている。

20

【0016】

シリコン基板 1 0 内には、素子分離絶縁膜 1 8 の底部よりも深い N ウェル 3 4 が形成されている。また、シリコン基板 1 0 及びシリコン膜 2 2 , 2 4 の、素子分離絶縁膜 3 2 の底部よりも深く、素子分離絶縁膜 1 8 の底部よりも浅い領域には、P ウェル 3 6 が形成されている。これにより、P ウェル 3 6 は、N ウェル 3 4 によってシリコン基板 1 0 の他の領域から分離されている。

30

【0017】

なお、本願明細書では、二重ウェルの中のウェル (P ウェル 3 6) を、シリコン基板 1 0 の表面部に形成された導電層と、活性領域 3 2 a に形成された導電層と、活性領域 3 2 b に形成された導電層とに分けて説明することがある。また、二重ウェルの外のウェル (N ウェル 3 4) についても、導電層と表現することがある。

【0018】

活性領域 3 2 a 上には、ゲート絶縁膜 3 8 を介してゲート電極 4 0 が形成されている。ゲート電極 4 0 の両側の活性領域 3 2 a 内には、ソース/ドレイン領域 4 8 が形成されている。なお、本願明細書では、ソース/ドレイン領域を導電層と呼ぶこともある。

40

【0019】

こうして、活性領域 3 2 a には、ゲート電極 4 0 及びソース/ドレイン領域 4 8 を有する N 型トランジスタが形成されている。

【0020】

本実施形態による半導体装置は、一の活性領域 3 2 a 内に、ソース/ドレイン領域 4 8 の一方を共用する 2 つの N 型トランジスタを有している。これら N 型トランジスタのソース/ドレイン領域 4 8 の底面は、素子分離絶縁膜 1 8 に達しており、各トランジスタのボディ領域 (P ウェル 3 6) は、N ウェル 3 4 、素子分離絶縁膜 1 8 及びソース/ドレイン

50

領域 4 8 によって互いに分離されている。

【 0 0 2 1 】

活性領域 3 2 b 内には、P ウェル 3 6 へのコンタクト層としての P 型不純物層 5 0 が形成されている。これにより、P 型不純物層 5 0 は、P ウェル 3 6 を介して N 型トランジスタのボディ領域に電氣的に接続されている。

【 0 0 2 2 】

N 型トランジスタのゲート電極 4 0 上、ソース/ドレイン領域 4 8 上、P 型不純物層 5 0 上には、金属シリサイド膜 5 2 が形成されている。

【 0 0 2 3 】

N 型トランジスタが形成されたシリコン基板 1 0 上には、層間絶縁膜 5 4 が形成されている。層間絶縁膜 5 4 には、ソース/ドレイン領域 4 8 上の金属シリサイド膜 5 2 に接続されたコンタクトプラグ 6 0 と、ゲート電極 4 0 及び P 型不純物層 5 0 上の金属シリサイド膜 5 2 に接続されたコンタクトプラグ 6 2 とが埋め込まれている。コンタクトプラグ 6 2 は、ゲート電極 4 0 と P 型不純物層 5 0 とを接続するシェアドコンタクトである。

10

【 0 0 2 4 】

このように、本実施形態による半導体装置では、ソース/ドレイン領域 4 8 の底部が素子分離絶縁膜 1 8 に接している。また、トランジスタのチャネル領域（活性領域 3 2 a）とボディコンタクト領域（活性領域 3 2 b）とは素子分離絶縁膜 3 2 により分離されており、P 型不純物層 5 0 とソース/ドレイン領域 4 8 とは直に接していない。これにより、ソース/ドレイン領域 4 8 と P ウェル 3 6 及び P 型不純物層 5 0 との間の接合容量を大幅

20

【 0 0 2 5 】

また、一の活性領域 3 2 a 内に、ソース/ドレイン領域 4 8 の一方を共用する 2 つの N 型トランジスタが形成されている。この 2 つの N 型トランジスタのボディ領域は、ソース/ドレイン領域 4 8 及び素子分離絶縁膜 1 8 によって分離することができ、素子分離絶縁膜 3 2 によって分離することを要しない。これにより、素子の配置間隔を狭めることができ、集積度を向上することができる。

【 0 0 2 6 】

なお、ソース/ドレイン領域の一方同士が接続された 2 つの N 型トランジスタを含む回路の一例としては、例えば、CMOS NAND 回路が挙げられる。

30

【 0 0 2 7 】

次に、本実施形態による半導体装置の製造方法について図 3 乃至図 2 4 を用いて説明する。なお、図 3, 5, 7, 10, 12, 14, 16, 18, 20, 23 は、本実施形態による半導体装置の製造方法を示す平面図である。図 4, 6, 8, 9, 11, 13, 15, 17, 19, 21, 22, 24 は、本実施形態による半導体装置の製造方法を示す工程断面図である。図 4, 6, 8, 9, 11, 13, 15, 17, 19, 21, 22, 24 において (a) 図及び (b) 図は、それぞれ、図 1 の A - A 線断面図及び B - B 線断面図に対応している。

【 0 0 2 8 】

まず、シリコン基板 1 0 上に、例えば熱酸化法により、例えば膜厚 3 ~ 10 nm 程度のシリコン酸化膜 1 2 を形成する。

40

【 0 0 2 9 】

次いで、シリコン酸化膜 1 2 上に、例えば LPCVD 法により、例えば膜厚 70 ~ 100 nm 程度のシリコン窒化膜 1 4 を形成する。

【 0 0 3 0 】

次いで、フォトリソグラフィ及びドライエッチングにより、シリコン窒化膜 1 4 及びシリコン酸化膜 1 2 をパターニングし、深い素子分離絶縁膜 1 8 の形成予定領域のシリコン窒化膜 1 4 及びシリコン酸化膜 1 2 を除去する。

【 0 0 3 1 】

次いで、シリコン窒化膜 1 4 をマスクとしてシリコン基板 1 0 をドライエッチングし、

50

シリコン基板 10 に、深さが例えば 300 nm 程度の素子分離溝 16 を形成する (図 3、図 4 (a)、(b))。

【0032】

次いで、例えば熱酸化法により、素子分離溝 16 の側壁及び底面に、膜厚 5 nm 程度のシリコン酸化膜 (図示せず) を形成する。

【0033】

次いで、全面に、例えば高密度プラズマ CVD 法により、例えば膜厚 450 nm 程度のシリコン酸化膜を堆積する。

【0034】

次いで、例えば CMP (Chemical Mechanical Polishing: 化学的機械的研磨) 法により、シリコン窒化膜 14 上のシリコン酸化膜を除去する。こうして、いわゆる STI (Shallow Trench Isolation) 法により、素子分離溝 16 に埋め込まれたシリコン酸化膜により、活性領域 20 を画定する素子分離絶縁膜 18 を形成する。

10

【0035】

活性領域 20 は、トランジスタのチャネル領域下からボディコンタクト領域に至るボディ領域を画定するためのものである。ここでは、例えば、幅 100 nm のストライプ状の活性領域 20 を、100 nm 間隔で形成するものとする。

【0036】

次いで、例えばホットリン酸を用いたウェットエッチングにより、シリコン窒化膜 14 を除去する。

20

【0037】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、シリコン酸化膜 12 を除去するとともに、シリコン基板 10 の表面と素子分離絶縁膜 18 の表面とが平坦になるように、素子分離絶縁膜 18 をエッチングする (図 5、図 6 (a)、(b))。

【0038】

次いで、全面に、例えば LPCVD 法により、シリコン膜を成長する。この際、シリコン基板 10 が露出している活性領域 20 上には単結晶シリコン膜 22 がエピタキシャル成長し、素子分離絶縁膜 18 上には多結晶シリコン膜 24 が成長する (図 7、図 8 (a)、(b))。

【0039】

単結晶シリコン膜 22 及び多結晶シリコン膜 24 は、例えば、原料ガスに Si_2H_6 又は SiH_4 ガスを用い、成長温度を 580 ~ 700、好ましくは 650 ~ 700、圧力を 20 Pa ~ 100 Pa としてシリコン膜を成長する。これにより、活性領域 20 上に単結晶シリコン膜 22 を選択的にエピタキシャル成長し、素子分離絶縁膜 18 上に多結晶シリコン膜 24 を選択的に成長することができる。また、単結晶シリコン膜 22 及び多結晶シリコン膜 24 の膜厚を、ほぼ均一にすることができる。

30

【0040】

次いで、全面に、例えば LPCVD 法により、例えば膜厚 50 nm 程度のシリコン窒化膜 26 を形成する (図 9)。なお、シリコン窒化膜 26 とシリコン膜 22、24 との間にシリコン酸化膜を形成するようにしてもよい。

40

【0041】

次いで、フォトリソグラフィにより、シリコン窒化膜 26 上に、活性領域 32a、32b の形成領域を覆い、素子分離絶縁膜 32 の形成領域を露出するフォトレジスト膜 28 を形成する (図 10、図 11 (a)、(b))。

【0042】

次いで、フォトレジスト膜 28 をマスクとしてシリコン窒化膜 26 ドライエッチングし、フォトレジスト膜 28 のパターンをシリコン窒化膜 26 に転写する。

【0043】

次いで、例えばアッシングにより、フォトレジスト膜 28 を除去する (図 12、図 13 (a)、(b))。

50

【0044】

次いで、シリコン窒化膜26をマスクとして単結晶シリコン膜22及び多結晶シリコン膜24をドライエッチングし、素子分離絶縁膜32の形成領域の単結晶シリコン膜22及び多結晶シリコン膜24を除去する。これにより、単結晶シリコン膜22及び多結晶シリコン膜24に、素子分離絶縁膜32を埋め込むための素子分離溝30を形成する(図14、図15(a)、(b))。

【0045】

次いで、例えば熱酸化法により、素子分離溝30の側壁及び底面に、膜厚5nm程度のシリコン酸化膜(図示せず)を形成する。

【0046】

次いで、全面に、例えば高密度プラズマCVD法により、例えば膜厚120nm程度のシリコン酸化膜を堆積する。

【0047】

次いで、例えばCMP法により、シリコン窒化膜26上のシリコン酸化膜を除去する。こうして、STI法により、素子分離溝30に埋め込まれたシリコン酸化膜により素子分離絶縁膜32を形成する。これにより、単結晶シリコン膜22及び多結晶シリコン膜24に、活性領域32aと活性領域32bとを画定する。

【0048】

活性領域32aは、トランジスタのチャンネル領域及びソース/ドレイン領域48を形成するための領域である。なお、本願明細書では、トランジスタのチャンネル領域及びソース/ドレイン領域48を形成するためのこの領域を、トランジスタ形成領域と呼ぶこともある。活性領域32bは、トランジスタのボディ領域から電極を引き出すためのボディコンタクト領域を形成するための領域である。ここでは、例えば、活性領域32aから100nm離間して100nm幅の活性領域32bを形成するものとする。

【0049】

次いで、例えばホットリン酸を用いたウェットエッチングにより、シリコン窒化膜26を除去する。

【0050】

次いで、例えば弗酸水溶液を用いたウェットエッチングにより、単結晶シリコン膜22及び多結晶シリコン膜24の表面と素子分離絶縁膜32の表面とが平坦になるように、素子分離絶縁膜32をエッチングする。

【0051】

次いで、フォトリソグラフィ及びイオン注入により、シリコン基板10内に、素子分離絶縁膜18の底部よりも深いNウェル34を形成する。また、シリコン基板10内及びシリコン膜22,24内に、素子分離絶縁膜32の底部よりも深く、素子分離絶縁膜18の底部よりも浅いPウェル36を形成する(図16、図17(a)、(b))。Pウェル36を形成する際のイオン注入には、所定のチャンネルイオン注入も含まれる。なお、Nウェル34及びPウェルの形成は、シリコン膜22,24の形成後、素子分離絶縁膜32の形成前に行ってもよい。

【0052】

次いで、単結晶シリコン膜22及び多結晶シリコン膜24の表面を熱酸化し、シリコン酸化膜のゲート絶縁膜38を形成する。

【0053】

次いで、ゲート絶縁膜38上に、例えばLPCVD法により、例えば膜厚100nmの多結晶シリコン膜を堆積する。

【0054】

次いで、フォトリソグラフィ及びドライエッチングにより、この多結晶シリコン膜をパターンニングし、多結晶シリコンのゲート電極40を形成する(図18、図19(a)、(b))。ここでは、例えばゲート長が50nmのゲート電極40を形成するものとする。

【0055】

10

20

30

40

50

なお、本実施形態では、単結晶シリコン膜 2 2 及び多結晶シリコン膜 2 4 の表面と素子分離絶縁膜 3 2 の表面とが平坦化されており、ゲート電極 4 0 となる多結晶シリコン膜の形成面が略平坦であるため、ゲート電極 4 0 のパターニングが容易である。

【 0 0 5 6 】

次いで、ゲート電極 4 0 をマスクとしてイオン注入を行い、ゲート電極 4 0 の両側の活性領域 3 2 a 内に、エクステンション領域となる N 型不純物層 4 2 を形成する。必要に応じて、N 型不純物層 4 2 とともに P 型ポケット領域を形成するようにしてもよい。

【 0 0 5 7 】

次いで、例えば C V D 法によりシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングし、ゲート電極 4 0 の側壁部分に、シリコン酸化膜のサイドウォールスペーサ 4 4 を形成する。サイドウォールスペーサ 4 4 は、シリコン窒化膜などの他の絶縁膜により形成してもよい。

10

【 0 0 5 8 】

次いで、ゲート電極 4 0 及びサイドウォールスペーサ 4 4 をマスクとしてイオン注入を行い、ゲート電極 4 0 の両側の活性領域 3 2 a 内に、N 型不純物層 4 2 とともに N 型トランジスタのソース/ドレイン領域 4 8 を形成する N 型不純物層 4 6 を形成する。この際、ソース/ドレイン領域 4 8 の底部が素子分離絶縁膜 1 8 に接するように形成することで、2 つの N 型トランジスタのボディ領域を分離しつつ、ソース/ドレイン領域 4 8 の一方を短絡することができる。

【 0 0 5 9 】

20

こうして、シリコン基板 1 0 上に、ゲート電極 4 0 及びソース/ドレイン領域 4 8 を有する N 型トランジスタを形成する。

【 0 0 6 0 】

次いで、イオン注入により、活性領域 3 2 b 内に、ボディコンタクト領域となる P 型不純物層 5 0 を形成する (図 2 0 、 図 2 1 (a) 、 (b)) 。

【 0 0 6 1 】

次いで、サリサイドプロセスにより、ソース/ドレイン領域 4 8 上、ゲート電極 4 8 上、及び P 型不純物層 5 0 上に、金属シリサイド膜 5 2 を選択的に形成する (図 2 2 (a) 、 (b)) 。金属シリサイド膜 5 2 の形成用の金属材料としては、例えば、チタン (T i) 、コバルト (C o) 、ニッケル (N i) 等を用いることができる。

30

【 0 0 6 2 】

次いで、N 型トランジスタが形成されたシリコン基板 1 0 上に、例えば C V D 法により、シリコン酸化膜等の絶縁膜を堆積し、層間絶縁膜 5 4 を形成する。

【 0 0 6 3 】

次いで、例えば C M P 法により、層間絶縁膜 5 4 の表面を平坦化する。

【 0 0 6 4 】

次いで、フォトリソグラフィ及びドライエッチングにより、層間絶縁膜 5 4 に、コンタクトホール 5 6 , 5 8 を形成する。コンタクトホール 5 6 は、ソース/ドレイン領域 4 8 上の金属シリサイド膜 5 2 に達するように形成される。コンタクトホール 5 8 は、ゲート電極 4 8 の端部から P 型不純物層 5 0 に至る領域に、ゲート電極 4 8 及び P 型不純物層 5 0 上の金属シリサイド膜 5 2 に達するように形成される。

40

【 0 0 6 5 】

次いで、バリアメタル及びタングステン膜を堆積後、これら導電膜をエッチバックし、コンタクトホール 5 6 内に埋め込まれたコンタクトプラグ 6 0 と、コンタクトホール 5 8 内に埋め込まれたコンタクトプラグ 6 2 とを形成する (図 2 3 、 図 2 4 (a) 、 (b)) 。コンタクトプラグ 6 2 は、ゲート電極 4 8 と P ウェル 3 6 (ボディ領域) とを接続するためのシェアードコンタクトである。

【 0 0 6 6 】

この後、コンタクトプラグ 6 0 , 6 2 が埋め込まれた層間絶縁膜 5 4 上に、所望の配線層を形成し、本実施形態による半導体装置を完成する。

50

【0067】

このように、本実施形態によれば、チャンネル領域とボディコンタクト領域とを浅い素子分離絶縁膜によって分離するので、ソース/ドレイン領域とボディコンタクト領域のコンタクト層とが直に接することを防止することができる。また、ソース/ドレイン領域48の底部が素子分離絶縁膜に接するようにしている。これにより、ソース/ドレイン領域とウェル及びコンタクト層との間の接合容量を大幅に低減することができ、トランジスタの高速化及び低消費電力化を図ることができる。

【0068】

また、ソース/ドレイン領域の一方を共用する2つのN型トランジスタを一の活性領域内に形成し、これらトランジスタのボディ領域をソース/ドレイン領域によって分離するので、素子の配置間隔を狭めることができ、集積度を向上することができる。

10

【0069】

[変形実施形態]

上記実施形態に限らず種々の変形が可能である。

【0070】

例えば、上記実施形態では、N型のDTMOSを有する半導体装置について示したが、P型のDTMOSを有する半導体装置の場合も同様である。P型のDTMOSでは、各層の導電型がN型のDTMOSとは逆になる。

【0071】

また、上記実施形態では、ソース/ドレイン領域48の一方を共用する2つのN型トランジスタを活性領域32a内に形成したが、必ずしもソース/ドレイン領域48を共用する必要はない。各トランジスタを、別々の活性領域32a内に形成するようにしてもよい。

20

【0072】

この場合、2つのトランジスタ形成領域は、例えば図25に示すように、素子分離絶縁膜32によって分離する。ソース/ドレイン領域48は、必ずしも素子分離絶縁膜18に接している必要はない。

【0073】

なお、図25は、N型DTMOSとP型DTMOSとを隣接して形成した場合の例である。P型DTMOSは、例えば、Pウェル70と、Nウェル72と、P型のソース/ドレイン領域74により形成する。P型DTMOSのゲート電極48は、例えばP+型の多結晶シリコンにより形成する。

30

【0074】

また、上記実施形態では、2つのトランジスタを隣接して形成したが、必ずしも2つのトランジスタを隣接して形成する必要はない。1つのトランジスタだけを形成するようにしてもよいし、3つ以上のトランジスタを隣接して形成するようにしてもよい。

【0075】

また、上記実施形態では、ソース/ドレイン領域48の表面部に金属シリサイド膜52を形成したが、ソース/ドレイン領域48の素子分離絶縁膜18に接する領域までをシリサイド化するようにしてもよい。

40

【0076】

本実施形態による半導体装置では、ソース/ドレイン領域48を多結晶シリコン膜24内に形成するため、単結晶シリコン内に形成する場合と比較して抵抗値が高くなる。ソース/ドレイン領域48を底部までシリサイド化することにより、多結晶シリコン膜24を用いることによる抵抗増加を補償することができる。

【0077】

また、上記実施形態では、二重ウェルを形成して各トランジスタのボディ領域を分離したが、SOI基板上に形成する場合など、他の分離手段を有している場合には必ずしも二重ウェル内に形成する必要はない。

【0078】

50

また、上記実施形態に記載した半導体装置の構造、構成材料、製造条件等は、一例を示したものにすぎず、当業者の技術常識等に応じて適宜修正や変更が可能である。

【0079】

以上の実施形態に関し、更に以下の付記を開示する。

【0080】

(付記1) 半導体基板に第1の領域を画定する第1の素子分離絶縁膜と、
前記半導体基板の前記第1の領域に形成された第1導電型の第1の導電層と、
前記半導体基板上に形成され、前記第1の領域の一部である第2の領域に前記第1の導電層に接続して形成された前記第1導電型の第2の導電層と、前記第1の領域の他の一部である第3の領域に前記第1の導電層に接続して形成された前記第1導電型の第3の導電層とを有する半導体層と、

10

前記半導体層内に設けられ、前記第2の導電層と前記第3の導電層とを分離する第2の素子分離絶縁膜と、

前記第2の導電層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記第3の導電層を介して前記第1の導電層に電氣的に接続されたゲート電極と

を有することを特徴とする半導体装置。

【0081】

(付記2) 付記1記載の半導体装置において、

前記半導体層は、前記第2の導電層を挟むように配置され、底部が前記第1の素子分離絶縁膜に接する第2導電型のソース/ドレイン領域を更に有する

20

ことを特徴とする半導体装置。

【0082】

(付記3) 付記2記載の半導体装置において、

前記半導体層は、単結晶半導体領域と、多結晶半導体領域とを有し、前記ソース/ドレイン領域は、多結晶半導体領域に形成されている

ことを特徴とする半導体装置。

【0083】

(付記4) 付記1乃至3のいずれか1項に記載の半導体装置において、

前記半導体層及び前記第2の素子分離絶縁膜の表面は、平坦化されている

30

ことを特徴とする半導体装置。

【0084】

(付記5) 付記1乃至4のいずれか1項に記載の半導体装置において、

前記第1の導電層は、前記第1の素子分離絶縁膜の底部より浅い

ことを特徴とする半導体装置。

【0085】

(付記6) 付記1乃至5のいずれか1項に記載の半導体装置において、

前記第1の導電層下の前記半導体基板内に形成され、前記第1の素子分離絶縁膜の底部よりも深い第4の導電層を更に有する

ことを特徴とする半導体装置。

40

【0086】

(付記7) 半導体基板に第1の領域及び第2の領域を画定する第1の素子分離絶縁膜と、

前記半導体基板の前記第1の領域に形成され、前記第1の素子分離絶縁膜の底部よりも浅い第1導電型の第1の導電層と、

前記半導体基板の前記第2の領域に形成され、前記第1の素子分離絶縁膜の底部よりも浅い前記第1導電型の第2の導電層と、

前記第1の導電層及び前記第2の導電層下の前記半導体基板内に形成され、前記第1の素子分離絶縁膜の底部よりも深い第2導電型の第3の導電層と、

前記半導体基板上に形成され、前記第1の領域の一部である第3の領域に前記第1の導

50

電層に接続して形成された前記第 1 導電型の第 4 の導電層と、前記第 2 の領域の一部である第 4 の領域に前記第 1 の導電層に接続して形成された前記第 1 導電型の第 5 の導電層と、前記第 1 の領域の他の一部である第 5 の領域に前記第 1 の導電層に接続して形成された前記第 1 導電型の第 6 の導電層と、前記第 2 の領域の他の一部である第 6 の領域に前記第 1 の導電層に接続して形成された前記第 1 導電型の第 7 の導電層と、前記第 3 の領域と前記第 4 の領域との間の第 7 の領域に前記第 1 の素子分離絶縁膜に接して形成された前記第 2 導電型の第 8 の導電層とを有する半導体層と、

前記半導体層内に形成され、前記第 2 の導電層、前記第 3 導電層及び前記第 6 の導電層と前記第 4 の導電層とを分離し、前記第 2 の導電層、前記第 3 導電層及び前記第 6 の導電層と前記第 5 の導電層とを分離する第 2 の素子分離絶縁膜と、

前記第 2 の導電層上に形成された第 1 のゲート絶縁膜と、

前記第 3 の導電層上に形成された第 2 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成され、前記第 4 の導電層を介して前記第 1 の導電層に電氣的に接続された第 1 のゲート電極と、

前記第 2 のゲート絶縁膜上に形成され、前記第 5 の導電層を介して前記第 2 の導電層に電氣的に接続された第 2 のゲート電極と

を有することを特徴とする半導体装置。

【0087】

(付記 8) 付記 7 記載の半導体装置において、

前記半導体層は、単結晶半導体領域と、多結晶半導体領域とを有し、前記第 8 の導電層は、多結晶半導体領域に形成されている

ことを特徴とする半導体装置。

【0088】

(付記 9) 付記 7 又は 8 記載の半導体装置において、

前記半導体層及び前記第 2 の素子分離絶縁膜の表面は、平坦化されている

ことを特徴とする半導体装置。

【0089】

(付記 10) 半導体基板に、第 1 の領域を画定する第 1 の素子分離絶縁膜を形成する工程と、

前記第 1 の素子分離絶縁膜が形成された前記半導体基板の上に、半導体層を形成する工程と、

前記半導体層に、前記第 1 の領域の一部の領域を含む第 2 の領域と、前記第 1 の領域の他の一部の領域を含む第 3 の領域を画定する第 2 の素子分離絶縁膜を形成する工程と、

前記半導体基板及び前記半導体層に、前記第 2 の素子絶縁膜の底部よりも深く、前記第 1 の素子分離絶縁膜の底部よりも浅い第 1 導電型の第 1 のウェルを形成する工程と、

前記半導体層の前記第 2 の領域上に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、前記半導体層の前記第 3 の領域を介して前記第 1 のウェルに電氣的に接続されたゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0090】

(付記 11) 付記 10 記載の半導体装置の製造方法において、

前記第 2 の素子分離絶縁膜を形成する工程の後、前記半導体基板に、前記第 1 の素子分離絶縁膜の底部よりも深い第 2 導電型の第 2 のウェルを形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0091】

(付記 12) 付記 10 又は 11 記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程の後、前記半導体層の前記第 2 の領域に、底部が前記第 1 の素子分離絶縁膜に接する前記第 2 導電型のソース/ドレイン領域を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

10

20

30

40

50

【 0 0 9 2 】

(付記 1 3) 付記 1 2 記載の半導体装置の製造方法において、
 前記第 2 の領域は、前記第 1 の素子分離絶縁膜上に位置し、前記第 1 の領域の前記一部の領域を挟むように配置された第 4 の領域及び第 5 の領域を含み、
 前記ソース/ドレイン領域を形成する領域では、前記第 4 の領域及び前記第 5 の領域に前記ソース/ドレイン領域を形成することを特徴とする半導体装置の製造方法。

【 0 0 9 3 】

(付記 1 4) 付記 1 0 乃至 1 3 のいずれか 1 項に記載の半導体装置の製造方法において、
 前記半導体層を形成する工程では、前記第 1 の領域上に単結晶半導体層を成長し、前記第 1 の素子分離絶縁膜上に多結晶半導体層を成長することを特徴とする半導体装置の製造方法。

10

【 0 0 9 4 】

(付記 1 5) 付記 1 0 乃至 1 4 のいずれか 1 項に記載の半導体装置の製造方法において、
 前記第 2 の素子分離絶縁膜を形成する工程では、前記半導体層及び前記第 2 の素子分離絶縁膜の表面が平坦になるように、前記第 2 の素子分離絶縁膜を形成することを特徴とする半導体装置の製造方法。

20

【 符号の説明 】

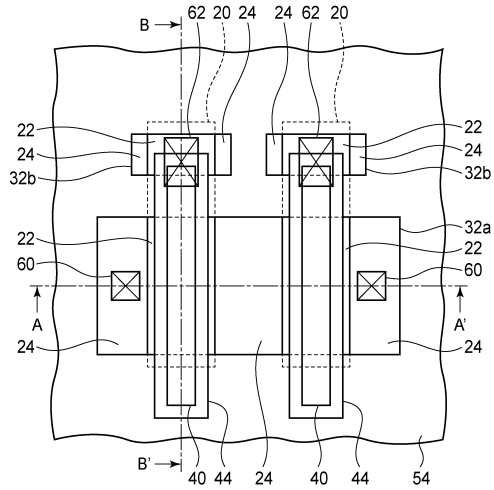
【 0 0 9 5 】

- 1 0 ... シリコン基板
- 1 2 ... シリコン酸化膜
- 1 4 , 2 6 ... シリコン窒化膜
- 1 6 , 3 0 ... 素子分離溝
- 1 8 , 3 2 ... 素子分離絶縁膜
- 2 0 , 3 2 a , 3 2 b ... 活性領域
- 2 2 ... 単結晶シリコン膜
- 2 4 ... 多結晶シリコン膜
- 2 8 ... フォトレジスト膜
- 3 4 ... N ウェル
- 3 6 ... P ウェル
- 3 8 ... ゲート絶縁膜
- 4 0 ... ゲート電極
- 4 2 , 4 6 ... N 型不純物層
- 4 4 ... サイドウォールスペーサ
- 4 8 ... ソース/ドレイン領域
- 5 0 ... P 型不純物層
- 5 2 ... 金属シリサイド膜
- 5 4 ... 層間絶縁膜
- 5 6 , 5 8 ... コンタクトホール
- 6 0 , 6 2 ... コンタクトプラグ

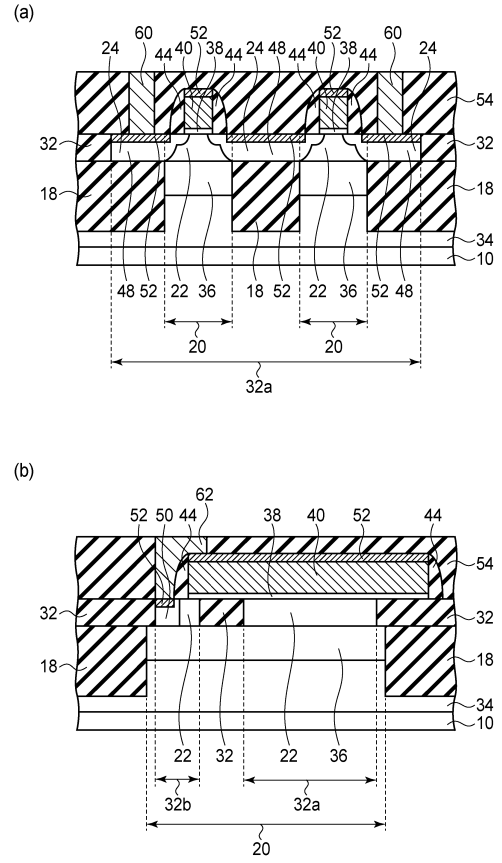
30

40

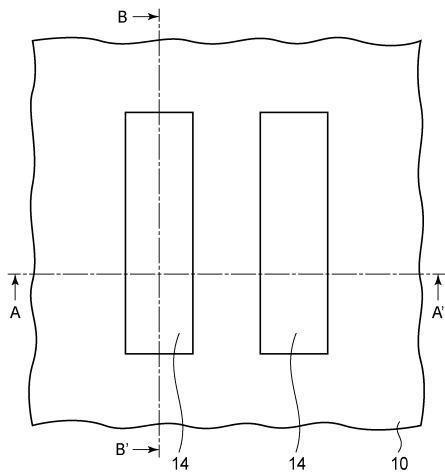
【図1】



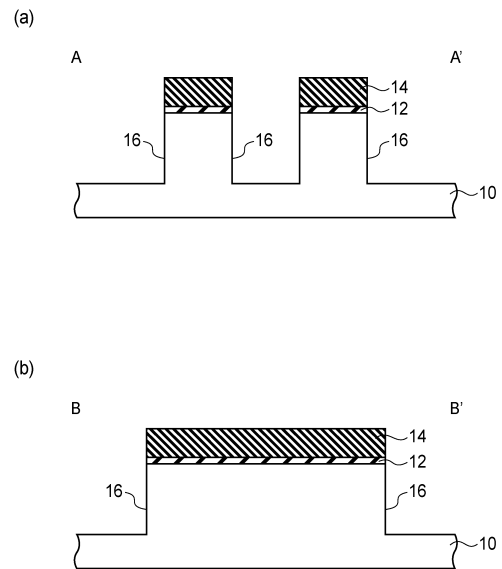
【図2】



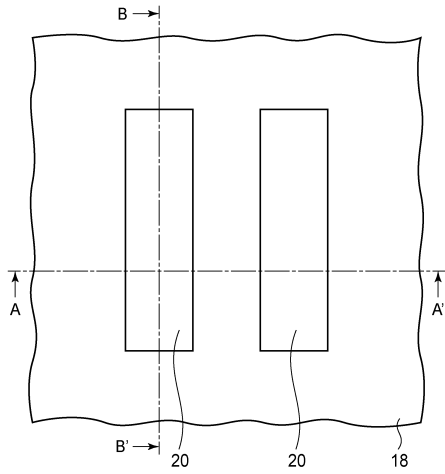
【図3】



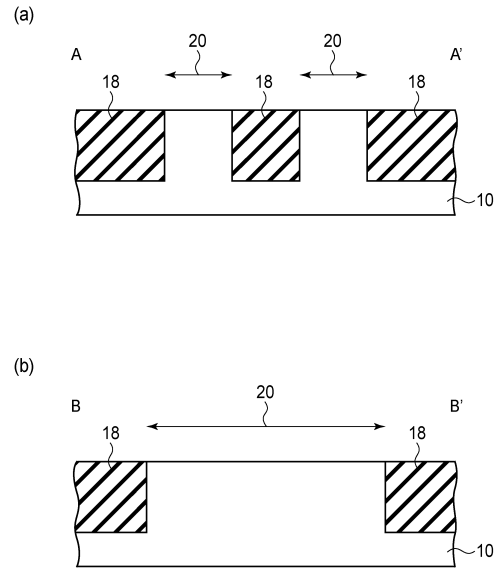
【図4】



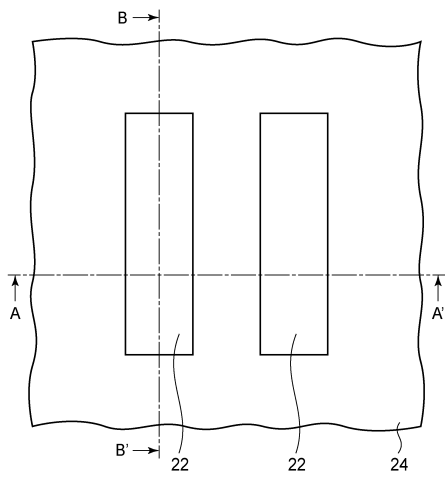
【 図 5 】



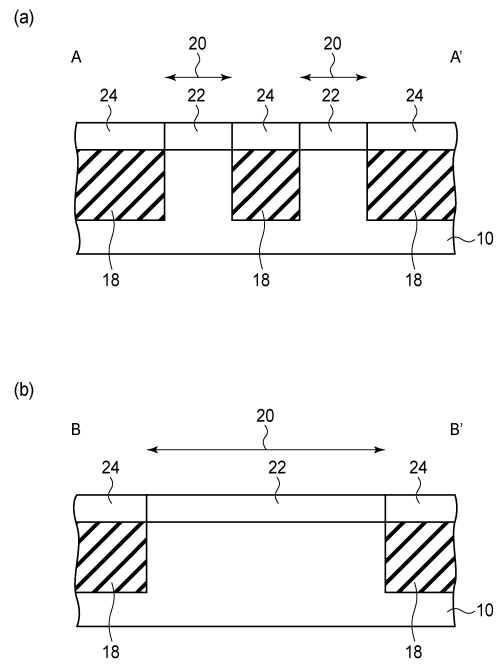
【 図 6 】



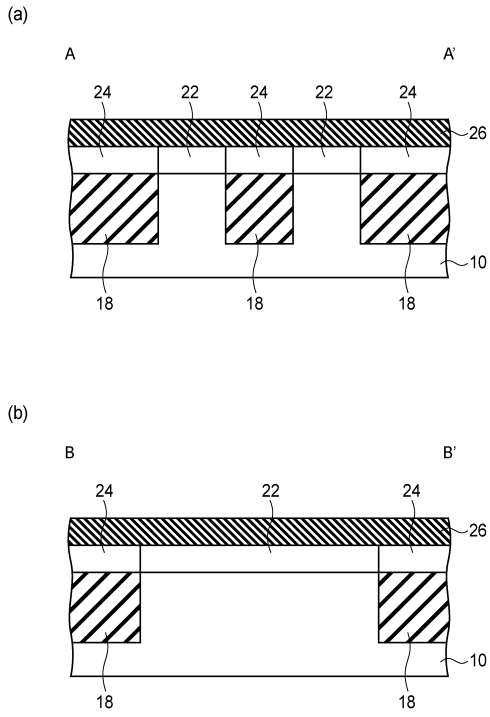
【 図 7 】



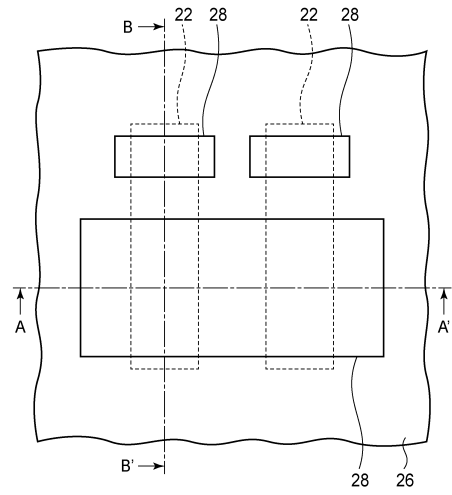
【 図 8 】



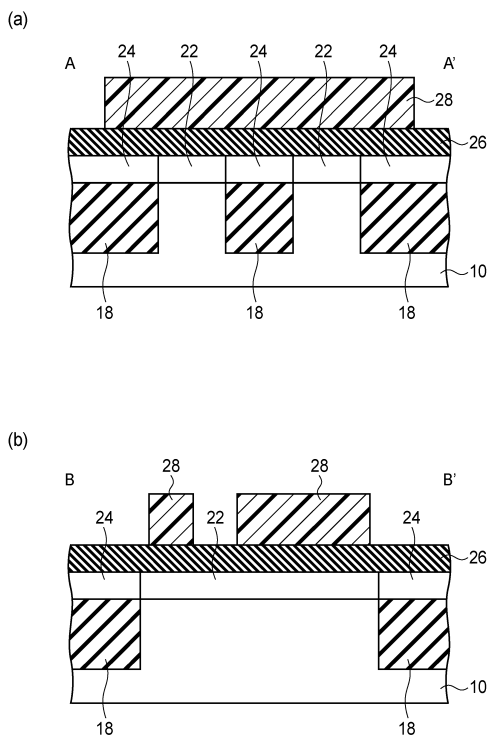
【 図 9 】



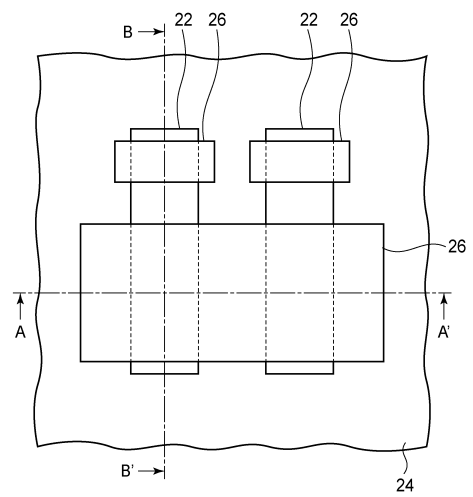
【 図 10 】



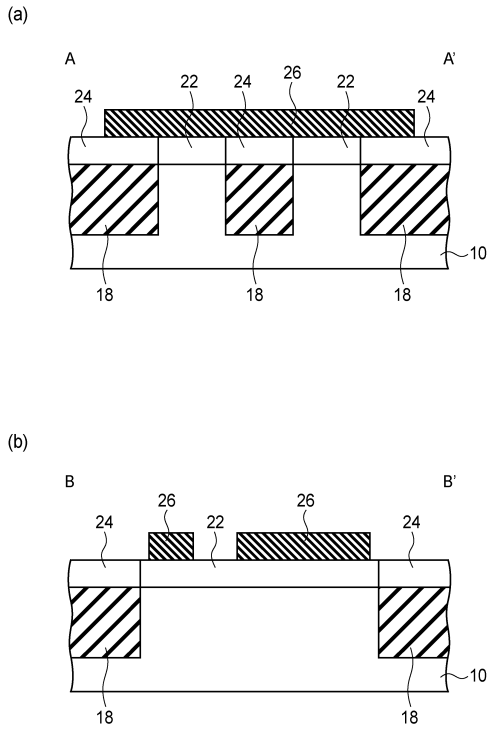
【 図 11 】



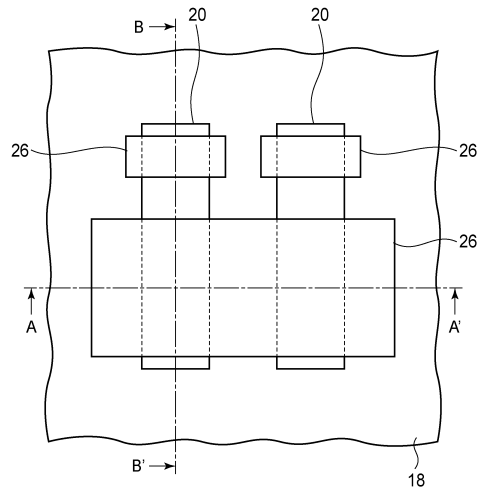
【 図 12 】



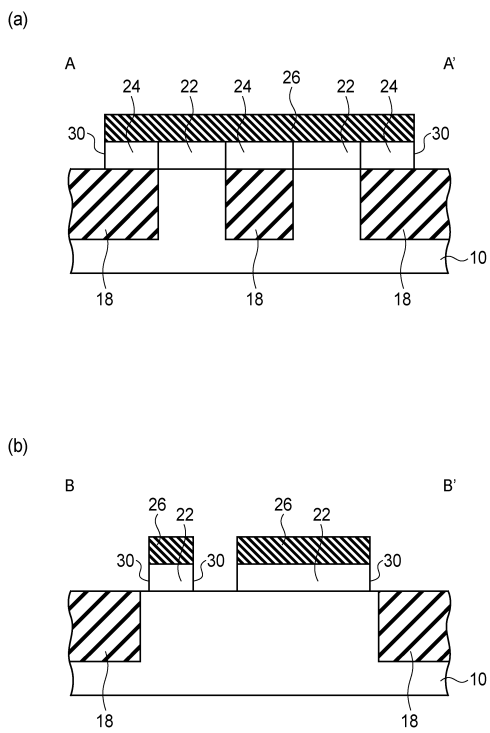
【 図 1 3 】



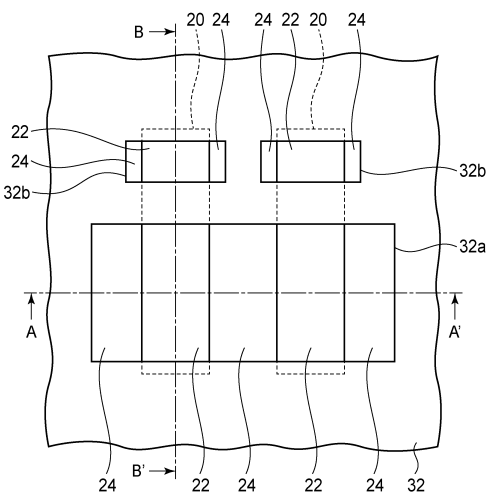
【 図 1 4 】



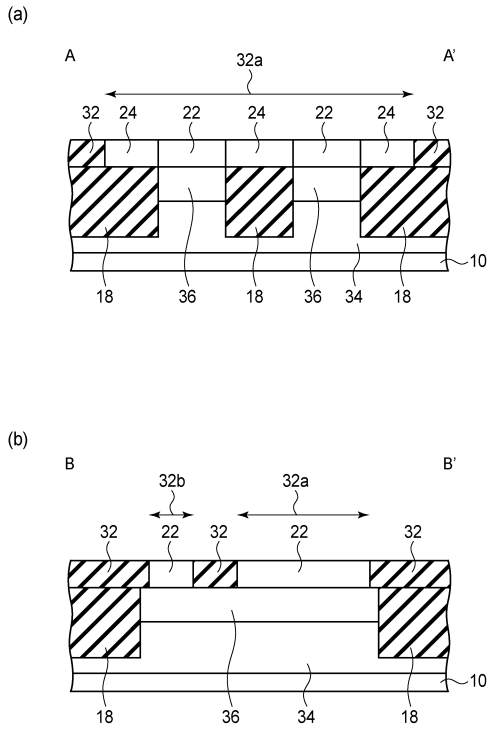
【 図 1 5 】



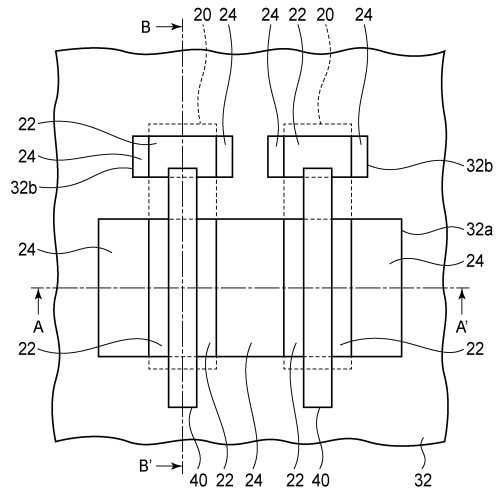
【 図 1 6 】



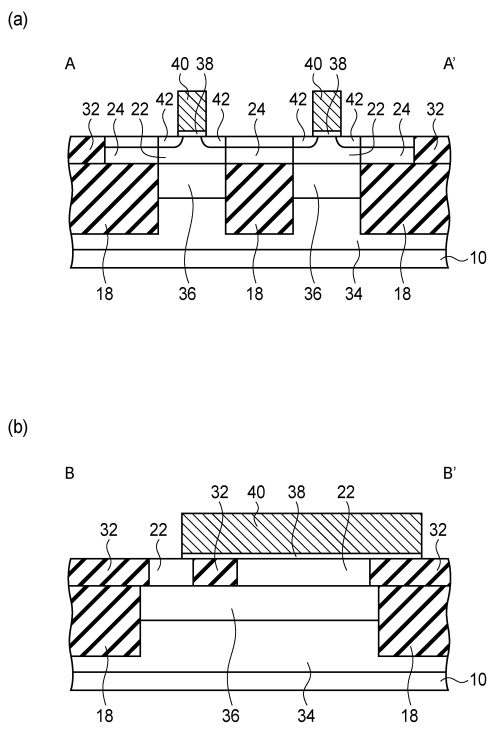
【 図 17 】



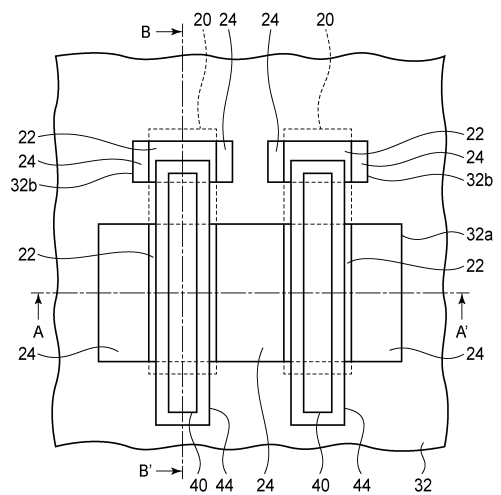
【 図 18 】



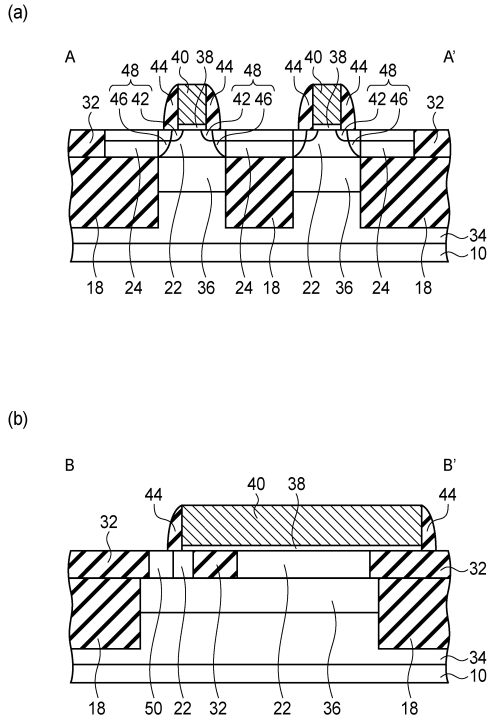
【 図 19 】



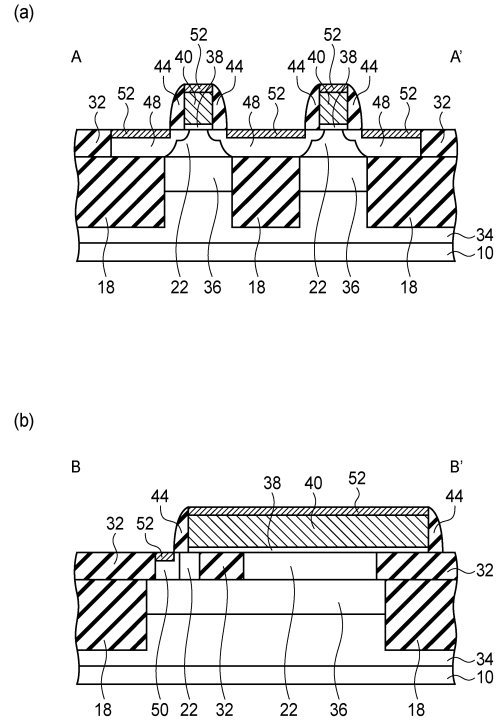
【 図 20 】



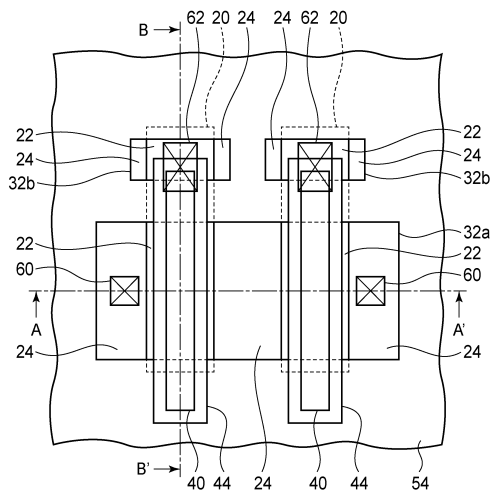
【 図 2 1 】



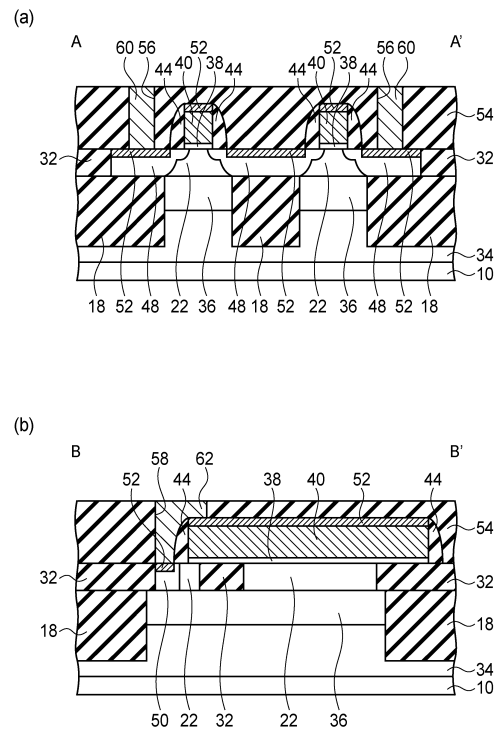
【 図 2 2 】



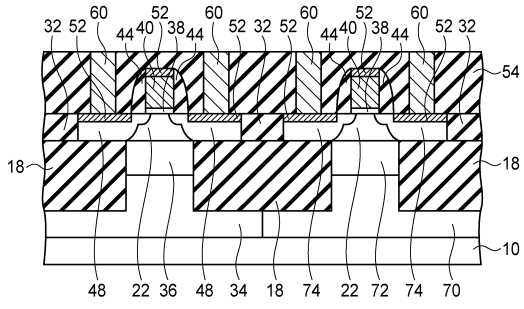
【 図 2 3 】



【 図 2 4 】



【図 25】



フロントページの続き

(51) Int.Cl.		F I		
H 0 1 L	27/092 (2006.01)	H 0 1 L	27/08	3 2 1 F
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 2 2
H 0 1 L	21/762 (2006.01)	H 0 1 L	29/78	6 2 6 Z
H 0 1 L	21/76 (2006.01)	H 0 1 L	21/76	D
		H 0 1 L	21/76	L
		H 0 1 L	21/76	E
		H 0 1 L	29/78	6 2 6 C
		H 0 1 L	29/78	6 1 6 L
		H 0 1 L	29/78	6 1 8 A
		H 0 1 L	29/78	6 2 1

- (56)参考文献 特開2003-086794(JP,A)
 特開2004-087671(JP,A)
 国際公開第2011/041109(WO,A1)
 特開平10-163342(JP,A)
 国際公開第2011/042965(WO,A1)
 特開平11-074522(JP,A)
 特開2003-086799(JP,A)
 国際公開第2011/064891(WO,A1)
 特開平11-307771(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6
 H 0 1 L 2 1 / 7 6 2
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 8 6