

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年4月3日 (03.04.2008)

PCT

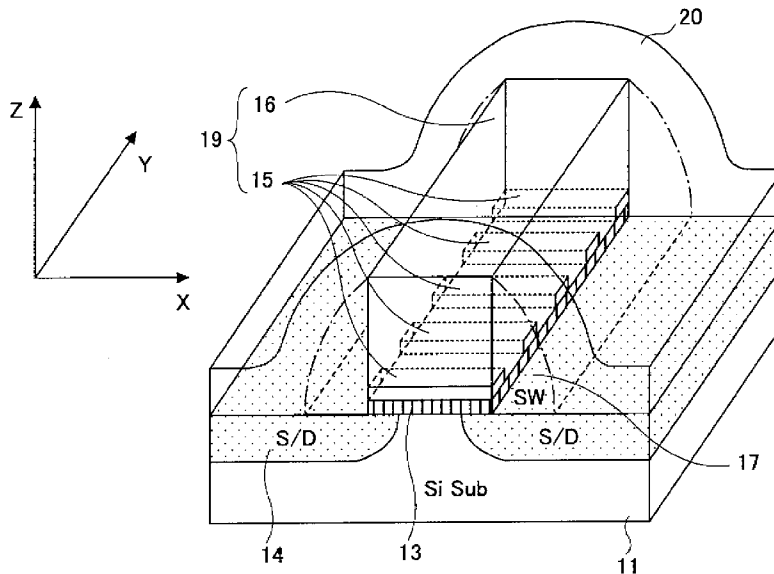
(10) 国際公開番号  
WO 2008/038346 A1

- (51) 国際特許分類:  
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2006/319146
- (22) 国際出願日: 2006年9月27日 (27.09.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 敦史 (YAMADA, Atsushi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿4丁目2番3号 恵比寿ガーデンプレスタワー32階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device comprises a silicon substrate (11), a gate electrode (16) located across a gate insulator (13) on the silicon substrate, and ladders (15) which are located between the gate insulator and the gate electrode, have an inherent stress different from that of the gate electrode, and are arrayed in a direction perpendicular to the direction of a current flowing through a channel region immediately beneath the gate electrode.

[続葉有]



WO 2008/038346 A1



添付公開書類：  
— 国際調査報告書

---

(57) 要約: 半導体装置は、シリコン基板（11）と、前記シリコン基板上にゲート絶縁膜（13）を介して位置するゲート電極（16）と、前記ゲート絶縁膜とゲート電極の間に位置し、前記ゲート電極と異なる内在応力を有し、前記ゲート電極直下のチャネル領域に流れる電流の方向と直交する方向に配列されるラダー（15）と、を備える。

## 明 細 書

### 半導体装置およびその製造方法

#### 技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、面内での2軸方向のひずみを独立に制御し、チャンネル領域に適切なひずみを印加することのできる電界効果トランジスタと、その製造方法に関する。

#### 背景技術

[0002] 電界効果トランジスタ(FET)の性能向上のため、量子効果を利用した素子の研究が行われている。特に、化合物半導体においては、量子井戸構造が比較的容易に作製できるため、さまざまな研究が行われている。また、近年ではSi/SiGeヘテロ接合を量子効果チャンネル領域に利用したFETの開発も行われている。しかし、これらの素子構造は、広く利用されているSi絶縁ゲート型FET(Si-MOSFET)の構造と大きく異なるため、従来のMOSプロセスにそのまま適用することが困難である。

[0003] 一方、シリコン絶縁ゲート型電界効果トランジスタ(Si-MOSFET)において、キャリア移動度向上のためのひずみ導入技術が用いられている。この場合、nMOSFETに対しては、チャンネル領域にゲート長方向へ引張ひずみを、pMOSFETに対してはゲート長方向に圧縮ひずみを導入する。

[0004] 一例として、図1に示すように、高引張応力を有するシリコン窒化膜111と、高圧縮応力を有するシリコン窒化膜112を、それぞれnMOSFETとpMOSFETに、選択的に堆積することにより、チャンネル領域にひずみを印加する方法が知られている(例えば、非特許文献1および2参照)。

[0005] 図1の方法では、シャロー・トレンチ・アイソレーション(STI)102、ゲート絶縁膜103、ポリシリコンゲート105およびコバルトシリサイド(CoSi)106、エクステンション104、サイドウォールスペーサ107、ソース・ドレイン不純物拡散領域108を、一般的なCMOSプロセスにより作成する。その後、高引張応力を持つSi窒化膜111を全面に堆積し、pMOSFET上の高引張応力Si窒化膜111を選択的にエッチングし、nMOSFET上にはのみ、高引張応力Si窒化膜111を残す。次に、同様に高圧縮応力を持つSi

窒化膜112を全面に堆積し、nMOSFET上の高圧縮応力Si窒化膜112を選択的にエッチングし、pMOSFET上にはのみ高圧縮応力Si窒化膜112を残す。以上により、nMOSFET上には引張応力膜111、pMOSFET上には圧縮応力膜112が形成される。

[0006] 応力膜111により、nMOSFETのチャネル領域にはゲート長方向に引張ひずみ、高さ方向に圧縮ひずみが導入される。一方、応力膜112により、pMOSFETにはゲート長方向に圧縮ひずみ、高さ方向に引張ひずみが導入される。具体的には、nMOSFETについては、真性応力1.6GPaの引張応力膜を用いて、ゲート長方向に約0.3%の引張ひずみ、高さ方向に約0.3%の圧縮ひずみが得られる。また、pMOSFETについては、真性応力-2GPaの圧縮応力膜を用いてゲート長方向に約0.4%の圧縮ひずみ、高さ方向に約0.5%の引張ひずみが得られる。

[0007] 図2は、歪み効果を得る別の公知方法を示す。図2の方法では、ソース・ドレイン領域にSiと格子定数が異なるシリコンゲルマニウム(SiGe)や、シリコンカーボン(SiC)などを選択成長させ、チャネル領域にひずみを生じさせる(たとえば、非特許文献3参照)。この文献では、仮想的なMOSFET構造を用いて、ひずみの導入方法を検討している。この構造を作製するには、Si(100)基板の上に、ゲートパターン205をリソグラフィにより形成し、それをマスクとしてソース・ドレイン領域にドライエッチングによりリセス構造を形成する。この時、エッチング側面がテーパ状になる。次に、希フッ酸によりリセス領域の自然酸化膜を除去し、nMOSFET用に、SiCを選択成長させる。これにより、nMOSFETのチャネル領域に、それぞれゲート長方向の引張ひずみと、高さ方向の圧縮ひずみが導入される。また、pMOSFET用には、リセス内にSiGeを選択成長させる。これにより、pMOSFETのチャネル領域には、ゲート長方向の圧縮ひずみと、高さ方向の引張ひずみが導入される。

[0008] しかしながら、これらの方法では、ゲート長方向と高さ方向のひずみは制御可能であるが、ゲート幅方向のひずみが制御できない。今後、よりキャリアの移動度を向上させていくためには、面内の2軸方向のひずみ制御が必要不可欠となってくる。

[0009] 図3は、2軸のひずみを利用する公知の方法を示す(たとえば、非特許文献4参照)。この方法では、SiGeを用いた緩和仮想基板を利用する。

[0010] まず、Si基板301上にCVD法によりSiGe緩衝層302をエピタキシャル成長させる。このSiGe緩衝層302は、Ge比率を0から20%に段階的に変化させ、膜厚を1.5  $\mu\text{m}$ 以上にすることによって、SiGeの格子ひずみを緩和させている。次に600nmの緩和Si<sub>0.8</sub>Ge<sub>0.2</sub>層303と、75nmのp+Si<sub>0.8</sub>Ge<sub>0.2</sub>層304を成長させる。その後、23nmの薄いひずみSi層305を成長させる。以上のエピタキシャル成長はジクロロシラン(SiH<sub>2</sub>Cl<sub>2</sub>)およびGeH<sub>4</sub>を使用し、700~750°Cで行われる。また、エピタキシャル層はジボラン(B<sub>2</sub>H<sub>6</sub>)によりin-situドーピングされている。その後、通常のCMOSプロセスによりMOSデバイス310を製作する。なお、プロセスにおける熱酸化などにより、ひずみSi層305は12nm程度に薄くなる。以上により、面内方向に2軸の引張ひずみを導入したデバイスが完成する。この時のひずみ量として、2軸方向に1%程度の引張ひずみが得られる。

非特許文献1:S. Pidin et al., IEDM2004 Technical Digest, pp. 213-216

非特許文献2:S. Pidin et al., 2004 Symposium on VLSI Technology Digest, pp. 54-55

非特許文献3:Kah-Wee Ang et al., Appl. Phys. Lett., 86, 093102(2005)

非特許文献4:K. Rim et al., IEEE Trans. Electron Devices, 47, 1406(2000)

## 発明の開示

### 発明が解決しようとする課題

[0011] しかし、図3の方法では、nMOSFETに対しては効果的なひずみの導入が可能であるが、pMOSFETに対しては、逆に移動度を制限させる方向に働いてしまう。したがって、CMOSFETにおけるキャリア移動度を向上させるためには、2軸方向の歪を独立に制御する必要がある。

[0012] そこで、本発明は、Si-MOSFETの基本構造を大きく変えることなく、チャネル長方向と、チャネル幅方向のひずみを独立に制御し、チャネル領域に適切なひずみを印加することのできる半導体装置と、その製造方法を提供することを課題とする。

### 課題を解決するための手段

- [0013] 本発明では上記課題を解決するために、ゲート絶縁膜とゲート電極の間に、ゲート電極と異なる応力を有し、チャンネル幅方向に配列されるラダーを挿入することによって、チャンネル領域に、チャンネル幅方向へのひずみを独立して生じさせる。
- [0014] 具体的には、第1の側面では、半導体装置は、
- (a) シリコン基板と、
  - (b) 前記シリコン基板上にゲート絶縁膜を介して位置するゲート電極と、
  - (c) 前記ゲート絶縁膜とゲート電極の間に位置し、前記ゲート電極直下のチャンネル領域に流れる電流の方向と直交する方向に配列され、前記ゲート電極と異なる応力が内在するラダーと、
- を備える。
- [0015] 良好な構成例では、ラダーには圧縮応力が内在し、ゲート電極には、ラダーの圧縮応力よりも小さい圧縮応力または引張応力が内在する。
- [0016] 別の構成例では、ラダーには、引張応力が内在し、ゲート電極には、ラダーの引張応力よりも小さい引張応力または圧縮応力が内在する。
- [0017] さらに別の構成例では、チャンネル領域はn型チャンネルを構成し、前記ラダーの仕事関数は、ゲート電極の仕事関数よりも大きい。
- [0018] さらに別の構成例では、チャンネル領域はp型チャンネルを構成し、前記ラダーの仕事関数は、ゲート電極の仕事関数よりも小さい。
- [0019] 第2の側面では、半導体装置の製造方法を提供する。この方法は、
- (a) シリコン基板上に、側壁がサイドウォールスペーサで覆われたダミー電極を形成し、
  - (b) 前記ダミー電極を除去してサイドウォールスペーサ間に開口を形成し、
  - (c) 前記開口内に、第1の方向に延びるラダーを形成し、
  - (d) 前記開口内に、前記ラダーと異なる応力を有する材料で、前記ラダーを覆うゲート電極を形成する
- 工程を含む。

### 発明の効果

[0020] 上述の手法で、チャネル幅方向へのひずみを独立して制御し、チャネル領域でのバンド制御を行って、1次元量子閉じ込め(量子細線)を実現することができる。

[0021] これにより、Si-MOSFETの性能が向上する。

#### 図面の簡単な説明

[0022] [図1]公知のひずみ導入構造の一例を示す図である。

[図2]公知のひずみ導入構造の別の例を示す図である。

[図3]公知のひずみ導入構造の別の例を示す図である。

[図4]本発明の一実施形態に係る半導体装置のゲート構造を示す概略図である。

[図5]実施形態の半導体装置のゲート構造を示す概略平面図である。

[図6]図5のA-A'ラインに沿ったチャネル幅方向の概略断面図であり、チャネル幅方向に与えられる応力を示す図である。

[図7]図5のB-B'ラインに沿ったチャネル長方向の概略断面図であり、nMOSFETに与えられる応力を示す図である。

[図8]図5のB-B'ラインに沿ったチャネル長方向の概略断面図であり、pMOSFETに与えられる応力を示す図である。

[図9]実施形態の半導体装置の変形例であり、ゲート電極を覆う応力膜に代えて、あるいは応力膜とともに、nMOSFETのソース・ドレイン領域に選択成長させたひずみ印加層を用いる構成を示す図である。

[図10]実施形態の半導体装置の変形例であり、ゲート電極を覆う応力膜に代えて、あるいは応力膜とともに、pMOSFETのソース・ドレイン領域に選択成長させたひずみ印加層を用いる構成を示す図である。

[図11A]ラダー直下のチャネル領域での閉じ込め効果を説明するための図である。

[図11B]図11Aの構成で、nMOSFETにおけるラダー(G1)とメタルゲート(G2)の仕事関数によるバンドの変化を示す図である。

[図11C]図11Aの構成で、pnMOSFETにおけるラダー(G1)とメタルゲート(G2)の仕事関数によるバンドの変化を示す図である。

[図11D]図11Aの変形例として、ラダーを、圧縮応力を与える絶縁膜で構成する場合のバンドの変化を示す図である。

[図12]図6の変形例として、ラダーを、圧縮応力を与える金属で構成する例を示す図である。

[図13A]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13B]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13C]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13D]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13E]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13F]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13G]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13H]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13I]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13J]本発明の一実施形態に係る半導体装置の製造工程図である。

[図13K]本発明の一実施形態に係る半導体装置の製造工程図である。

#### 符号の説明

- [0023] 10 半導体装置  
11、31 半導体基板  
13、53 ゲート絶縁膜  
14、39 ソース・ドレイン  
15、55 ラダー(G1)  
16、56 ゲート電極(G2)  
17 サイドウォールスペーサ  
19、59 ゲート構造  
20C、20T、60 応力膜(ひずみ導入層)  
21C、21T ひずみ印加層(ひずみ導入層)  
35 ダミー電極

#### 発明を実施するための最良の形態

[0024] 以下、本発明の実施の形態について、図面を参照して説明する。

[0025] 図4は、本発明の一実施形態に係る半導体装置10のゲート構造を示す概略図で



ある。半導体装置10は、半導体基板11上にゲート絶縁膜13を介して位置し、ゲート電圧が印加されるゲート電極16と、ゲート絶縁膜13とゲート電極16の間に挿入されるラダー15を有する。ラダー15は、チャンネル幅方向(図4のy軸方向)に配列され、ラダーを構成するストライプの一本一本は、電流の流れと平行な方向(x軸方向)に延びる。ゲートの第1部分を構成するラダー15と、ゲートの第2部分を構成するゲート電極16で、ゲート構造19を構成する。

[0026] ゲート電極16を挟んで、半導体基板11にソース・ドレイン不純物拡散領域(以下、単に「ソース・ドレイン」と称する)14が形成されている。ゲート電極16の側壁にはサイドウォールスペーサ17が設けられ、ゲート電極16およびサイドウォールスペーサ17を覆って、応力膜20が形成されている。

[0027] 応力膜20は、主としてチャンネル長方向(x軸方向)へのひずみを制御する。一方、ラダー15は、主としてチャンネル幅方向(y軸方向)へのひずみを制御する役割を果たす。応力膜20と、ラダー15とにより、2軸方向のひずみを互いに独立して制御することができる。

[0028] 図5は、実施形態の半導体装置10の概略平面図である。ゲート電極16の少なくとも一部は、ソース領域14sとドレイン領域14dの間に延びる。ゲート電圧の印加により、ソース領域14sとドレイン領域14dの間の半導体基板の表面領域にチャンネル領域(図5では不図示)が形成される。

[0029] ラダー15は、電流の流れと直交する方向(y軸方向またはチャンネル幅方向)に配列される。ラダー15を構成するストライプの数に制限はないが、ストライプとストライプの間のスペース18が、少なくとも1つ存在するようにする。

[0030] 図6は、図5のA-A'ラインに沿った概略断面図である。図6の例では、ラダー(以下、適宜「G1」と称する)15は、引張応力を与える(すなわち、引張応力が内在する)材料で構成され、ゲート電極(以下、適宜「G2」と称する)16は、圧縮応力を与える(すなわち圧縮応力が内在する)材料で構成される。

[0031] たとえば、ラダー15は、金(Au)の蒸着により形成された電極であり、100nm以下のスペース18を介して、複数のストライプがy軸(チャンネル幅)方向に配列される。メタルゲート16は、スパッタリングで形成されたTiNである。

- [0032] 引張応力を与えるラダー(G1)15と、圧縮応力を与えるメタルゲート16により、チャンネル領域にy軸方向のひずみを発生させることができる。たとえば、真性応力0.5GPaのAuと、真性応力-2GPaのTiNを使用した場合、0.5%程度のひずみが印加できると考えられる。
- [0033] なお、説明の便宜上、チャンネル領域のうち、各ラダー15直下の領域をサブチャンネル領域と称する。
- [0034] ラダー15の引張応力が十分に大きい場合、ラダー15単体でも、チャンネル幅方向(y軸方向)に十分なひずみを印加することが可能である。この場合は、メタルゲート16の応力印加の状態としては、ラダー15よりも十分小さい引張応力を与える、無応力である、あるいは圧縮応力を与える状態のいずれでもよい。
- [0035] 逆に、メタルゲート16の圧縮応力が十分に大きい場合、ラダー15の応力印加の状態としては、メタルゲート16よりも十分に小さい圧縮応力を与える、無応力である、あるいは引張応力を与える状態のいずれでもよい。
- [0036] 図6の例では、ラダー15とメタルゲート16の材料を異ならせたが、同一材料であっても、後述するように、成膜方法や成膜条件を変えることにより、異なる応力印加特性を持たせることができる。
- [0037] 図7および図8は、図5のB-B'ラインにそった概略断面図であり、チャンネル長方向(x軸方向)にひずみを与える構造を説明するための図である。図7はnMOSFETのひずみ導入を、図8はpMOSFETのひずみ導入を示す。
- [0038] 図7において、n型MOSFET上には、引張応力を与える応力膜であるシリコン窒化膜20Tが選択的に堆積されている。一方、図8において、pMOSFET上には、圧縮応力を与える応力膜であるシリコン窒化膜20Cが選択的に堆積されている。これらの応力膜はひずみ導入層として機能し、nMOSのチャンネル領域では、x軸方向に引張ひずみ、z軸方向に圧縮ひずみを生じさせ、pMOSのチャンネル領域では、x軸方向に圧縮ひずみ、z軸方向に引張ひずみを生じさせる。
- [0039] これらの例では、ラダー15を挿入したゲート構造により、y軸方向にもひずみが発生しており、面内での2軸(x軸およびy軸)方向のひずみと、高さ方向へのひずみが生成される。

- [0040] チャネル長(x軸)方向、および高さ(z軸)方向へのひずみの印加については、応力膜20以外の方法を用いてもよい。たとえば、図9および図10に示すように、応力膜20に代えて、あるいは応力膜20とともに、MOSFETのソース・ドレイン領域にひずみ印加層を設ける構成としてもよい。
- [0041] 図9の例では、nMOSFETのソース・ドレイン領域に、Siよりも格子定数の小さいSiCひずみ印加層21Tを選択成長させ、pMOSFETに対しては、Siよりも格子定数の大きいSiGeひずみ印加層21Cを選択成長させる。ひずみ印加層21T、21Cは、チャネル領域にチャネル長方向のひずみを生じさせるひずみ導入層として機能する。
- [0042] ひずみ印加層21を形成するには、Si(100)基板11上に、ゲート絶縁膜13上に、サイドウォールスペーサ17で覆われたゲート構造19を形成する。ゲート構造19は、上述したように、チャネル幅方向に配列されるラダー(G1)15と、ゲート電極(メタルゲート:G2)16を含む。このゲート構造19をマスクとして、ソース・ドレイン領域にドライエッチングによりリセスを形成し、不純物を注入した後、希フッ酸等で表面を清浄化した後、ひずみ印加層21を成長させる。
- [0043] 図9のように、nMOSFET用には、ジシラン( $\text{Si}_2\text{H}_6$ )モノメチルシラン( $\text{SiH}_3\text{CH}_3$ )、塩素( $\text{Cl}_2$ )を用い、化学気相成長法(CVD法)により600°CでSiC層21Tを選択成長させる。これによりソース・ドレイン領域に $\text{Si}_{0.99}\text{C}_{0.01}$ が形成される。 $\text{Si}_{0.99}\text{C}_{0.01}$ はSiの格子定数と比較して0.5%ほど小さいので、nチャネル領域に、ゲート長方向の引張ひずみと、高さ方向の圧縮ひずみが導入される。
- [0044] 図10のように、pMOSFET用には、 $\text{Si}_2\text{H}_6$ 、モノゲルマン( $\text{GeH}_4$ )、 $\text{Cl}_2$ を用い、CVD法により600°CでSiGe層21Cを選択成長させる。これによりソース・ドレイン領域に $\text{Si}_{0.75}\text{Ge}_{0.25}$ が形成される。 $\text{Si}_{0.75}\text{Ge}_{0.25}$ はSiの格子定数と比較して1%ほど大きいので、pチャネル領域に、ゲート長方向の圧縮ひずみと、高さ方向の引張ひずみが導入される。
- [0045] nMOSFETについては、真性応力1.6GPaのSiC層21Tを用いて、ゲート長方向に約0.3%の引張ひずみ、高さ方向に約0.2%の圧縮ひずみが得られる。pMOSFETについては、真性応力-2GPaのSiGe層21Cを用いて、ゲート長方向に約0.6%の圧縮ひずみ、高さ方向に約0.4%の引張ひずみ得られる。

- [0046] 上述のように、ラダー15を導入したゲート構造(図4)と、応力膜20および／またはひずみ印加層21を併用することにより、チャンネル領域で面内の2軸性のひずみを個別に生じさせることができる。すなわち、ラダー15が、チャンネル幅方向のひずみを制御し、応力膜20および／またはひずみ印加層21がチャンネル長方向のひずみ導入層として機能するので、各軸方向へのひずみを、独立して制御することができる。
- [0047] nMOSでは、チャンネル領域のうち、ラダー15直下のサブチャンネル領域(図6参照)に、x、y軸方向に2軸性の引張ひずみが印加されることになる。一方、ラダー15の存在しないスペース18直下の領域では、x軸方向に引張ひずみが、y軸方向には圧縮ひずみが印加されるため、1軸性の引張ひずみとみなされる。
- [0048] 一方、pMOSでは、ラダー15直下のサブチャンネル領域では、x軸、y軸方向に、それぞれ圧縮ひずみと引張ひずみが印加されるため、1軸性の圧縮ひずみとみなすことができる。ラダー15の存在しないスペース18直下の領域には、x軸、y軸方向に2軸性の引張ひずみが印加される。
- [0049] これは、キャリアの移動度が向上するひずみの印加方向と、すべて一致する(S.E. Thompson et al., IEEE Trans. Electron Devices, 51, 1790 (2004)参照)。
- [0050] 図11A～図11Cは、上述した構成により、チャンネル領域でキャリアの移動度が向上する理由を説明するための図である。Siの伝導帯は、2軸性の引張ひずみにより、1軸性よりも大きく伝導帯が分裂することが知られている。つまり、図11Aに示すように、ラダー15直下のサブチャンネル領域(図6参照)の伝導帯は、スペース18直下の領域に比べ、伝導帯( $E_c$ )のエネルギーが低くなる。したがって、電子はサブチャンネル領域を支配的に流れるようになり、nMOSFETにおいて、2軸性の引っ張りひずみが生じているサブチャンネル領域への電子の閉じ込めが可能となる。
- [0051] また、Siの価電子帯は、1軸性の圧縮ひずみにより、価電子帯のエネルギーが高くなることが知られている。つまり、図11Aに示すように、サブチャンネル領域の価電子帯は、スペース18直下の領域に比べ、伝導帯のエネルギーが高くなる。したがって、正孔はサブチャンネル領域を支配的に流れるようになり、pMOSFETにおいて、1軸性の圧縮ひずみが生じているサブチャンネル領域への正孔の閉じ込めが可能となる。
- [0052] この結果、nチャンネル、pチャンネルともに移動度の高いキャリアが増えるため、高速な

動作が可能となる。

- [0053] 実施形態のゲート構造19では、面内の2軸方向のひずみを独立に制御可能である。nMOSFETの場合、x軸(チャンネル長)方向に0.3%の引張ひずみ、y軸(チャンネル幅)方向に0.5%の引張ひずみが印加された場合、ピエゾ抵抗係数から移動度の向上度を見積もると、1軸の場合と比較して1.9倍程度の移動度向上の効果が得られる。pMOSFETの場合も、x軸方向に0.6%の圧縮ひずみ、y軸方向に0.5%の引張ひずみが印加される場合、1.8倍程度の移動度向上の効果が得られる(上記S.E. Thompson et al., IEEE Trans. Electron Devices, 51, 1790 (2004)参照)。
- [0054] 図11Bおよび図11Cは、ラダー15直下のサブチャンネルへのキャリアの閉じ込めを説明するための図である。これらの例では、ラダー(G1)15と、メタルゲート(G2)16は、それぞれ仕事関数の異なる金属で形成されている。図11BはnMOSでの仕事関数の相違に応じたバンドの変化を、図11CはpMOSでの仕事関数の相違に応じたバンドの変化を示している。
- [0055] 図11Bに示すように、nMOSFETでは、ラダー(G1)15に、メタルゲート(G2)16と比較して仕事関数が高い金属を用いている。例えば、ラダー(G1)15にAu、メタルゲート(G2)16にTiNを用いると、仕事関数の差により、ラダー(G1)直下のSiの伝導帯が、メタルゲート(G2)16直下と比較してエネルギーが高くなるため、メタルゲート(G2)16下のチャンネル領域への電子の閉じ込めが、より強くなる。
- [0056] 図11Cに示すように、pMOSFETでは、ラダー(G1)15に、メタルゲート(G2)16と比較して仕事関数が小さい金属を用いている。例えば、ラダー(G1)15にアルミニウム(Al)、メタルゲート(G2)16にTiNを用いると、仕事関数の差によって、ラダー(G1)15直下のSiの価電子帯が、メタルゲート(G2)16直下と比較してエネルギーが低くなるため、メタルゲート(G2)16下のチャンネル領域への正孔の閉じ込めが、より強くなる効果が得られる。
- [0057] 図11Dは、ラダー15を絶縁体、例えばシリコン窒化膜などで形成したときのキャリアの閉じ込めを示す図である。この場合、絶縁体ラダー25の直下にかかる電界は、メタルゲート26直下のSiと比較して弱くなるため、バンドの曲がり小さくなる。これにより、チャンネル領域へのキャリアの閉じ込めがより強くなる。なお、バンドの曲がり、図1

1Dに示すように、絶縁膜(ラダー15)の膜厚によって、制御可能である。

- [0058] 図12は、図6の変形例を示す。図12では、ラダー25を、圧縮応力を与える金属で形成し、その後、引張応力を与える金属によりメタルゲート26を形成する。これにより、ラダー25直下のサブチャネル領域には、引張ひずみが印加されるため、上記の構造と同様の効果が得られる。
- [0059] この構造で、仕事関数の異なる金属を用いる場合、nMOSFETでは、ラダー(G1)25に、メタルゲート(G2)26と比較して仕事関数が小さい金属を用いる。pMOSFETでは、ラダー(G1)25に、メタルゲート(G2)26と比較して仕事関数が大きい金属を用いる。これにより、ラダー25直下のサブチャネル領域へのキャリアの閉じ込めがより強くなる効果が得られる。
- [0060] ラダーを導入するゲート構造において、ラダーの幅、またはスペースの幅を小さくすると、チャネル領域に印加されるひずみが大きくなり、バンドの変化が大きくなる。この結果、キャリアの閉じ込めも強くなる。ラダーの幅またはスペース幅を10nm程度以下に微細化すると、キャリアが非常に狭い領域に閉じ込められるため、量子効果が生じてくる。これにより、量子細線FETを実現することもできる。
- [0061] この場合、従来の量子細線のようにチャネル領域をエッチングする必要がないため、表面荒れによる散乱などを抑えることができる。したがって、さらなるFETの高速化につながる。
- [0062] 図13A～図13Kは、本発明の一実施形態による半導体装置の製造工程図である。まず、Si(100)基板31を用い、チャネル方向として<110>方向を使用する。この基板31に、従来のダマシメタルゲート製造プロセスで、ダミーゲート除去までを行う。具体的には、図13Aに示すように、Si基板31の所定の領域にウェル領域(不図示)を形成し、STIなどの素子分離領域(不図示)を形成する。その後、シリコン酸化膜32、ポリシリコン膜32、シリコン窒化膜34を順次形成する。Si酸化膜32は、たとえば熱酸化法により形成し、ポリシリコン膜33、シリコン窒化膜34は、それぞれCVD法により形成する。
- [0063] 次に、図13Bに示すように、通常のリソグラフィ法とエッチング法により、シリコン窒化膜34とポリシリコン膜33をパターニングして、ダミーゲート35を形成する。ダミーゲート

ト35をマスクとして、基板31に不純物を注入し、エクステンション36を形成する。

[0064] 次に、図13Cに示すように、サイドウォールスペーサ37を形成し、ダミーゲート35およびサイドウォールスペーサ37をマスクとして、高濃度に不純物を注入し、熱処理をして、ソース・ドレイン領域39を形成する。その後、エッチングストップ用のシリコン窒化膜38をCVD法により全面に堆積する。

[0065] 次に、図13Dに示すように、全面にシリコン酸化膜40をCVD法により堆積する。続いて、シリコン窒化膜38をストップとして、CMP法でSi酸化膜40を研磨し、平坦化する。

[0066] 次に、図13Eに示すように、ダミーゲート上のシリコン窒化膜38(34)と、ポリシリコン膜33を、それぞれ例えば熱燐酸およびヒドラジン溶液で除去する。さらに、犠牲ゲート絶縁膜としてのシリコン酸化膜32を、希フッ酸溶液で除去して、開口41を形成する。

[0067] 次に、図13Fに示すように、開口41内のシリコン基板31表面に、熱酸化法でゲート絶縁膜53を形成する。

[0068] 次に、図13Gに示すように、開口41内にラダー(G1)55を形成する。ラダー55は、例えばTiNを蒸着し、リフトオフまたはドライエッチングなどにより、パターニングする。ラダーの間隔(スペース幅)は効果的にひずみを印加するため100nm以下とすることが望ましい。また、ラダーのスペースの数は、1以上の任意の数である。ラダー55用のTiNは、無応力または引っ張り応力を与える応力膜となるように調節する。TiNの応力を調節する方法としては、たとえば、TiNの蒸着時に、ピエゾ素子などを使用して、基体に所定の励振周波数(たとえば100Hz)で縦振動を与え、かつ、その振幅を印加電圧で調整することによって、無応力から引張応力まで広い範囲で内部応力を調整することができる(詳細は特開2004—68058を参照されたい)。

[0069] 次に、図13Hに示すように、ラダー(G1)55を覆って、全面に金属膜56、例えば窒化チタン(TiN)56をスパッタリング法により堆積する。スパッタリング法により形成されるTiNには大きい圧縮応力が内在している。

[0070] 次に、図13Iに示すように、CMP法によりTiNスパッタリング膜56を研磨することにより、開口内にTiNラダー55とTiNメタルゲート56が残る。ラダー55と、ゲート電極と

してのメタルゲート56で、ゲート構造59を構成する。チャンネル領域には、TiNラダー55の引張応力と、スパッタリング法によるTiNメタルゲート56の圧縮応力により、チャンネル幅方向(電流と直交する方向)の引っ張りひずみを生じる。

[0071] 次に、図13Jに示すように、Si酸化膜40を、例えば緩衝フッ酸溶液などにより除去する)。

[0072] 最後に、図13Kに示すように、応力膜となるSi窒化膜60をCVD法とドライエッチングにより形成する。nMOSFETには引張応力膜を、pMOSFETには圧縮応力膜を選択的に形成する。以上より、主要な工程が終了し、この後、通常の配線工程等が行われ、半導体装置10が完成される。

[0073] なお、ラダー55を、TiNに代えて絶縁体で形成する場合も、同様の工程で製作が可能である。

[0074] (変形例1)

図12のように、ラダー25を、圧縮応力を与える材料で構成する場合は、図13A～図13Fと同様の工程でダミーゲートを除去し、ゲート絶縁膜53を形成する。その後、図13Gに対応する工程で、スパッタリング法によりTiNを堆積し、ドライエッチングによりラダー55を形成する。スパッタリング法によるTiNには、強い圧縮応力が内在している。

[0075] 次に、図13Hおよび図13Iに対応する工程で、Auを蒸着し、CMPで平坦化してメタルゲート56を形成する。蒸着によるAuには引張応力が内在している。この結果、チャンネル領域に電流と直交するチャンネル幅方向に引張ひずみを与えられる(図12参照)。以降の工程は、上述の工程と同様である。

[0076] (変形例2)

図11Bのように、nMOSFETとpMOSFETで、仕事関数の異なる金属を使用する場合は、図13A～図13Fまでの工程でダミーゲートを除去してゲート絶縁膜53を形成した後、図13Gに対応する工程で、ラダー55を形成する。図11Bの例では、nMOS、pMOSの双方で、ラダーにTiNを用い、メタルゲートの仕事関数をそれぞれ異ならせているが、nMOSとpMOSでラダーの仕事関数を異ならせ、メタルゲートを同じ材料で形成してもよい。



- [0077] たとえば、nMOSFET上にAuを蒸着し、リフトオフにより、ラダー55を選択的に堆積する。この時、蒸着によるAuには引張応力が内在している。一方、pMOSFET上にアルミニウム(Al)を蒸着し、リフトオフにより、仕事関数の異なるラダー55を形成する。この時、蒸着によるAlには弱い圧縮応力が内在している。
- [0078] 続いて、図13Hおよび図13Iに対応する工程で、スパッタリング法によりTiNを堆積し、CMP法により平坦化して、メタルゲート(電極本体)56を形成する。pMOSにおいて、Alゲートグリッド55の弱い圧縮応力は、TiNメタルゲート56の応力が大きいので、問題とはならない。その後、第1の実施形態と同様の工程を行うことにより、仕事関数を制御した半導体装置10が形成される。この手法では、キャリアの閉じ込めが強くなり、性能がさらに向上する。
- [0079] 上述のように、本発明の半導体装置の構成では、適切なひずみを2軸以上の方向に印加することにより、バンド制御を行い、1次元量子閉じ込め(量子細線)を実現している。これにより、Si-MOSFETの大幅な性能向上を実現できる。
- [0080] また、本発明の製造工程では、従来のSiプロセスの基本的な流れを維持したまま、量子細線MOSFETを実現できるので、プロセスの簡略化、設計時の自由度の向上などが期待できる。
- [0081] また、従来の量子細線のようにチャネル領域をエッチングすることがないので、表面荒れによる散乱などを抑えることが可能となり、さらなるFETの高速化につながる。
- [0082] 面内の2軸方向で独立してひずみ制御が可能なSi量子細線MOSFETの実現により、従来の化合物半導体を利用した量子細線やSiGe/Si高電子移動度トランジスタ(HEMT)と比較して大幅なコストダウンにつながると考えられる。

## 請求の範囲

- [1] シリコン基板と、  
前記シリコン基板上にゲート絶縁膜を介して位置するゲート電極と、  
前記ゲート絶縁膜とゲート電極の間に位置し、前記ゲート電極直下のチャンネル領域に流れる電流の方向と直交する方向に配列され、前記ゲート電極と異なる応力が内在するラダーと、  
を備えることを特徴とする半導体装置。
- [2] 前記ラダーには、圧縮応力が内在し、  
前記ゲート電極には、前記ラダーの圧縮応力よりも小さい圧縮応力または引張応力が内在する  
ことを特徴とする請求項1に記載の半導体装置。
- [3] 前記ラダーには、引張応力が内在し、  
前記ゲート電極には、前記ラダーの引張応力よりも小さい引張応力または圧縮応力が内在する  
ことを特徴とする請求項1に記載の半導体装置。
- [4] 前記チャンネル領域は、n型チャンネルを構成し、前記ラダーの仕事関数が、前記ゲート電極の仕事関数よりも大きいことを特徴とする請求項1に記載の半導体装置。
- [5] 前記チャンネル領域は、p型チャンネルを構成し、前記ラダーの仕事関数が、前記ゲート電極の仕事関数よりも小さいことを特徴とする請求項1に記載の半導体装置。
- [6] 前記ラダーを構成するストライプの幅またはストライプ間のスペースは、100nm以下であることを特徴とする請求項1に記載の半導体装置。
- [7] 前記ラダーは、金属で構成されることを特徴とする請求項1～3のいずれかに記載の半導体装置。
- [8] 前記ラダーは、絶縁膜で構成されることを特徴とする請求項1～3のいずれかに記載の半導体装置。
- [9] 前記ゲート電極を覆って位置し、前記チャンネル領域に、前記電流の流れる方向と平行な方向にひずみを与える応力膜  
をさらに有することを特徴とする請求項1に記載の半導体装置。

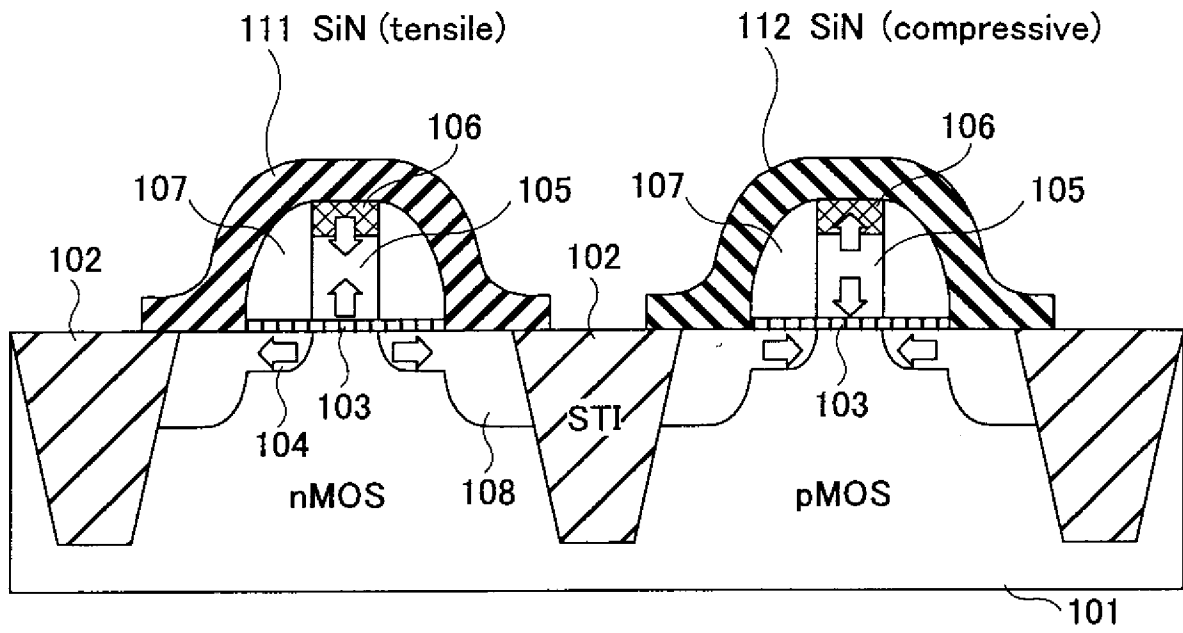
- [10] 前記ゲート電極を挟むソース・ドレイン領域に位置し、前記チャンネル領域に、前記電流の流れる方向と平行な方向にひずみを与えるひずみ印加層をさらに有することを特徴とする請求項1または9に記載の半導体装置。
- [11] シリコン基板上に、側壁がサイドウォールスペーサで覆われたダミー電極を形成し、前記ダミー電極を除去してサイドウォールスペーサ間に開口を形成し、前記開口内に、第1の方向に延びるラダーを形成し、前記開口内に、前記ラダーと異なる応力を有する材料で、前記ラダーを覆うゲート電極を形成する工程を含むことを特徴とする半導体装置の製造方法。
- [12] 前記ゲート電極およびサイドウォールスペーサを覆って、前記ゲート電極直下のシリコン基板表面領域に、前記第1の方向と直交する方向のひずみを与える応力膜を形成する工程をさらに含むことを特徴とする請求項11に記載の半導体装置の製造方法。
- [13] 前記ラダーの形成は、前記開口内に、金属をスパッタリングで堆積し、所定の間隔のラダー形状にパターニングして形成する工程を含み、前記ゲート電極を、金属の蒸着により形成することを特徴とする請求項11に記載の半導体装置。
- [14] 前記ラダーの形成は、前記開口内に、金属を蒸着し、所定の間隔のラダー形状にパターニングして形成する工程を含み、前記ゲート電極を、前記開口内に金属をスパッタリングして形成することを特徴とする請求項11に記載の半導体装置。
- [15] 前記ラダーは、前記開口内に絶縁膜をスパッタリングで形成し、所定の間隔のラダー形状にパターニングして形成する工程を含み、前記ゲート電極を、金属の蒸着により形成することを特徴とする請求項11に記載の半導体装置。
- [16] 前記ダミーゲートおよびサイドウォールスペーサをマスクとして、前記シリコン基板にn型の不純物を注入する工程をさらに含み、前記ラダーを、前記ゲート電極の仕事関数よりも大きい仕事関数を有する材料で形

成することを特徴とする請求項11に記載の半導体装置。

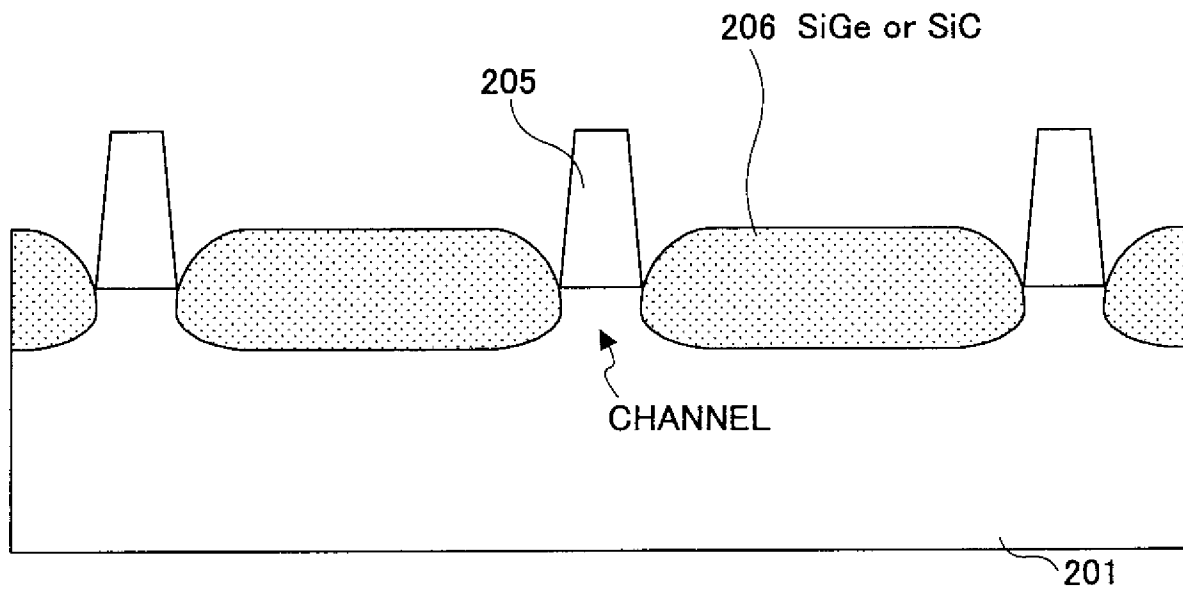
[17] 前記ダミーゲートおよびサイドウォールスペーサをマスクとして、前記シリコン基板にp型の不純物を注入する工程をさらに含み、

前記ラダーを、前記ゲート電極の仕事関数よりも小さい仕事関数を有する材料で形成することを特徴とする請求項11に記載の半導体装置。

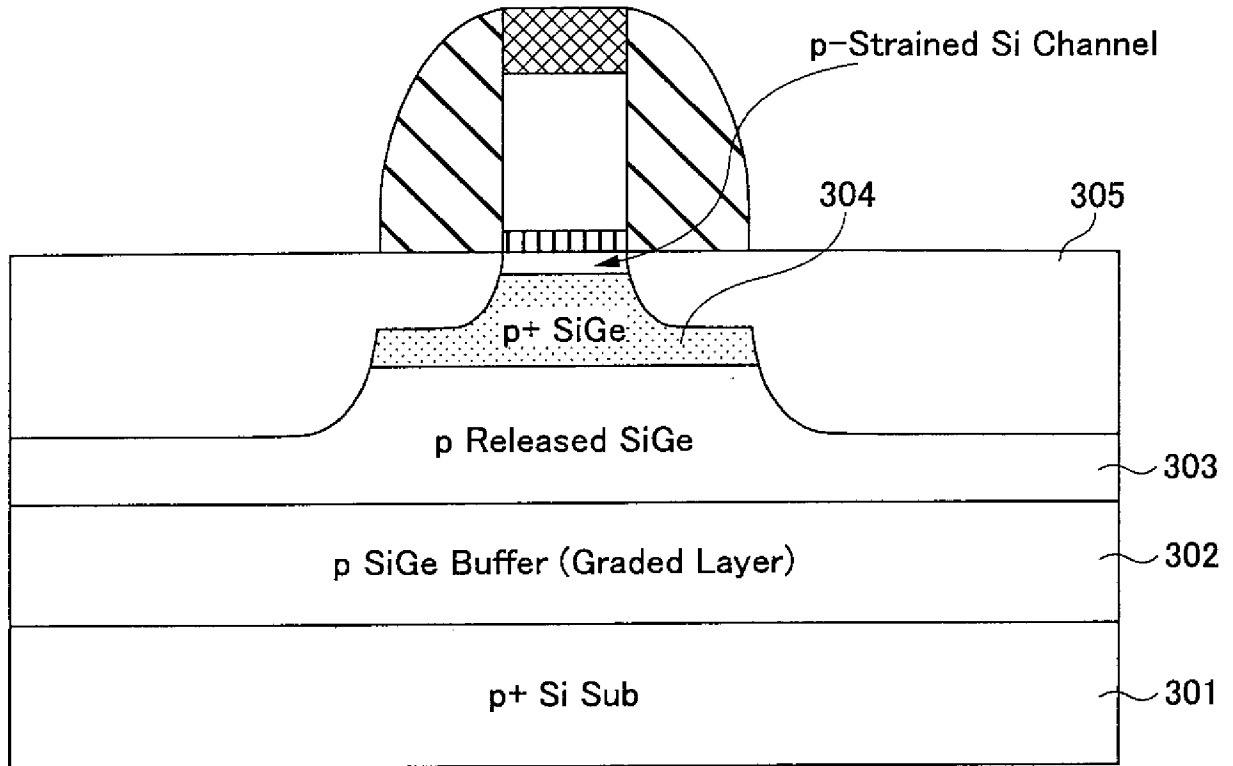
[図1]



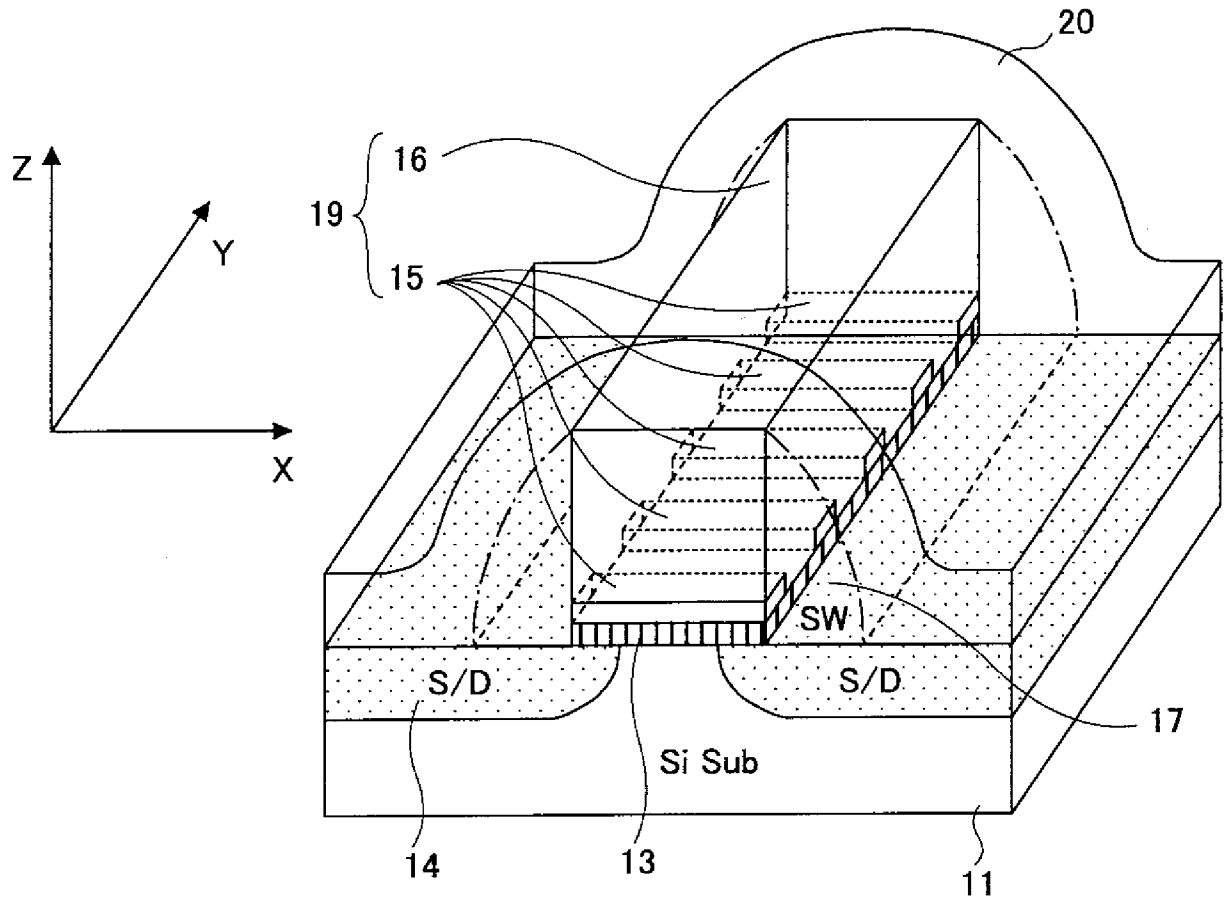
[図2]



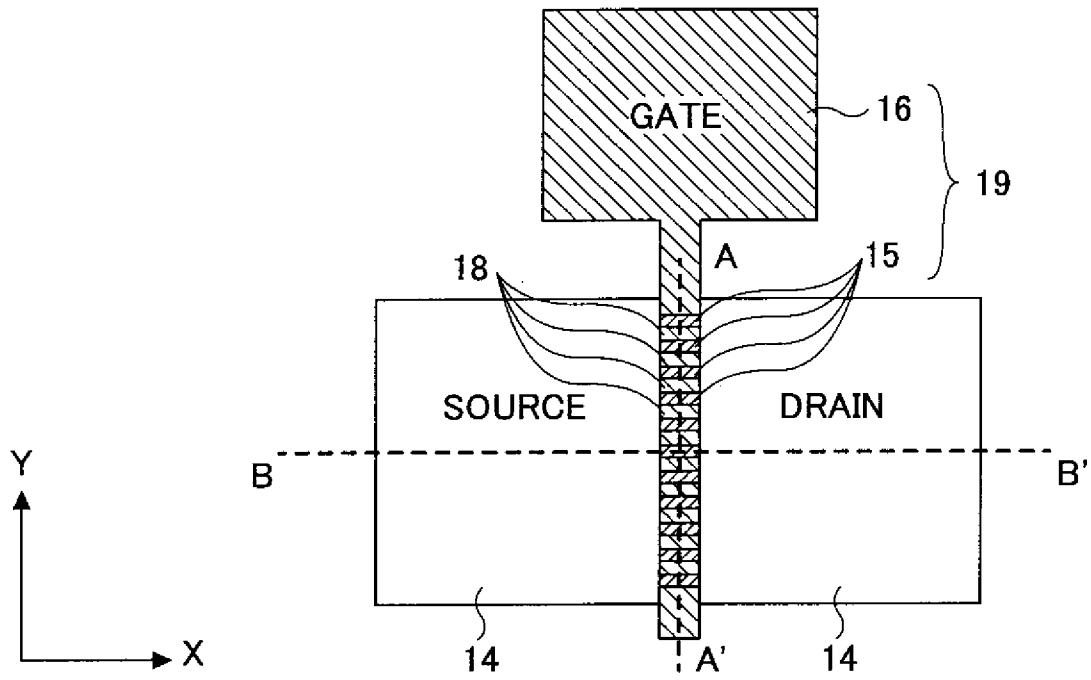
[図3]



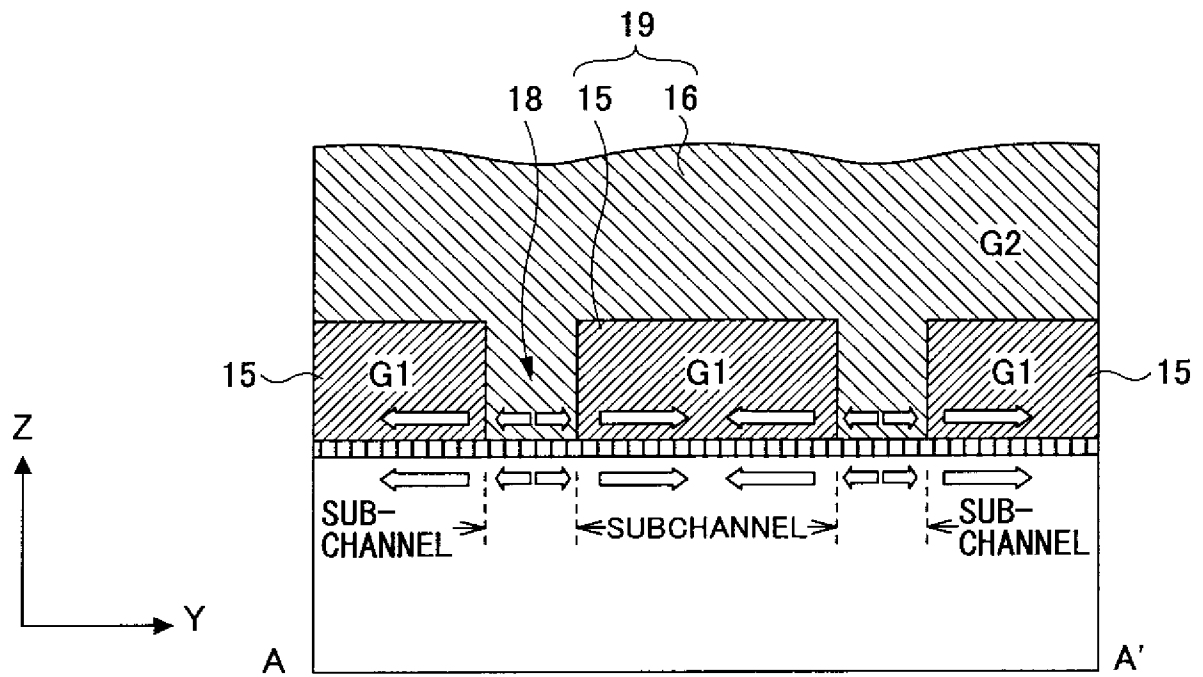
[図4]



[図5]

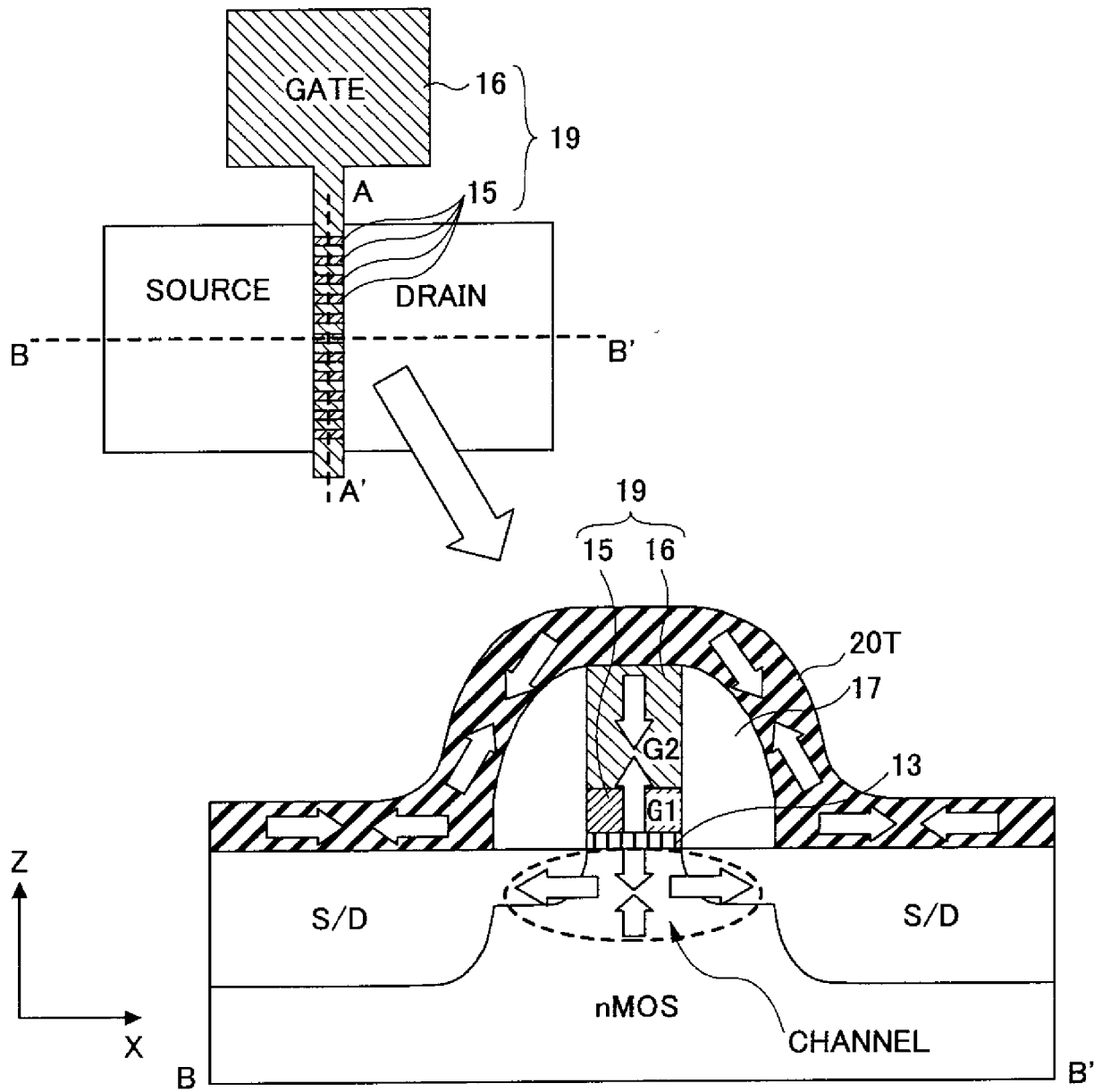


[図6]

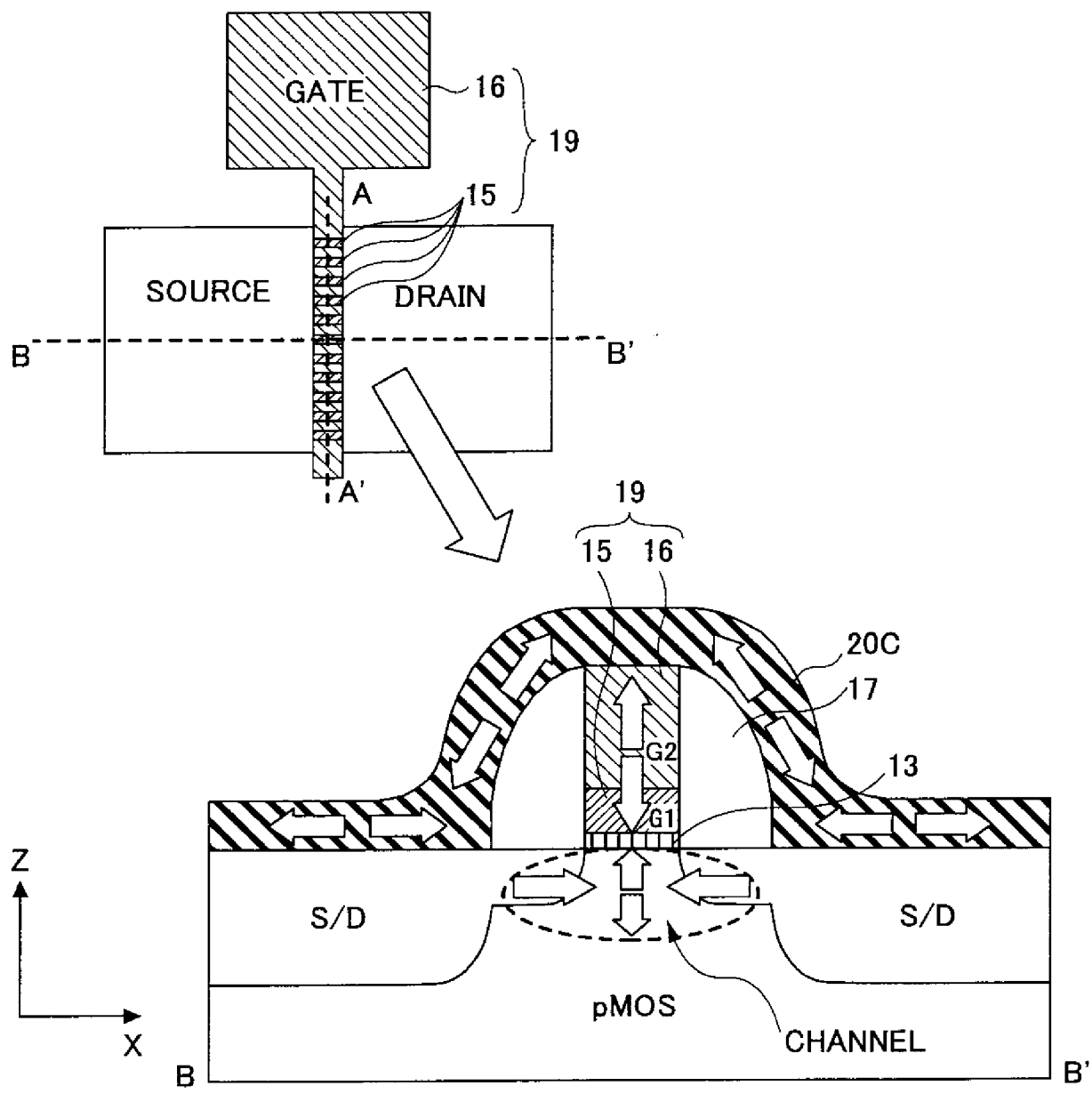




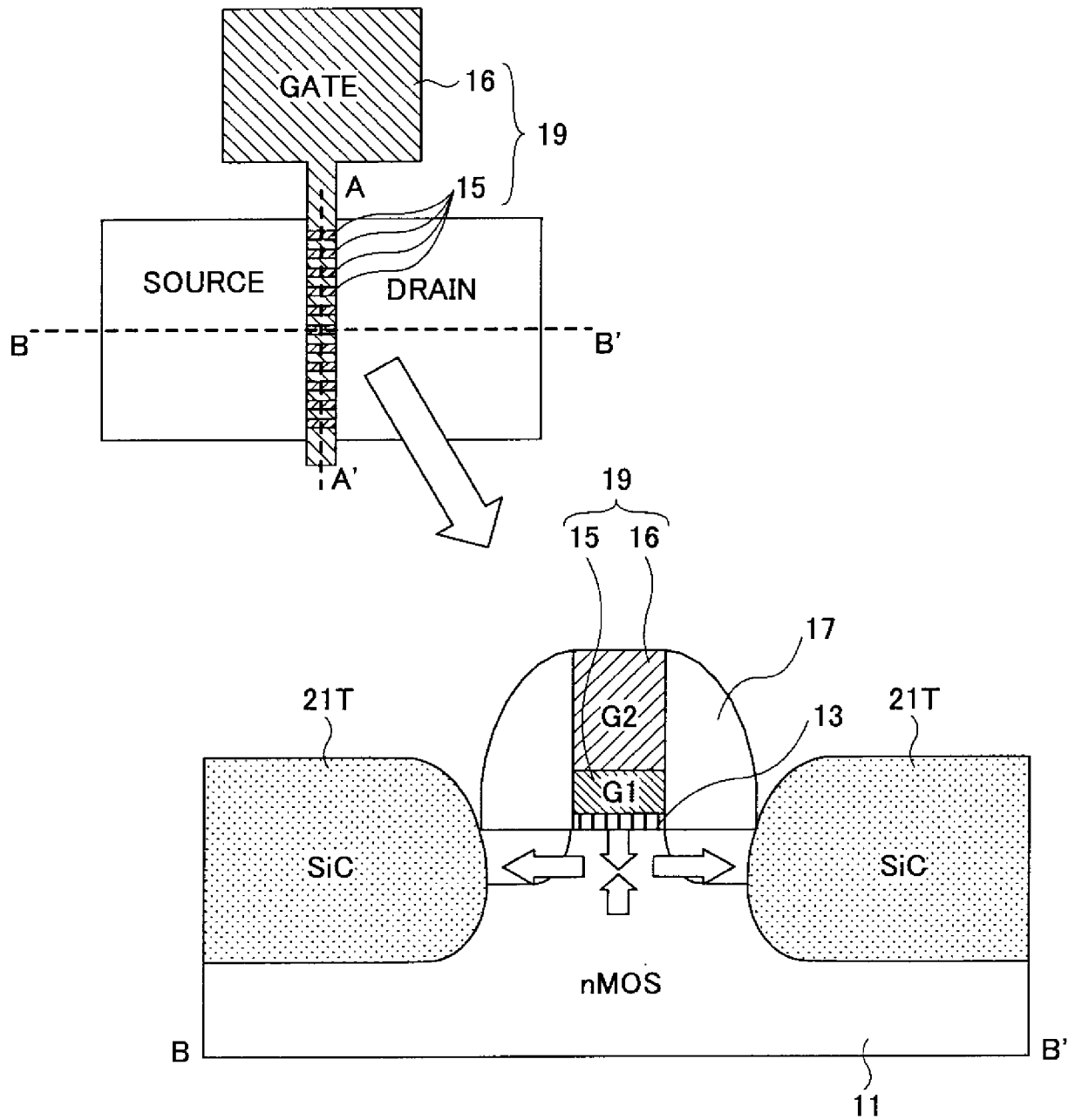
[図7]



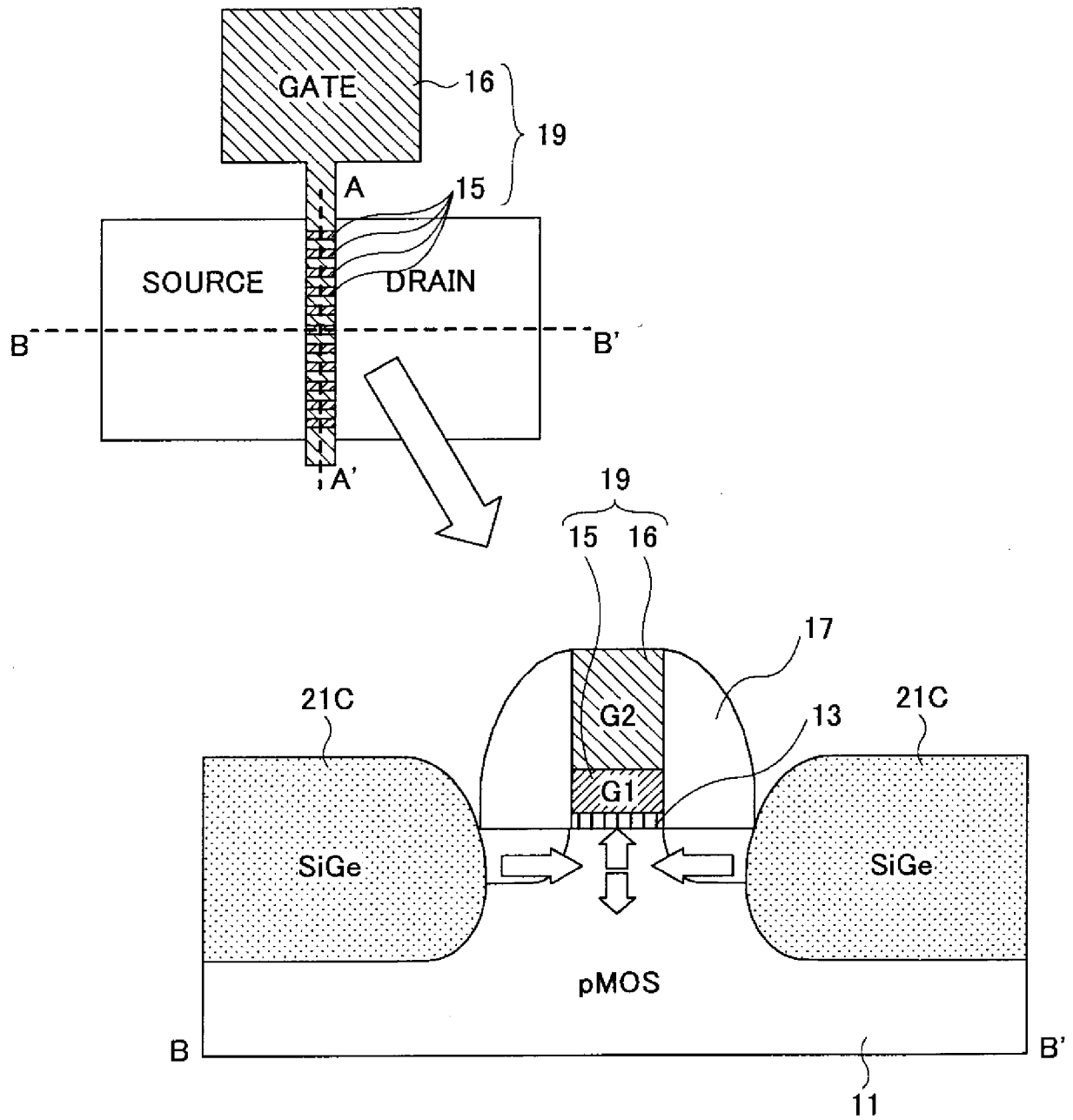
[図8]



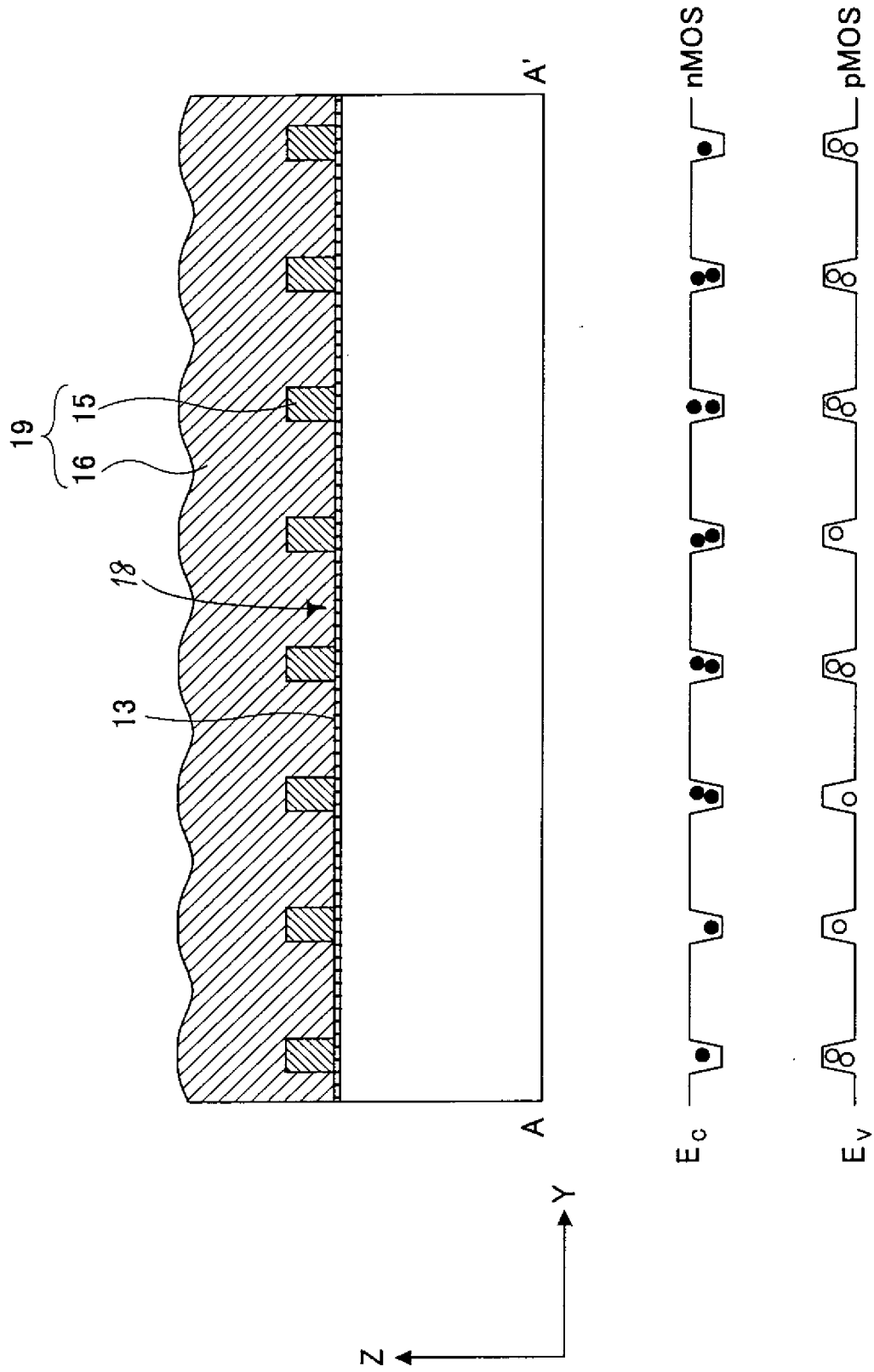
[図9]



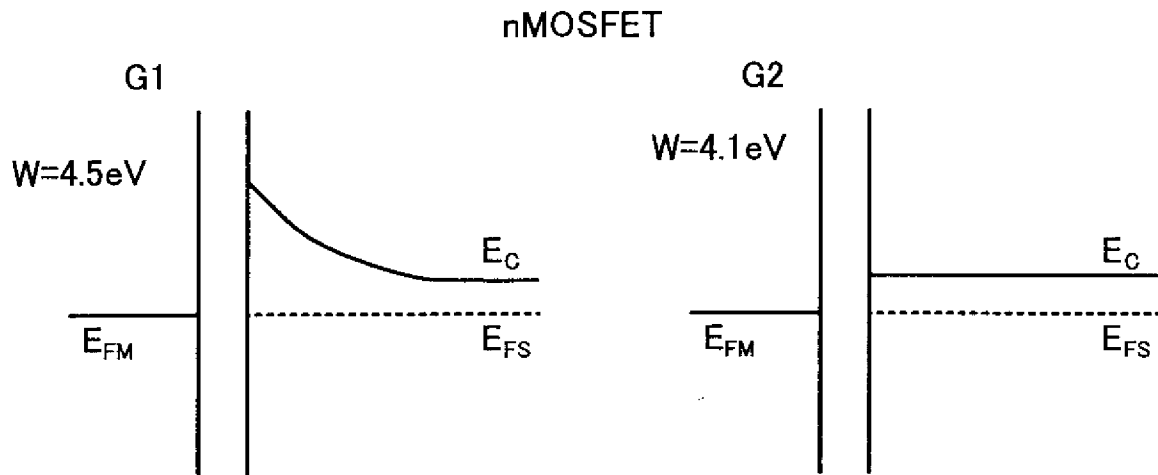
[図10]



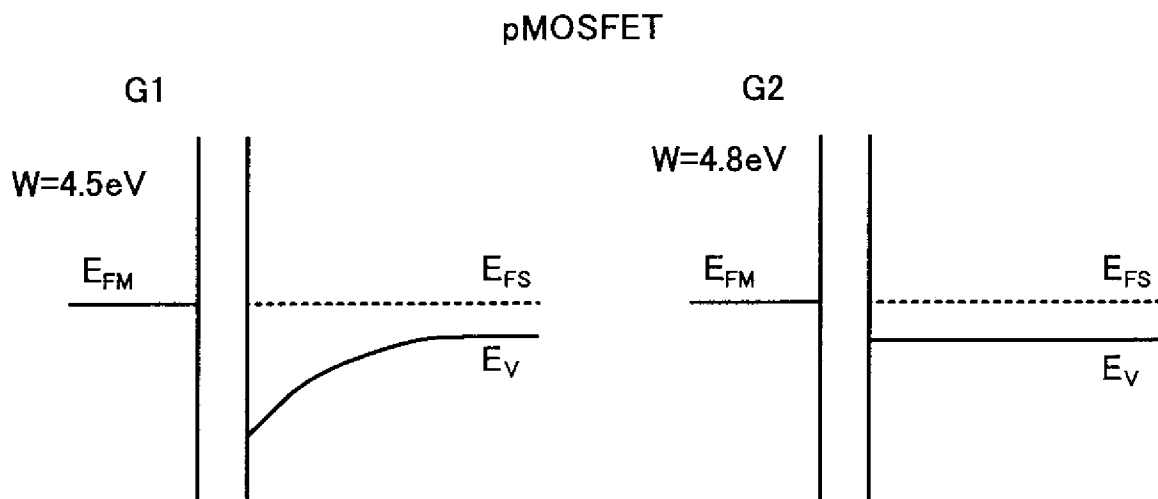
[図11A]



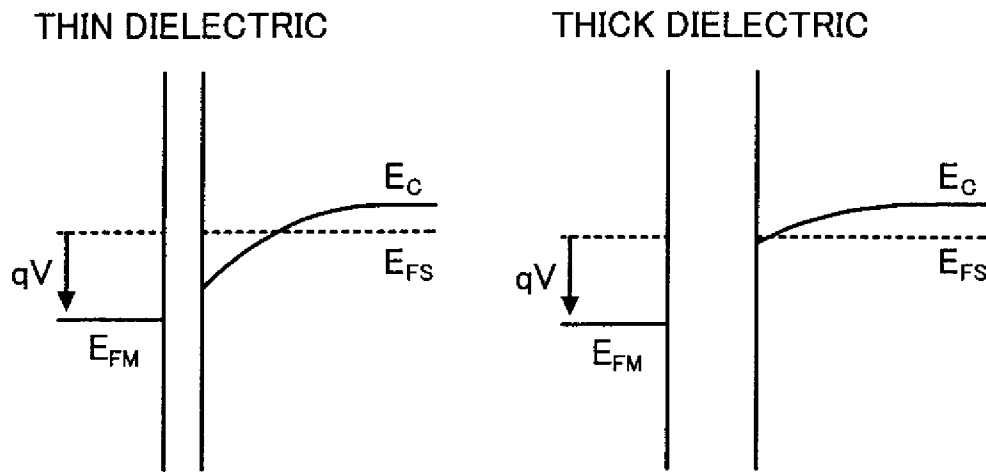
[図11B]



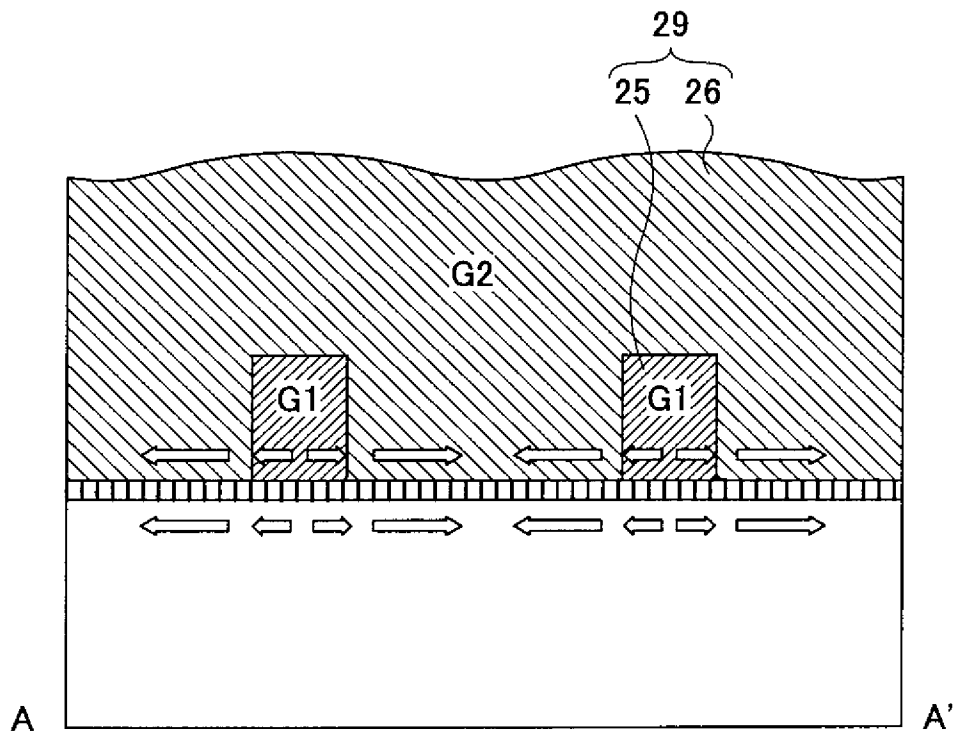
[図11C]



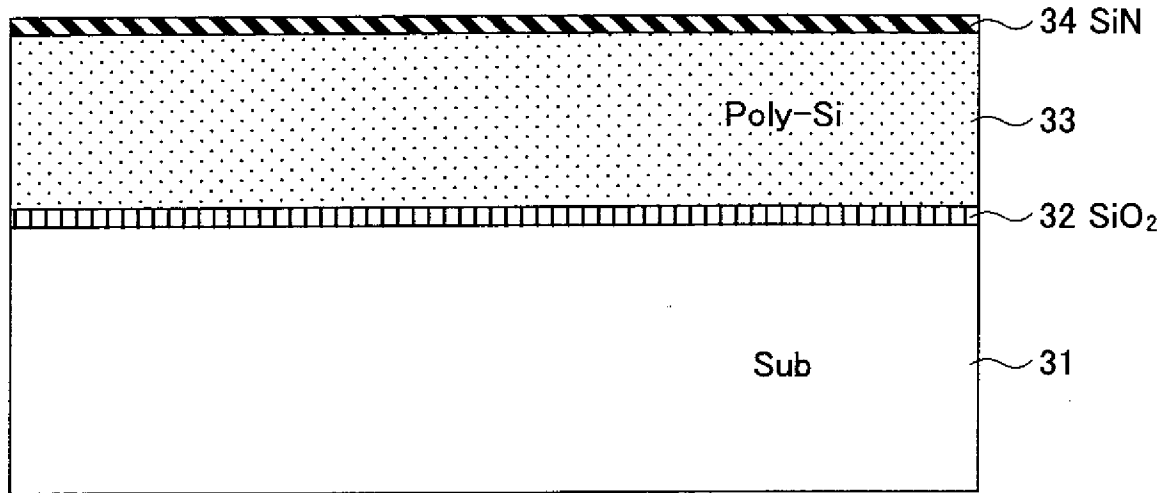
[図11D]



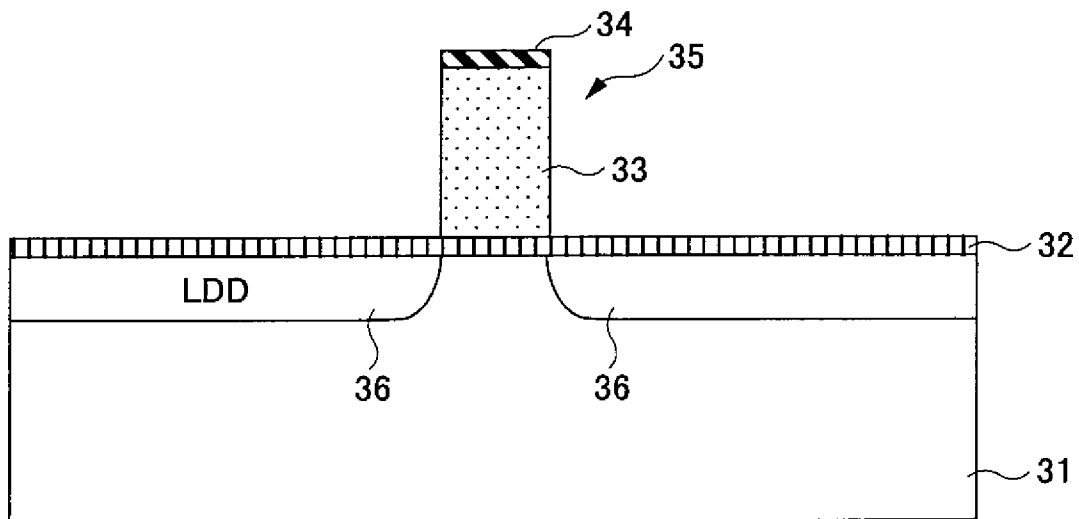
[図12]



[図13A]

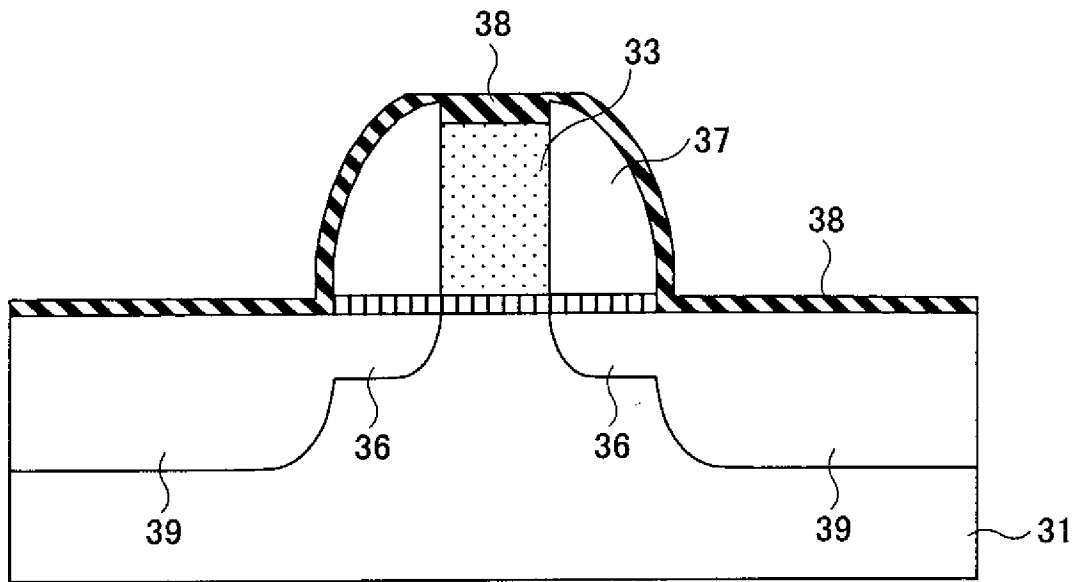


[図13B]

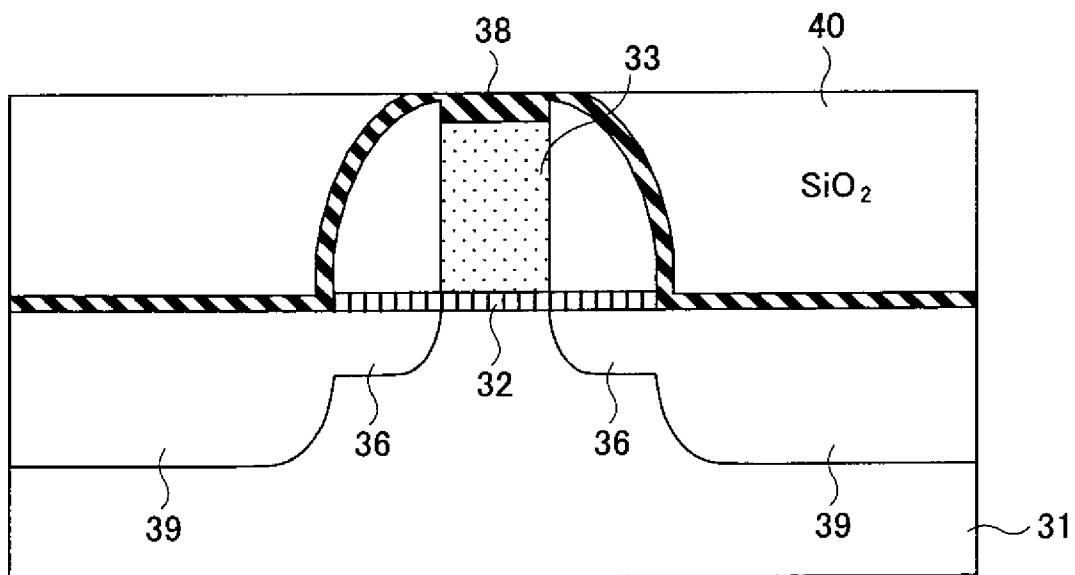




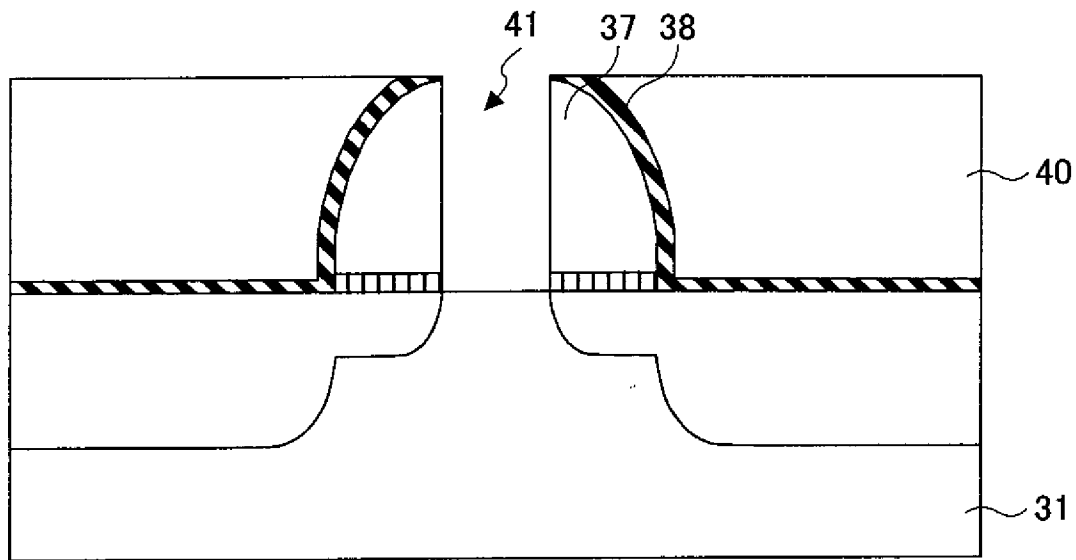
[図13C]



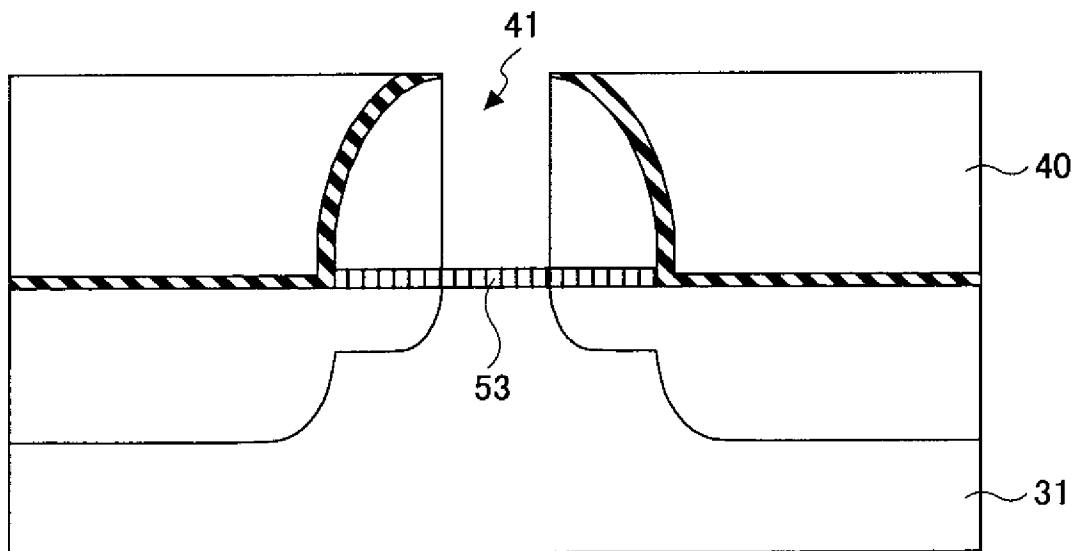
[図13D]



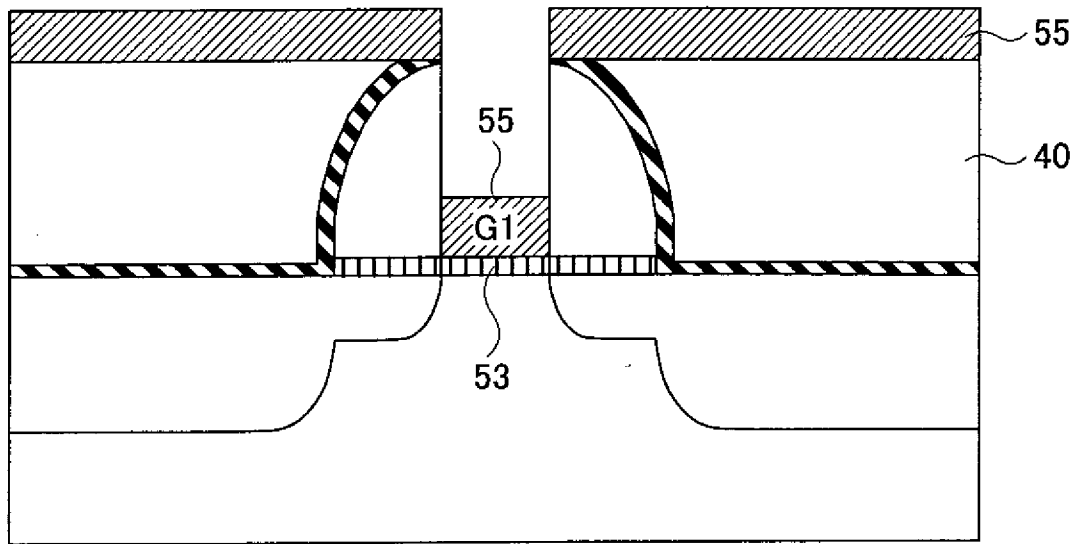
[図13E]



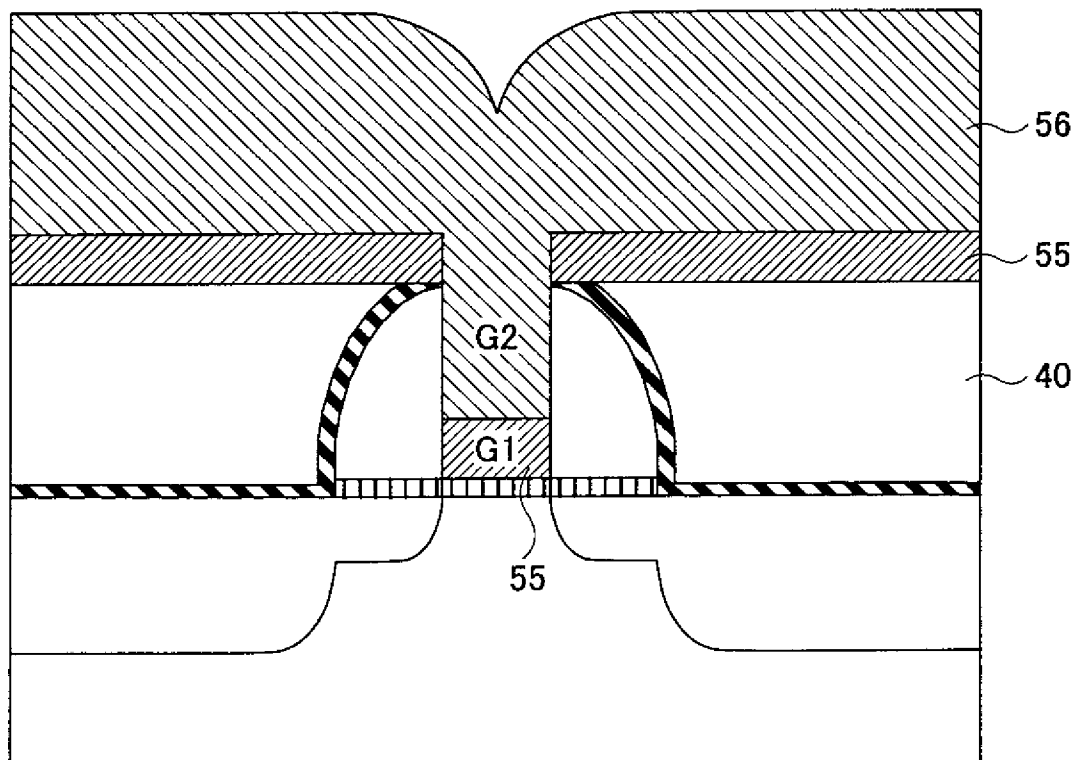
[図13F]



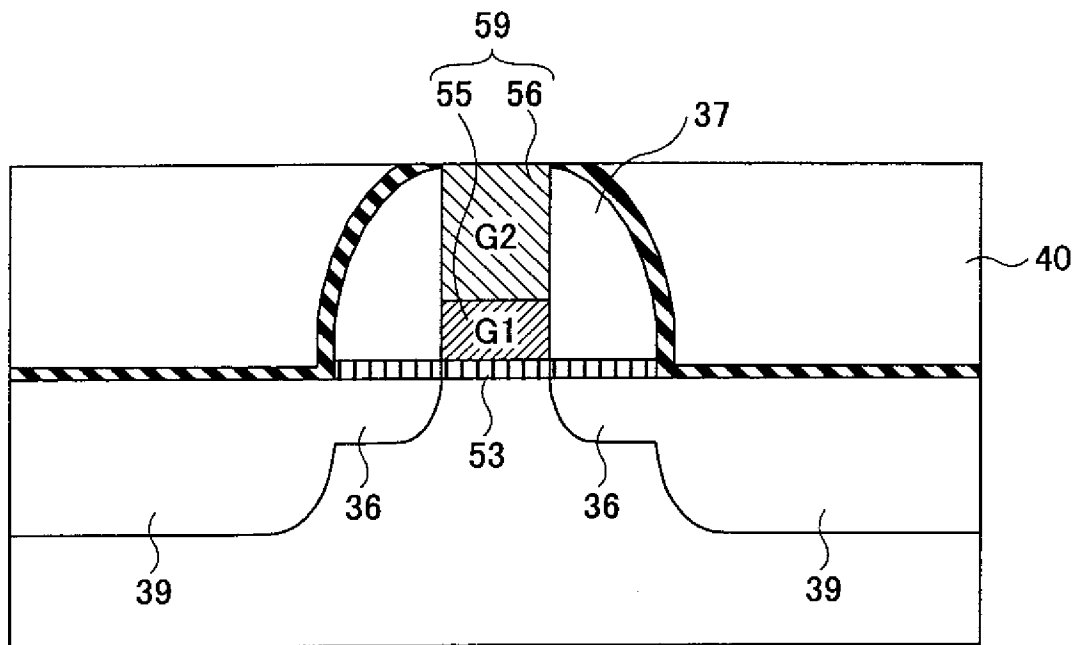
[図13G]



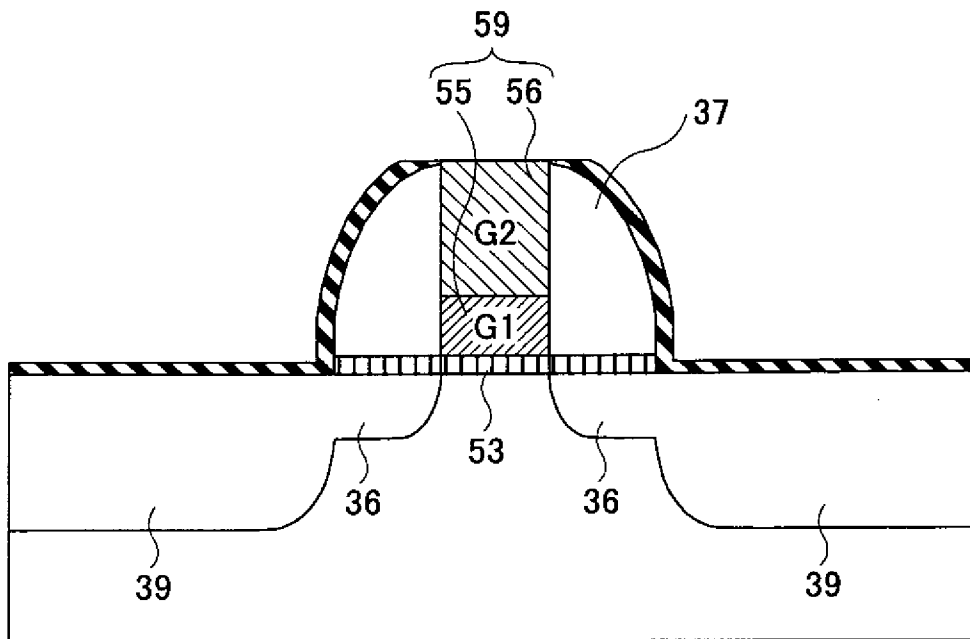
[図13H]



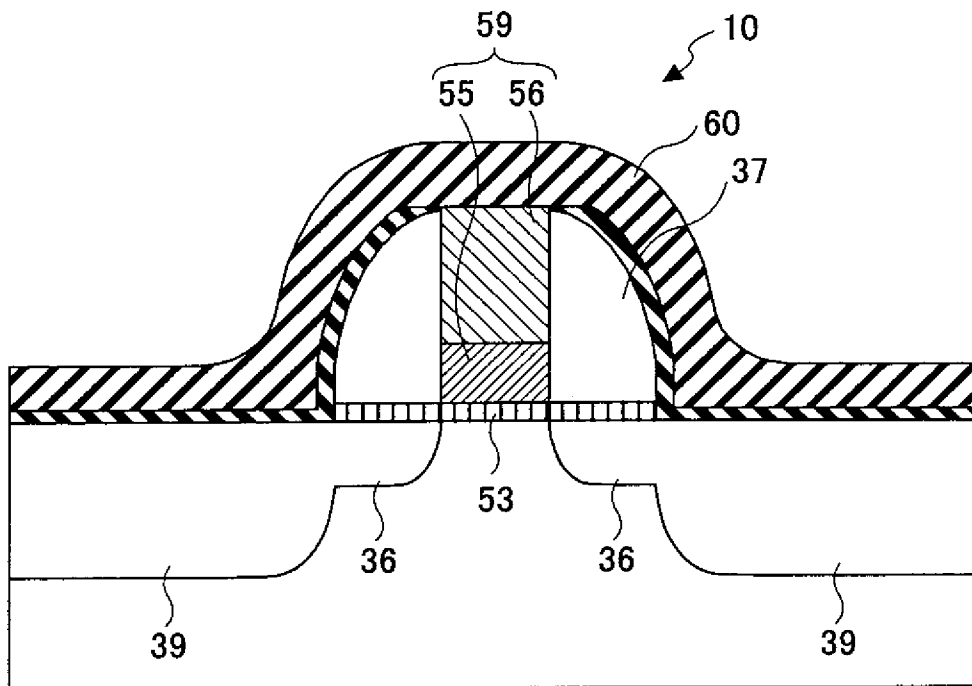
[図13]



[図13]



[図13K]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/319146

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 07-202178 A (Toshiba Corp.), 04 August, 1995 (04.08.95), Par. No. [0139]; Fig. 12 (Family: none)	1
X	JP 11-026765 A (NEC Corp.), 29 January, 1999 (29.01.99), Par. Nos. [0042] to [0099]; Figs. 1 to 14 (Family: none)	1, 4-7, 11
A	JP 2006-253318 A (Fujitsu Ltd.), 21 September, 2006 (21.09.06), Full text (Family: none)	1-17

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
14 December, 2006 (14.12.06)

Date of mailing of the international search report  
26 December, 2006 (26.12.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 07-202178 A (株式会社東芝) 1995.08.04, 段落【0139】、図12 (ファミリーなし)	1	
X	JP 11-026765 A (日本電気株式会社) 1999.01.29, 段落【0042】-【0099】、図1-14 (ファミリーなし)	1, 4-7, 11	
A	JP 2006-253318 A (富士通株式会社) 2006.09.21, 全文 (ファミリーなし)	1-17	
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 14.12.2006		国際調査報告の発送日 26.12.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 河本 充雄	4M 3349
		電話番号 03-3581-1101	内線 3462