

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6677449号  
(P6677449)

(45) 発行日 令和2年4月8日(2020.4.8)

(24) 登録日 令和2年3月17日(2020.3.17)

(51) Int.Cl.	F I
HO3K 19/17736 (2020.01)	HO3K 19/177 136
HO1L 21/822 (2006.01)	HO1L 27/04 D
HO1L 27/04 (2006.01)	HO1L 21/82 A
HO1L 21/82 (2006.01)	

請求項の数 3 (全 42 頁)

(21) 出願番号 特願2015-45474 (P2015-45474)	(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日 平成27年3月9日(2015.3.9)	
(65) 公開番号 特開2015-188213 (P2015-188213A)	(72) 発明者 岡本 佑樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日 平成27年10月29日(2015.10.29)	
審査請求日 平成30年3月6日(2018.3.6)	(72) 発明者 黒川 義元 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号 特願2014-50500 (P2014-50500)	
(32) 優先日 平成26年3月13日(2014.3.13)	
(33) 優先権主張国・地域又は機関 日本国(JP)	審査官 小林 正明
(31) 優先権主張番号 特願2014-51645 (P2014-51645)	
(32) 優先日 平成26年3月14日(2014.3.14)	
(33) 優先権主張国・地域又は機関 日本国(JP)	

最終頁に続く

(54) 【発明の名称】 半導体装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第1の配線と、を有し、

前記第1の回路は、第2の回路と、第3の回路と、を有し、

前記第2の回路は、第1乃至第3のトランジスタと、第1の容量素子と、を有し、

前記第3の回路は、第4乃至第6のトランジスタと、第2の容量素子と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方

10

20

の電極及び前記第5のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電氣的に接続され、

前記第1の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有し、

前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1のコンフィギュレーションデータを格納することができる機能を有し、

前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第2のコンフィギュレーションデータを格納することができる機能を有する半導体装置の駆動方法であって、

前記第2の回路に格納されている前記第1のコンフィギュレーションデータに基づいて、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1の期間を有し、

前記第1の期間において、前記第3の回路に前記第2のコンフィギュレーションデータを書き込む第2の期間を有し、

前記第2の期間において、前記第6のトランジスタを非導通状態とするとともに、前記第4のトランジスタを導通状態とする第3の期間を有し、

前記第3の期間において、前記第5のトランジスタのソースまたはドレインの一方に低レベルの信号を入力するとともに、前記第1の配線を介して前記第4のトランジスタのソースまたはドレインの一方に高レベルの信号を入力し、

前記第3の期間において、前記第2のロジックエレメントに入力されるクロック信号の供給を止め、

前記第3の期間の後、前記第3の回路に前記第2のコンフィギュレーションデータを書き込みを行い、

前記第3の期間の後、クロック信号の供給を再開する半導体装置の駆動方法。

#### 【請求項2】

請求項1において、

前記第1のロジックエレメントは、ルックアップテーブルと、レジスタと、AND回路と、を有し、

前記AND回路は、第1の入力端子と、第2の入力端子と、を有し、

前記レジスタには、前記ルックアップテーブルからの出力信号が入力され、

前記第1の入力端子には、前記レジスタからの出力信号が入力され、

前記第3の期間において、前記第2の入力端子には、低レベルの信号が入力される半導体装置の駆動方法。

#### 【請求項3】

第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第4の回路と、第1の配線と、第2の配線と、を有し、

前記第1の回路は、第2の回路と、第3の回路と、を有し、

前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量素子と、を有し、

前記第3の回路は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の容量素子と、を有し、

前記第4の回路は、第7のトランジスタと、インバータと、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

10

20

30

40

50

前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電氣的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第4の回路と電氣的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、

10

前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電氣的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第4の回路と電氣的に接続され、

前記第4の回路は、前記第2のロジックエレメントと電氣的に接続され、

前記第7のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのソースまたはドレインの他方、前記第6のトランジスタのソースまたはドレインの他方、及び前記インバータの入力端子と電氣的に接続され、

20

前記第7のトランジスタのソースまたはドレインの他方は、前記第2の配線と電氣的に接続され、

前記第7のトランジスタのゲートは、前記インバータの出力端子と電氣的に接続され、

前記インバータの入力端子は、前記第2のロジックエレメントと電氣的に接続され、

前記第1の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有し

前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1のコンフィギュレーションデータを格納することができる機能を有し、

30

前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第2のコンフィギュレーションデータを格納することができる機能を有する半導体装置の駆動方法であって、

前記第2の回路に格納されている前記第1のコンフィギュレーションデータに基づいて、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1の期間を有し、

前記第1の期間において、前記第3の回路に前記第2のコンフィギュレーションデータを書き込む第2の期間を有し、

前記第2の期間において、前記第6のトランジスタを非導通状態とするとともに、前記第4のトランジスタを導通状態とする第3の期間を有し、

40

前記第3の期間において、前記第5のトランジスタのソースまたはドレインの一方に低レベルの信号を入力するとともに、前記第1の配線を介して前記第4のトランジスタのソースまたはドレインの一方に高レベルの信号を入力し、

前記第3の期間において、前記第2のロジックエレメントに入力されるクロック信号の供給を止め、

前記第3の期間の後、前記第3の回路に前記第2のコンフィギュレーションデータの書き込みを行い、

前記第3の期間の後、クロック信号の供給を再開する半導体装置の駆動方法。

【発明の詳細な説明】

50

**【技術分野】****【0001】**

本明細書や図面等で開示する発明の一態様における技術分野は、物、方法、または、製造方法である。または、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）である。具体的には、半導体装置及びその駆動方法である。さらに具体的には、プログラマブルロジックデバイス及びその駆動方法である。

**【背景技術】****【0002】**

ASIC (Application Specific Integrated Circuit) は、製造時に全ての回路が固定されてしまう回路であるのに対し、プログラマブルロジックデバイス (Programmable Logic Device: 以下、本明細書において「PLD」と呼ぶことがある。) は、出荷後にユーザが所望の回路構成を設定し、機能させることができるデバイスである。なお、本明細書において説明する PLD は、論理規模が小さい SPLD (Simple PLD)、論理規模が中程度の CPLD (Complex PLD)、論理規模が大きい FPGA (Field Programmable Gate Array) を全て範疇に含むものとする。

10

**【0003】**

一般的に、PLD は、アレイ状の複数のロジックエレメント (Logic Element: 以下、本明細書において「LE」と呼ぶことがある。) と、LE 間の導通状態を制御する回路 (スイッチ) と、を有する。LE 各々の機能を変更することで、PLD の機能を変更することができる。また、LE 間の導通状態を制御する回路によって LE 間の接続を変更することでも、PLD の機能を変更することができる。

20

**【0004】**

LE 間の導通状態を制御する回路は、コンフィギュレーションデータを格納することができるコンフィギュレーションメモリを搭載している。

**【0005】**

PLD として、複数の組のコンフィギュレーションデータを格納することができるコンフィギュレーションメモリを搭載し、PLD の動作中にコンフィギュレーションデータを別の組に切り替える、所謂マルチコンテキスト方式の機能を有する PLD が知られている。マルチコンテキスト方式の機能を有する PLD は、選択されたコンフィギュレーションデータに応じた動作を行なうが、当該動作の間に、非選択のコンフィギュレーションデータを書き換える、所謂、動的再構成が可能という特徴を有する。下記の特許文献 1 には、動的再構成が可能な PLD が開示されている。

30

**【先行技術文献】****【特許文献】****【0006】**

**【特許文献 1】** 特開 2013 - 251894 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0007】**

特許文献 1 では、コンフィギュレーションメモリを少ないトランジスタ数で構成する不揮発性メモリにより形成し、コンフィギュレーションメモリの配置面積を削減した PLD について開示されているが、PLD の動作遅延を抑制した PLD については十分な開示がなされていない。

40

**【0008】**

上述したような技術的背景のもと、本発明の一態様は、新規の半導体装置の駆動方法を提供することを課題とする。または、新規の半導体装置の駆動方法を可能とする、新規の半導体装置を提供することを課題とする。より具体的には、PLD における動作遅延を抑制する駆動方法の提供を課題とする。または、PLD における動作遅延の抑制を可能とする、新規の PLD を提供することを課題とする。

50

## 【0009】

また、本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお、他の課題とは、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書または図面などの記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、および他の課題の少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した記載、および他の課題について、全ての課題を解決する必要はない。

## 【0010】

また、本発明の一態様の課題は、下記列挙する構成とは異なる構成（例えば、後述する実施の形態に記載された構成）で解決できる場合もある。従って、本発明は、下記列挙する構成を必ずしも含まなくてよい。

## 【課題を解決するための手段】

## 【0011】

本発明の一態様は、動的再構成を行うことが可能な半導体装置の新規の駆動方法である。

## 【0012】

具体的には、本発明の一態様は、動的再構成を行う期間において、LE間の導通状態を制御する回路に入力される信号（すなわち、LEの出力信号）を強制的に低レベル（以下、ローレベル、Low、“L”レベルという場合がある）とするとともに、書き換え対象となるコンフィギュレーションメモリに高レベル（以下、ハイレベル、High、“H”レベルという場合がある）の信号を書き込む期間を設ける。その後、強制的に“L”レベルとしていたLEの出力信号を解除し、書き換え対象となるコンフィギュレーションメモリに所望のデータを書き込んで、コンフィギュレーションを完了させる。

## 【0013】

なお、本明細書において、LE間の導通状態を制御する回路の入力信号が“L”レベルのときに、書き換え対象となるコンフィギュレーションメモリに“H”レベルの信号を書き込むことを、「好条件のコンフィギュレーションを行う」と呼ぶことがある。

## 【0014】

また、「好条件のコンフィギュレーション」と対をなすものとして、LE間の導通状態を制御する回路の入力信号が“H”レベルのときに、書き換え対象となるコンフィギュレーションメモリに“H”レベルの信号を書き込むことを、「悪条件のコンフィギュレーションを行う」と呼ぶことがある。

## 【0015】

本発明の一態様に係る半導体装置の駆動方法は、第1のロジックエレメントと、第2のロジックエレメントと、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有する第1の回路と、を有し、前記第1の回路は、第2の回路と、第3の回路と、を有し、前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量素子と、を有し、前記第1のトランジスタのソースまたはドレインの一方は、第1の配線と電気的に接続され、前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、前記第3のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、前記第1のトランジスタは、チャンネル形成領域に酸化半導体を含み、前記第3の回路は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の容量素子と、を有し、前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及

10

20

30

40

50

び前記第5のトランジスタのゲートと電氣的に接続され、前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電氣的に接続され、前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、前記第6のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電氣的に接続され、前記第4のトランジスタは、チャンネル形成領域に酸化物半導体を含み、前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御するコンフィギュレーションデータを格納することができる機能を有し、前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御するコンフィギュレーションデータを格納することができる機能を有する半導体装置の駆動方法である。そして、前記第2の回路に格納されているコンフィギュレーションデータに基づいて、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1の期間を有し、前記第1の期間において、前記第3の回路にコンフィギュレーションデータを書き込む第2の期間を有し、前記第2の期間において、前記第6のトランジスタを非導通状態とするとともに、前記第4のトランジスタを導通状態とする第3の期間を有し、前記第3の期間において、前記第5のトランジスタのソースまたはドレインの一方にLの信号を入力するとともに、前記第1の配線を介して前記第4のトランジスタのソースまたはドレインの一方にHの信号を入力し、前記第3の期間において、第1のロジックエレメントに入力されるクロック信号の供給を止めることを特徴とする。

10

## 【0016】

20

また、本発明の一態様に係る半導体装置の駆動方法において、前記第1のロジックエレメントは、ルックアップテーブルと、レジスタと、AND回路と、を有し、前記AND回路は、第1の入力端子と、第2の入力端子と、を有し、前記レジスタは、前記ルックアップテーブルからの出力信号が入力され、前記第1の入力端子は、前記レジスタからの出力信号が入力され、前記第3の期間において、前記第2の入力端子にLの信号を入力することを特徴とする。

## 【0017】

また、本発明の一態様に係る半導体装置の駆動方法は、第1のロジックエレメントと、第2のロジックエレメントと、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有する第1の回路と、第4の回路と、を有し、前記第1の回路は、第2の回路と、第3の回路と、を有し、前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量素子と、を有し、前記第1のトランジスタのソースまたはドレインの一方は、第1の配線と電氣的に接続され、前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電氣的に接続され、前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電氣的に接続され、前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、前記第3のトランジスタのソースまたはドレインの他方は、前記第4の回路と電氣的に接続され、前記第1のトランジスタは、チャンネル形成領域に酸化物半導体を含み、前記第3の回路は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の容量素子と、を有し、前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電氣的に接続され、前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電氣的に接続され、前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、前記第6のトランジスタのソースまたはドレインの他方は、前記第4の回路と電氣的に接続され、前記第4のトランジスタは、チャンネル形成領域に酸化物半導体を含み、前記第4の回路は、前記第2のロジックエレメントと電氣的に接続され、前記第4の回路は、第7のトランジスタと、インバータと、を有

30

40

50

し、前記第7のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのソースまたはドレインの他方、前記第6のトランジスタのソースまたはドレインの他方、及び前記インバータの入力端子と電氣的に接続され、前記第7のトランジスタのソースまたはドレインの他方は、第2の配線と電氣的に接続され、前記第7のトランジスタのゲートは、前記インバータの出力端子と電氣的に接続され、前記インバータの入力端子は、前記第2のロジックエレメントと電氣的に接続され、前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御するコンフィギュレーションデータを格納することができる機能を有し、前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御するコンフィギュレーションデータを格納することができる機能を有する半導体装置の駆動方法である。10  
そして、前記第2の回路に格納されているコンフィギュレーションデータに基づいて、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1の期間を有し、前記第1の期間において、前記第3の回路にコンフィギュレーションデータを書き込む第2の期間を有し、前記第2の期間において、前記第6のトランジスタを非導通状態とするとともに、前記第4のトランジスタを導通状態とする第3の期間を有し、前記第3の期間において、前記第5のトランジスタのソースまたはドレインの一方にLの信号を入力するとともに、前記第1の配線を介して前記第4のトランジスタのソースまたはドレインの一方にHの信号を入力し、前記第3の期間において、前記第3のトランジスタを非導通状態とすることを特徴とする。

【0018】

また、本発明の一態様は、動的再構成を行うことが可能なPLDの新規の駆動方法の開発にあたって生まれた、新規のPLDである。

【0019】

具体的には、本発明の一態様に係る半導体装置は、第1のロジックエレメントと、第2のロジックエレメントと、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有する第1の回路と、第4の回路と、を有し、前記第4の回路は、前記第1の回路と電氣的に接続されているとともに、前記第2のロジックエレメントと電氣的に接続されていることを特徴とする。

【0020】

さらに具体的には、本発明の一態様に係る半導体装置は、第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第4の回路と、を有する。前記第1の回路は、前記第1のロジックエレメント及び前記第4の回路間の導通状態を制御する機能を有する。また、前記第1の回路は、第2の回路と、第3の回路と、を有する。前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量素子と、を有し、前記第1のトランジスタのソースまたはドレインの一方は、第1の配線と電氣的に接続され、前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電氣的に接続され、前記第2のトランジスタのソースまたはドレインの一方は、前記第4の回路と電氣的に接続され、前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、前記第3のトランジスタのソ10  
ースまたはドレインの他方は、前記第1のロジックエレメントと電氣的に接続されている。前記第3の回路は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の容量素子と、を有し、前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電氣的に接続され、前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電氣的に接続され、前記第5のトランジスタのソースまたはドレインの一方は、前記第4の回路と電氣的に接続され、前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、前記第6のトランジスタのソースまたはドレインの他方は、前記第1のロジックエレメントと電氣的に接続されている。前記第4の回路は、前記第2のロジックエレメントと電氣的に接続さ40  
50

れている。

【0021】

また、本発明の一態様に係る半導体装置において、前記第4の回路は、第7のトランジスタと、第8のトランジスタと、第9のトランジスタと、インバータと、を有する。そして、前記第7のトランジスタのソースまたはドレインの一方は、第2の配線と電気的に接続され、前記第7のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方、前記第5のトランジスタのソースまたはドレインの一方、前記第8のトランジスタのソースまたはドレインの一方、及び前記インバータの入力端子と電気的に接続され、前記第8のトランジスタのソースまたはドレインの他方は、第3の配線と電気的に接続され、前記第8のトランジスタのゲートは、前記インバータの出力端子と電気的に接続され、前記第9のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、前記第9のトランジスタのゲートは、第4の配線と電気的に接続されていることを特徴とする。

10

【0022】

また、本発明の一態様に係る半導体装置において、前記第4の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を非接続とすることができる機能を有することを特徴とする。

【0023】

また、本発明の一態様に係る半導体装置において、前記第1のトランジスタ及び前記第4のトランジスタは、酸化物半導体層を有することを特徴とする。

20

【0024】

また、本発明の一態様に係る半導体装置において、前記第2の配線は、第1の電位を前記第7のトランジスタのソースまたはドレインの他方に供給する機能を有する。また、前記第3の配線は、前記第1の電位よりも高い第2の電位を前記第8のトランジスタのソースまたはドレインの他方に供給する機能を有する。また、前記第9のトランジスタがオフとなっている期間において、前記第7のトランジスタがオンとなる期間を有する。

【0025】

なお、トランジスタが有するソースとドレインは、トランジスタのチャネル型及び各電極に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型のトランジスタでは、低い電位が与えられる電極がソースと呼ばれ、高い電位が与えられる電極がドレインと呼ばれる。また、pチャネル型のトランジスタでは、低い電位が与えられる電極がドレインと呼ばれ、高い電位が与えられる電極がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。したがって、本明細書中では、ソースとドレインは特に特定せず、第1の電極（または第1端子）、第2の電極（または第2端子）と記述することがある。例えば、第1の電極がソースである場合には、第2の電極はドレインを指し、逆に第1の電極がドレインである場合には、第2の電極はソースを指すものとする。

30

【0026】

また、本明細書において、「AとBとが接続されている」と記載する場合は、AとBとが電気的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）を共に含むものとする。また、「電気的に接続されている」とは、電流、電圧または電位が供給可能、または伝送可能な回路構成であると見なすこともできる。したがって、電流、電圧または電位が供給可能、または伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続されている回路構成も、その範疇に含む。

40

【0027】

また、本明細書及び図面において、電位「VDD」、電位「VSS」と記載することが

50

ある。VDDは、基準電位よりも高い電位（高電位）を指し、VSSは、基準電位よりも低い電位（低電位）を指すものとする。なお、基準電位は、任意に設定できる。

【発明の効果】

【0028】

本発明の一態様により、新規の半導体装置及びその駆動方法を提供することができる。

【0029】

また、本発明の一態様により、動的再構成を行う際に、容量結合による電荷保持ノードの昇圧効果（ブースティング効果）を利用することにより、PLDにおける動作遅延を抑制することができる。

【0030】

また、本発明の一態様により、好条件のコンフィギュレーションが行なわれたかどうかをモニターする必要が無いという効果を奏する。

【0031】

また、本発明の一態様により、PLDにおける動作遅延の抑制を可能とする、新規のPLDを提供することができる。

【図面の簡単な説明】

【0032】

【図1】半導体装置の構成の一例を示す図。

【図2】半導体装置の構成の一例を示す図。

【図3】半導体装置の構成の一例を示す図。

【図4】半導体装置の駆動方法に係る一例のタイミングチャート。

【図5】半導体装置の構成の一例を示す図。

【図6】半導体装置の構成の一例を示す図。

【図7】半導体装置の駆動方法に係る一例のタイミングチャート。

【図8】半導体装置の構成の一例を示す図。

【図9】半導体装置の構成の一例を示す図。

【図10】半導体装置の構成の一例を示す図。

【図11】半導体装置の構成の一例を示す図。

【図12】電子機器の一例を示す図。

【図13】半導体装置の構成の一例を示す図。

【図14】半導体装置の構成の一例を示す図。

【図15】半導体装置の構成の一例を示す図。

【図16】半導体装置の駆動方法に係る一例のタイミングチャート。

【発明を実施するための形態】

【0033】

本発明の一態様に係る実施の形態及び実施例について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更しうることは当業者であれば容易に理解される。従って、実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の一態様において、同じ物を指し示す符号は異なる図面間において共通とする。

【0034】

また、以下に説明する実施の形態及び実施例それぞれにおいて、特に断りがない限り、本明細書に記載されている他の実施形態及び実施例と適宜組み合わせる実施することが可能である。

【0035】

（実施の形態1）

本発明の一態様に係る半導体装置及びその駆動方法について、図1乃至図4を用いて説明する。

【0036】

10

20

30

40

50

図1に本発明の一態様における半導体装置の回路構成を示す。

【0037】

図1に示すPLDは、 $n$ 個( $n: 2$ 以上の整数)のロジックエレメントLE(ロジックエレメントLE21乃至ロジックエレメントLE2 $n$ )、 $n^2$ 個の回路SW(回路SW21-21乃至回路SW2 $n$ -2 $n$ )、ビットドライバBD、ワードドライバWDを有する。

【0038】

ロジックエレメントLEは、内部にコンフィギュレーションメモリを有し、当該コンフィギュレーションメモリに格納されたコンフィギュレーションデータに基づき、入力信号に対して特定の出力信号を出力する機能を有する。

10

【0039】

回路SWは、ロジックエレメントLE間の導通状態を制御する機能を有する。回路SWは、有している機能の性質上、「スイッチ」と表現することもできる。また、図1においては、 $n$ 個のロジックエレメントLEに対し、 $n^2$ 個の回路SWを有する構成としているが、本発明はこれに限定されない。すなわち、1個のロジックエレメントLEそれぞれが自己を含めた $n$ 個のロジックエレメントLE全てと導通させる構成にする必要がないのであれば、 $n^2$ 個未満の回路SWを有する構成とすることもできる。例えば、1個のロジックエレメントLEそれぞれが $m$ 個( $m: 1$ 以上かつ $n$ 未満の整数)の回路SWと導通させることができればよいのであれば、 $m \times n$ 個の回路SWを有する構成とすることができる。

20

【0040】

ビットドライバBD、ワードドライバWDは、ロジックエレメントLE及び回路SWのコンフィギュレーションを制御する機能を有し、信号線WLにより選択されたコンフィギュレーションメモリに、信号線BL21乃至信号線BL2 $n$ の電位に応じたコンフィギュレーションデータを格納することができる。

【0041】

図1に示す構成においては、回路SWは、2種類の信号線WLの一方により選択されたコンフィギュレーションメモリに、信号線BLの電位に応じたコンフィギュレーションデータを書き込むことにより、コンフィギュレーションを行なうことができる。例えば、回路SW21-22は、2種類の信号線WL(WL22[0]、WL22[1])により選択されたコンフィギュレーションメモリに、信号線BL21の電位に応じたコンフィギュレーションデータを書き込むことにより、コンフィギュレーションを行なうことができる。

30

【0042】

図2に回路SW21-22の回路構成を示す。なお、ここでは図1における回路SW21-22を代表例として説明するが、他の回路SWも同様に説明することができる。

【0043】

回路SW21-22は、回路SW21-22a及び回路SW21-22bを有し、ロジックエレメントLE21及びロジックエレメントLE22間の導通状態を制御する機能(換言すれば、ロジックエレメントLE21及びロジックエレメントLE22間の導通または非導通を選択する機能)を有する。

40

【0044】

回路SW21-22a(回路SW21-22b)は、トランジスタM21a(トランジスタM21b)、トランジスタM22a(トランジスタM22b)、トランジスタM23a(トランジスタM23b)、及び容量素子C21(容量素子C22)を有する。回路SW21-22a(回路SW21-22b)は、信号線WL22[0](信号線WL22[1])によりトランジスタM21a(トランジスタM21b)が導通状態となる時、容量素子C21(容量素子C22)に信号線BL21に対応するコンフィギュレーションデータを書き込む。そして、ノードSN21(ノードSN22)に格納されたコンフィギュレーションデータに応じて、トランジスタM22a(トランジスタM22b)の導通、非

50

導通が制御される。また、信号 `CONTEXT[0]` (信号 `CONTEXT[1]`) により、トランジスタ `M23a` (トランジスタ `M23b`) の導通、非導通を制御することで、回路 `SW21-22a` (回路 `SW21-22b`) は、ロジックエレメント `LE21` 及びロジックエレメント `LE22` 間の導通状態を制御することができる。また、トランジスタ `M22a` (トランジスタ `M22b`) のソースまたはドレインの一方は、ノード `ND21O` の電位を与える配線を介してロジックエレメント `LE21` と電氣的に接続され、トランジスタ `M23a` (トランジスタ `M23b`) のソースまたはドレインの一方はノード `ND22I` の電位を与える配線を介してロジックエレメント `LE22` と電氣的に接続されている。

【0045】

なお、回路 `SW` は、ノード `SN21` 及びノード `SN22` の電位を保持することで、コンフィギュレーションメモリとして振る舞うことができる。このため、トランジスタ `M21a` 及びトランジスタ `M21b` として、オフ電流が極めて小さいトランジスタを用いるのが好ましい。具体的には、チャンネル形成領域に酸化物半導体を有するトランジスタを用いることが好ましい。

【0046】

図3にロジックエレメント `LE21` の回路構成を示す。なお、ここでは図1におけるロジックエレメント `LE21` を代表例として説明するが、他のロジックエレメント `LE` も同様に説明することができる。

【0047】

ロジックエレメント `LE21` は、ルックアップテーブル `201` (以下、本明細書において「`LUT`」と呼ぶことがある。)、記憶装置 `202`、レジスタ `203` (以下、本明細書において「`REGISTER`」と呼ぶことがある。)、`AND`回路 `204` (論理積回路) を有する。

【0048】

ルックアップテーブル `201` は、記憶装置 `202` に設定された真理値表に基づき、配線を介して入力される4つの信号 (`dataA`、`dataB`、`dataC`、`dataD`) に応じた特定の値を出力する機能を有する。なお、ルックアップテーブル `201` が4つの信号に応じた特定の出力値を出力する機能を有するとしてここでは説明したが、必ずしもこの構成には限定されない。すなわち、ルックアップテーブル `201` に入力される信号の数は4個のみに限定されるものではなく、 $k$ 個 ( $k: 1$ 以上の整数) でもよい。また、真理値表は、信号 `CONTEXT[0]` または信号 `CONTEXT[1]` を記憶装置 `202` に入力することにより、自由に設定することができる。

【0049】

レジスタ `203` は、ルックアップテーブル `201` からの出力値を保持する機能を有する。また、レジスタ `203` で保持する値は、クロック信号 `CLK2` に同期して変化する。`AND`回路 `204` は、レジスタ `203` の出力と、配線を介して入力される信号 `SWITCH` との論理積を出力する機能を有する。すなわち、信号 `SWITCH` が「`L`」レベルであるとき、`AND`回路 `204` の出力は、レジスタ `203` の出力に依存せず、「`L`」レベルの電位となる。また、信号 `SWITCH` が「`H`」レベルであるとき、`AND`回路 `204` の出力は、レジスタ `203` の出力値がそのまま出力される。このように、信号 `SWITCH` を「`L`」レベルとすることにより、ロジックエレメント `LE21` の出力を強制的に「`L`」レベルとすることができる。

【0050】

回路 `SW21-22` は、ロジックエレメント `LE21` 及びロジックエレメント `LE22` 間の導通状態を制御する機能を有する。そして、回路 `SW21-22` は、ロジックエレメント `LE21` からの入力された信号を受けるとともに、ロジックエレメント `LE22` に信号を出力する機能を有する。また、回路 `SW21-22` は、配線を介して信号 `CONTEXT[0]` 及び信号 `CONTEXT[1]` が入力される構成を有しており、信号 `CONTEXT[0]` 及び信号 `CONTEXT[1]` を制御することにより、第一のコンフィギュレーションデータセットに基づく回路構成 (回路 `SW21-22a`) と、第二のコンフィ

10

20

30

40

50

ギューションデータセットに基づく回路構成（回路SW21-22b）とを瞬時に変更することができる。

【0051】

図4に図1乃至図3に示す回路のタイミングチャートを示す。

【0052】

なお、図4に示すタイミングチャートは、図2における回路SW21-22aに第一のコンフィギュレーションデータセットのコンフィギュレーションを行い、その後第一のコンフィギュレーションデータセットに基づく回路構成により、半導体装置（チップ）が動作している最中に、図2における回路SW21-22bに第二のコンフィギュレーションデータセットの動的再構成を行なう場合を想定したものである。しかしながら、回路SW21-22aと回路SW21-22bは同一の構成を有しているので、逆の場合も同様に動作させることができる。

10

【0053】

図4において、時刻T0から時刻T3の間に、第一のコンフィギュレーションデータセットに対して初期のコンフィギュレーションを行なう。まず、時刻T0から時刻T1の間、すなわち回路SW21-22への入力信号に相当するノードND210の電位（ロジックエレメントLE21と、トランジスタM22a（M22b）のソースまたはドレインの一方とを電気的に接続する配線の電位）が”L”レベルの間に、信号線WL21[0]に”H”レベルの信号を与え、信号線BL21に”H”レベルの信号を与えることで、回路SW21-21aに対して好条件のコンフィギュレーションが行われる。次に、時刻T1から時刻T2の間、すなわち、ノードND210の電位が”L”レベルの間に、信号線WL22[0]に”H”レベルの信号を与え、信号線BL21に”H”レベルの信号を与えることで、容量素子C21に”H”レベルに相当するコンフィギュレーションデータを書き込む。その後、信号線WL22[0]に”L”レベルの信号を、信号線BL21に”L”レベルの信号を与え、トランジスタM21aを非導通とすることで、ノードSN21のコンフィギュレーションデータを格納する。従って、回路SW21-22aに対して好条件のコンフィギュレーションが行われる。最後に、時刻T2から時刻T3の間で、残りのコンフィギュレーションメモリに、所望のコンフィギュレーションデータを書き込む。

20

【0054】

時刻T3にて、信号CONTEXT[0]を”H”レベルにすることで、トランジスタM23aは導通する。時刻T4にて、ノードND210が”L”レベルの電位から”H”レベルの電位に変化すると、トランジスタM22aのゲート容量を介した容量結合により、ノードSN21の電位は昇圧される。従って、ノードND22Iの電位は速やかに”H”レベルとなる。すなわち、回路SW21-22を介した、ロジックエレメントLE21及びロジックエレメントLE22間の信号伝達速度は向上する。

30

【0055】

次に、時刻T5から時刻T9の間に、第二のコンフィギュレーションデータセットの動的再構成を行なう。まず、時刻T5にて、レジスタ203に入力されるクロック信号CLK2の供給を止める。その後、AND回路204に入力される信号SWITCHを”L”レベルとすることにより、ロジックエレメントLE21の出力（ノードND21Iの電位）を強制的に”L”レベルとする。次に、信号線WL22[1]を”H”レベルとして、信号線BL21を介してノードSN22に”H”レベルの信号を書き込む。時刻T5から時刻T6の間において、このような駆動方法を用いることで、回路SW21-22bに好条件のコンフィギュレーションを行うことができる。なお、回路SWに対して好条件のコンフィギュレーションを行うタイミングは、回路SW21-22bだけでなく、第二のコンフィギュレーションデータセットに対応する全ての回路SW（すなわち、回路SW21-21b乃至回路SW2n-2nbの全部で $n^2$ 個ある回路SW）に対して同時に行っている。このため、第二のコンフィギュレーションデータセットに対応する全ての回路SWに対して正しいコンフィギュレーションデータを書き込む期間（時刻T6から時刻T9の間）に比較して、極めて短い時間で好条件のコンフィギュレーションを行うことができる

40

50

## 【 0 0 5 6 】

ここで、時刻 T 5 から時刻 T 6 の期間において、ノード N D 2 1 0 の電位を強制的に " L " レベルとすることで、回路 S W 2 1 - 2 2 の出力先であるロジックエレメント L E 2 2 のデータが変わってしまうことが懸念されるように見えるが、本実施の形態では、レジスタ 2 0 3 に入力されるクロック信号 C L K 2 の供給を止めることにより、時刻 T 5 から時刻 T 6 の期間中、ロジックエレメント L E 2 2 のデータが変わらないようにしている。このため、データの変動により、ロジックエレメント L E 2 2 が意図しない論理演算を行うこと（ロジックエレメント L E 2 2 の誤動作）を防止できる。

## 【 0 0 5 7 】

次に、時刻 T 6 から時刻 T 9 の間に、第二のコンフィギュレーションデータセットに対応する全ての回路 S W に対して、正しいコンフィギュレーションデータを書き込む。まず、時刻 T 6 から時刻 T 7 の期間中においては、信号線 W L 2 1 [ 1 ] に " H " レベルの信号を与え、信号線 B L 2 1 乃至信号線 B L 2 n を介して回路 S W 2 1 - 2 1 b 乃至回路 S W 2 n - 2 1 b のコンフィギュレーションメモリに正しいコンフィギュレーションデータを書き込む。例えば、図 4 においては、回路 S W 2 1 - 2 1 b のコンフィギュレーションメモリに " H " レベルの信号が、回路 S W 2 2 - 2 1 b のコンフィギュレーションメモリに " L " レベルの信号が格納される。

## 【 0 0 5 8 】

時刻 T 7 から時刻 T 8 の期間中においては、信号線 W L 2 2 [ 1 ] に " H " レベルの信号を与え、信号線 B L 2 1 乃至信号線 B L 2 n を介して回路 S W 2 1 - 2 2 b 乃至回路 S W 2 n - 2 2 b のコンフィギュレーションメモリに正しいコンフィギュレーションデータを書き込む。例えば、図 4 においては、回路 S W 2 1 - 2 2 b のコンフィギュレーションメモリに " H " レベルの信号が、回路 S W 2 2 - 2 2 b のコンフィギュレーションメモリに " L " レベルの信号が格納される。

## 【 0 0 5 9 】

ここで回路 S W 2 1 - 2 2 b に着目すると、時刻 T 7 から時刻 T 8 の間、すなわち、ノード N D 2 1 0 の電位が " H " レベルのときに、信号線 W L 2 2 [ 1 ] に " H " レベルの信号が、信号線 B L 2 1 に " H " レベルの信号が与えられている。すなわち、悪条件のコンフィギュレーションが行われている。しかしながら、本実施の形態においては、時刻 T 5 から時刻 T 6 の間に、好条件のコンフィギュレーションを行ない、ノード S N 2 2 の電位は、V D D となっている。そして、時刻 T 6 から時刻 T 7 の間で、ノード N D 2 1 0 の電位が " L " レベルから " H " レベルに切り替わる際に、トランジスタ M 2 2 b のゲート容量を介した容量結合により、ノード S N 2 2 の電位が例えば 2 V D D 程度まで昇圧されている。すなわち、時刻 T 7 から時刻 T 8 の間において、トランジスタ M 2 1 b は、信号線 W L 2 2 [ 1 ] を介してゲートに " H " レベルの信号が、信号線 B L 2 1 を介してソースに " H " レベルの信号が与えられている。したがって、ゲート - ソース間電圧が 0 V となり、トランジスタ M 2 1 b は非導通となり、ノード S N 2 1 の電位は昇圧された電位（例えば 2 V D D 程度の電位）を維持することができる。この結果、回路 S W 2 1 - 2 2 b を介した信号伝達速度は向上した状態を維持し、回路 S W 2 1 - 2 2 b の動作遅延を抑制することができる。

## 【 0 0 6 0 】

時刻 T 8 から時刻 T 9 の期間においては、時刻 T 6 から時刻 T 7 の期間、及び時刻 T 7 から時刻 T 8 の期間と同様にして、残りのコンフィギュレーションメモリに所望のコンフィギュレーションデータを書き込む。

## 【 0 0 6 1 】

次に、時刻 T 1 0 から時刻 T 1 1 の間に、選択するコンフィギュレーションデータセットを入れ替える。すなわち、時刻 T 1 0 において、信号 C O N T E X T [ 0 ] を " L " レベルとし、信号 C O N T E X T [ 1 ] を " H " レベルとすることにより、第二のコンフィギュレーションデータセットが選択される。

10

20

30

40

50

## 【 0 0 6 2 】

時刻 T 1 2 に、ノード N D 2 1 0 を " H " レベルの電位から " L " レベルの電位へ変化させる。このとき、トランジスタ M 2 2 b のゲート容量を介した容量結合により、ノード S N 2 2 の電位は V D D まで降圧されるが、トランジスタ M 2 2 b のゲート・ソース間電圧は V D D であるため、ノード N D 2 2 I の電位は速やかに " L " レベルとなる。

## 【 0 0 6 3 】

時刻 T 1 3 に、ノード N D 2 1 0 を " L " レベルの電位から " H " レベルの電位へ変化させる。このとき、トランジスタ M 2 2 b のゲート容量を介した容量結合により、ノード S N 2 2 の電位は昇圧される。従って、ノード N D 2 2 I の電位は速やかに " H " レベルとなる。すなわち、回路 S W 2 1 - 2 2 b を介したノード N D 2 1 0 とノード N D 2 2 I 間の信号伝達速度は向上する。

10

## 【 0 0 6 4 】

以上説明したように、本実施の形態で説明した半導体装置の駆動方法は、第 1 のコンフィギュレーションメモリに保持されたコンフィギュレーションデータに基づく回路構成により半導体装置（チップ）が動作している最中に、第 2 のコンフィギュレーションメモリの動的再構成を行なう場合において、第 2 のコンフィギュレーションメモリに正しいコンフィギュレーションデータを書き込む期間とは別に、全ての第 2 のコンフィギュレーションメモリに好条件のコンフィギュレーションを行う期間（好条件のコンフィギュレーションデータを書き込む期間）を設けている点に特徴を有する。このような駆動方法を採用することにより、正しいコンフィギュレーションデータを書き込む条件に依らず、回路 S W の動作速度の遅延を抑制できる。

20

## 【 0 0 6 5 】

(実施の形態 2)

本発明の一態様に係る半導体装置及びその駆動方法について、図 2、図 3、図 5 乃至図 7 を用いて説明する。

## 【 0 0 6 6 】

本実施の形態で説明する半導体装置の駆動方法は、好条件のコンフィギュレーションを行う期間を設けるといふ点において実施の形態 1 で説明した駆動方法と共通しているが、好条件のコンフィギュレーションを行う際に考慮しなければならないロジックエレメント L E のデータの変動による誤動作を防止する方法に関して相違しているため、特にこの点について詳細に説明する。

30

## 【 0 0 6 7 】

図 5 に、本発明の一態様における P L D の回路構成を示す。

## 【 0 0 6 8 】

図 5 に示す回路は、図 1 に示す回路と比較して、回路 S T 2 1 乃至回路 S T 2 n ( n : 2 以上の整数 ) を有している点で相違するが、その他の構成は図 1 に示す回路と共通の回路を有しているため、共通部分については説明を省略する。

## 【 0 0 6 9 】

回路 S T 2 n は、回路 S W 2 1 - 2 n 乃至回路 S W 2 n - 2 n と、ロジックエレメント L E 2 n との間に設けられている。すなわち、回路 S T 2 n は、回路 S W 2 1 - 2 n 乃至回路 S W 2 n - 2 n と電氣的に接続されているとともに、ロジックエレメント L E 2 n と電氣的に接続されている。また、回路 S T 2 n は、回路 S W 2 1 - 2 n 乃至回路 S W 2 n - 2 n から出力された信号が入力され、ロジックエレメント L E 2 n に信号を出力することができる機能を有する。また、回路 S T 2 n は、回路 S W 2 1 - 2 n 乃至回路 S W 2 n - 2 n から出力された信号（データ）を保持することができる機能を有する。

40

## 【 0 0 7 0 】

図 6 に、本発明の一態様における回路 S T 2 2 の具体的な回路構成の一例を示す。

## 【 0 0 7 1 】

回路 S T 2 2 は、トランジスタ M 2 4 と、インバータ 2 1 と、を有する。そして、トランジスタ M 2 4 のソースまたはドレインの一方は、回路 S W 2 1 - 2 2、及びインバータ

50

21の入力端子と電氣的に接続され、トランジスタM24のソースまたはドレインの他方は、配線と電氣的に接続され、トランジスタM24のゲートは、インバータ21の出力端子と電氣的に接続され、インバータ21の入力端子は、ロジックエレメントLE22と電氣的に接続されている。また、トランジスタM24のソースまたはドレインの他方と電氣的に接続されている配線には、基準電位よりも高い電位（高電位、またはVDD）が与えられている。なお、ノードND22Iには、回路SW22-22乃至回路SW2n-22も接続しているが、図6では省略している。

【0072】

図7に図2、図3、図5、図6に示す回路のタイミングチャートを示す。

【0073】

なお、図7に示すタイミングチャートは、実施の形態1と同様に、図2における回路SW21-22aに第一のコンフィギュレーションデータセットのコンフィギュレーションを行い、その後第一のコンフィギュレーションデータセットに基づく回路構成により、半導体装置（チップ）が動作している最中に、図2における回路SW21-22bに第二のコンフィギュレーションデータセットの動的再構成を行なう場合を想定したものである。

【0074】

図7に示すタイミングチャート、実施の形態1で説明した図4に示すタイミングチャートと比較すると、時刻T5から時刻T6の期間中の動作が相違しているが、その他の期間においては同様であるため、ここでは時刻T5から時刻T6の期間中の動作についてのみ説明し、その他の期間の動作については、実施の形態1における説明を援用する。

【0075】

時刻T5から時刻T6の期間は、全ての回路SWに対して好条件のコンフィギュレーションを行う期間に相当する。まず、時刻T5にて、信号CONTEXT[0]を" L "レベルとして、トランジスタM23aを非導通状態（オフ状態）とする。その後、図3に示すAND回路204に入力される信号SWITCHを" L "レベルとすることにより、ロジックエレメントLE21の出力（ノードND21Iの電位）を強制的に" L "レベルとする。次に、信号線WL22[1]を" H "レベルとして、信号線BL21を介してノードSN22に" H "レベルの信号を書き込む。

【0076】

本実施の形態においては、回路SW21-22aの出力先にST22を有しているため、トランジスタM23aを非導通状態（オフ状態）としても、回路SW21-22aの出力データを保持することができる。したがって、ノードND21Oの電位が強制的に" L "レベルとなっている期間を有する時刻T5から時刻T6の期間中においても、ロジックエレメントLE22が意図しない論理演算を行うこと（ロジックエレメントLE22の誤動作）を防止できる。

【0077】

次に、時刻T6にて、信号CONTEXT[0]を" H "レベルとした後、全ての回路STに対して、正しいコンフィギュレーションデータを書き込んでいく。時刻T6以降の動作については、実施の形態1での説明を援用する。

【0078】

以上説明したように、本実施の形態で説明した半導体装置の駆動方法は、好条件のコンフィギュレーションを行う期間において、信号CONTEXT[0]を" L "レベルとするとともに、回路SW21-22の出力先とロジックエレメントLE22との間に回路ST22を設けているため、ロジックエレメントLE22が意図しない論理演算を行うこと（ロジックエレメントLE22の誤動作）を防止できる。

【0079】

（実施の形態3）

本発明の一態様に係る半導体装置及びその駆動方法について、図13乃至図16を用いて説明する。

【0080】

10

20

30

40

50

図13に、本発明の一態様における半導体装置の回路構成を示す。

【0081】

図13に示すPLDは、 $n$ 個 ( $n$ : 2以上の整数) のロジックエレメントLE (ロジックエレメントLE31乃至ロジックエレメントLE3 $n$ )、 $n^2$ 個の回路SW (回路SW31-31乃至回路SW3 $n$ -3 $n$ )、ビットドライバBD、ワードドライバWD、及び $n$ 個の回路ST (回路ST31乃至回路ST3 $n$ )を有する。

【0082】

ロジックエレメントLEは、内部にコンフィギュレーションメモリを有し、当該コンフィギュレーションメモリに格納されたコンフィギュレーションデータに基づき、入力信号に対して特定の出力信号を出力する機能を有する。

10

【0083】

回路SWは、ロジックエレメントLE間の導通状態を制御する機能を有する。回路SWは、有している機能の性質上、「スイッチ」と表現することもできる。また、図13においては、 $n$ 個のロジックエレメントLEに対し、 $n^2$ 個の回路SWを有する構成としているが、本発明はこれに限定されない。すなわち、1個のロジックエレメントLEそれぞれが自己を含めた $n$ 個のロジックエレメントLE全てと導通させる構成にする必要がないのであれば、 $n^2$ 個未満の回路SWを有する構成とすることもできる。例えば、1個のロジックエレメントLEそれぞれが $m$ 個 ( $m$ : 1以上かつ $n$ 未満の整数) の回路SWと導通させることができればよいのであれば、 $m \times n$ 個の回路SWを有する構成とすることができる。

20

【0084】

ビットドライバBD、ワードドライバWDは、ロジックエレメントLE及び回路SWのコンフィギュレーションを制御する機能を有し、信号線WLにより選択されたコンフィギュレーションメモリに、信号線BL31乃至信号線BL3 $n$ の電位に応じたコンフィギュレーションデータを格納することができる。

【0085】

回路STは、ノードND31I乃至ノードND3 $n$ Iの電位を強制的に「L」レベルとすることができる機能を有する。すなわち、回路STは、2つのロジックエレメント間の導通状態を非接続とすることができる機能を有する。回路STは、このような機能を有している性質上、「リセット回路」と表現することもできる。

30

【0086】

図13に示す構成においては、回路SWは、2種類の信号線WLの一方により選択されたコンフィギュレーションメモリに、信号線BLの電位に応じたコンフィギュレーションデータを書き込むことにより、コンフィギュレーションを行なうことができる。例えば、回路SW31-32は、2種類の信号線WL (WL32[0]、WL32[1])により選択されたコンフィギュレーションメモリに、信号線BL31の電位に応じたコンフィギュレーションデータを書き込むことにより、コンフィギュレーションを行なうことができる。

【0087】

図14に回路SW31-32の回路構成を示す。なお、ここでは図13における回路SW31-32を代表例として説明するが、他の回路SWも同様に説明することができる。

40

【0088】

回路SW31-32は、回路SW31-32a及び回路SW31-32bを有し、ロジックエレメントLE31及び回路ST32間の導通状態を制御する機能 (換言すれば、ロジックエレメントLE31及び回路ST32間の導通または非導通を選択する機能) を有する。

【0089】

回路SW31-32a (回路SW31-32b) はトランジスタM31a (トランジスタM31b)、トランジスタM32a (トランジスタM32b)、トランジスタM33a (トランジスタM33b)、及び容量素子C31 (容量素子C32) を有する。回路SW

50

31 - 32 a (回路 SW 31 - 32 b) は、信号線 WL 32 [ 0 ] (WL 32 [ 1 ]) によりトランジスタ M 31 a (トランジスタ M 31 b) が導通状態となる時、容量素子 C 31 (容量素子 C 32) に信号線 BL 31 に対応するコンフィギュレーションデータを書き込む。そして、ノード SN 31 (ノード SN 32) に格納されたコンフィギュレーションデータに応じて、トランジスタ M 32 a (トランジスタ M 32 b) の導通、非導通が制御される。また、トランジスタ M 32 a (トランジスタ M 32 b) のソースまたはドレインの一方は、ノード ND 32 I (配線) を介して回路 ST 32 と電氣的に接続され、回路 ST 32 は、ロジックエレメント LE 32 と電氣的に接続され、トランジスタ M 32 a (トランジスタ M 32 b) のソースまたはドレインの他方は、トランジスタ M 33 a (トランジスタ M 33 b) のソースまたはドレインの一方と電氣的に接続され、トランジスタ M 33 a (トランジスタ M 33 b) のソースまたはドレインの他方は、ノード ND 31 O (配線) を介してロジックエレメント LE 31 と電氣的に接続されている。また、配線を介してゲートに与えられる信号 CONTEXT [ 0 ] (信号 CONTEXT [ 1 ]) によってトランジスタ M 33 a (トランジスタ M 33 b) の導通、非導通を制御することで、回路 SW 31 - 32 a (回路 SW 31 - 32 b) は、ロジックエレメント LE 31 及び回路 ST 32 間の導通状態を制御することができる。

10

## 【 0090 】

なお、回路 SW は、ノード SN 31 及びノード SN 32 の電位を保持することで、コンフィギュレーションメモリとして振る舞うことができる。このため、トランジスタ M 31 a 及びトランジスタ M 31 b として、オフ電流が極めて小さいトランジスタを用いるのが好ましい。具体的には、チャンネル形成領域に酸化物半導体を有するトランジスタを用いることが好ましい。

20

## 【 0091 】

図 15 に回路 ST 32 の回路構成を示す。なお、ここでは図 13 における回路 ST 32 を代表例として説明するが、他の回路 ST も同様に説明することができる。

## 【 0092 】

回路 ST 32 は、トランジスタ M 34、トランジスタ M 35、トランジスタ M 36、及びインバータ INV 31 を有する。また、回路 ST 32 は、ノード ND 32 I の電位を "H" レベルで安定させる、または "L" レベルにリセットする機能を有する。ここで、ノード ND 32 I の電位が "H" レベルの場合、インバータ INV 31 及びトランジスタ M 35 を介して、ノード ND 32 I には "H" レベルの電位に相当する VDD が供給されるため、"H" レベルの電位を保持 (安定) させることができる。また、ノード ND 32 I の電位を強制的に "L" レベルとしたいときは、信号線 RESET 3 に "H" レベルの電位を与えてトランジスタ M 34 を導通させることで、ノード ND 32 I の電位を強制的に "L" レベルとさせることができる。また、信号線 L e k e e p に "L" レベルの電位を与えてトランジスタ M 36 を非導通とさせることで、ロジックエレメント LE 32 内部のデータが変化することを抑制できる。

30

## 【 0093 】

図 16 に図 13 乃至図 15 に示す回路のタイミングチャートを示す。

## 【 0094 】

なお、図 16 に示すタイミングチャートは、図 14 における回路 SW 31 - 32 a に第一のコンフィギュレーションデータセットのコンフィギュレーションを行い、その後第一のコンフィギュレーションデータセットに基づく回路構成により、半導体装置 (チップ) が動作している (アクティブとなっている) 最中に、図 14 における回路 SW 31 - 32 b に第二のコンフィギュレーションデータセットの動的再構成を行なう場合を想定したものである。しかしながら、回路 SW 31 - 32 a と回路 SW 31 - 32 b は同一の構成を有しているので、逆の場合も同様に動作させることができる。

40

## 【 0095 】

図 16 において、時刻 T0 から時刻 T3 の間に、第一のコンフィギュレーションデータセットに対して初期のコンフィギュレーションを行なう。まず、時刻 T0 から時刻 T1 の

50

間、すなわち回路SW31-32の出力信号に相当するノードND32Iの電位(トランジスタM32a(M32b)のソースまたはドレインの一方と、回路ST32とを電氣的に接続する配線の電位)が”L”レベルの間に、信号線WL31[0]に”H”レベルの信号を与え、信号線BL31に”H”レベルの信号を与えることで、回路SW31-31aに対して好条件のコンフィギュレーションが行われる。次に、時刻T1から時刻T2の間、すなわち、ノードND32Iの電位が”L”レベルの間に、信号線WL32[0]に”H”レベルの信号を与え、信号線BL31に”H”レベルの信号を与えることで、容量素子C31に”H”レベルに相当するコンフィギュレーションデータを書き込む。その後、信号線WL32[0]に”L”レベルの信号を、信号線BL31に”L”レベルの信号を与え、トランジスタM31aを非導通とすることで、ノードSN31のコンフィギュレーションデータを格納する。従って、回路SW31-32aに対して好条件のコンフィギュレーションが行われる。最後に、時刻T2から時刻T3の間で、残りのコンフィギュレーションメモリに、所望のコンフィギュレーションデータを書き込む。

【0096】

時刻T3にて、信号CONTEXT[0]の電位を”H”レベルにすることで、トランジスタM33aは導通する。時刻T4にて、ノードND31Oが”L”レベルの電位から”H”レベルの電位に変化すると、トランジスタM32aのゲート容量を介した容量結合により、ノードSN31の電位は昇圧される。従って、ノードND32Iの電位は速やかに”H”レベルとなる。すなわち、回路SW31-32を介した、ロジックエレメントLE31及びロジックエレメントLE32間の信号伝達速度は向上する。

【0097】

次に、時刻T5から時刻T9の間に、第二のコンフィギュレーションデータセットの動的再構成を行なう。まず、時刻T5から時刻T6の間に、信号CONTEXT[0]を”L”レベルとする。また、信号線LEkeepの電位を”L”レベル、信号線RESET3の電位を”H”レベルとすることで、ノードND32Iの電位を強制的に”L”レベルとすることができる。次に、信号線WL32[1]を”H”レベルとして、信号線BL31を介してノードSN32に”H”レベルの信号を書き込む。このような駆動方法を用いることで、回路SW31-32bに好条件のコンフィギュレーションを行うことができる。なお、回路SWに対して好条件のコンフィギュレーションを行うタイミングは、回路SW31-32bだけでなく、第二のコンフィギュレーションデータセットに対応する全ての回路SW(すなわち、回路SW31-31b乃至回路SW3n-3nbの全部で $n^2$ 個ある回路SW)に対して同時に行っている。このため、第二のコンフィギュレーションデータセットに対応する全ての回路SWに対して正しいコンフィギュレーションデータを書き込む期間(時刻T6から時刻T9の間)に比較して、極めて短い時間で好条件のコンフィギュレーションを行うことができる。

【0098】

ここで、時刻T5から時刻T6の期間において、ノードND32Iの電位を強制的に”L”レベルとすることで、回路SW31-32の出力先であるロジックエレメントLE32のデータが変わってしまうことが懸念されるように見えるが、本実施の形態では、信号線LEkeepの電位を”L”レベルとし、回路ST32におけるトランジスタM36を非導通とさせることで、時刻T5から時刻T6の期間中、ロジックエレメントLE32のデータが変わらないようにしている。このため、データの変動により、ロジックエレメントLE32が意図しない論理演算を行うこと(ロジックエレメントLE32の誤動作)を防止できる。

【0099】

また、時刻T5から時刻T6の期間において、ノードND31Oの電位は”H”レベルであるため、ロジックエレメントLE31から、トランジスタM34を介して、貫通電流が流れることが危惧されるが、信号CONTEXT[0]を”L”レベルとすることで、全ての回路SWは非導通となり、過剰な電流が流れるのを抑制できる。その後、信号線RESET3の電位を”L”レベルとし、信号CONTEXT[0]及び、信号LEkee

10

20

30

40

50

pを”H”レベルとすることで、ノードND32Iの電位を強制的に”L”レベルの電位としていたのを解除し、時刻T5における信号を再度読み込むことができる。

【0100】

次に、時刻T6から時刻T9の間に、第二のコンフィギュレーションデータセットに対応する全ての回路SWに対して、正しいコンフィギュレーションデータを書き込む。まず、時刻T6から時刻T7の間中においては、信号線WL31[1]に”H”レベルの信号を与え、信号線BL31乃至信号線BL3nを介して回路SW31-31b乃至回路SW3n-31bのコンフィギュレーションメモリに正しいコンフィギュレーションデータを書き込む。例えば、図16においては、回路SW31-31bのコンフィギュレーションメモリに”H”レベルの信号が格納される。ここで、回路SW31-31bのコンフィギュレーションは、ノードND32Iの電位が”H”レベルの期間に行なわれているが、時刻T5から時刻T6の間に、好条件のコンフィギュレーションを行なっているため、回路SW31-31bを介した信号伝達速度は向上した状態を維持することができる。

10

【0101】

時刻T7から時刻T8の間中においては、信号線WL32[1]に”H”レベルの信号を与え、信号線BL31乃至信号線BL3nを介して回路SW31-32b乃至回路SW3n-32bのコンフィギュレーションメモリに正しいコンフィギュレーションデータを書き込む。例えば、図16においては、回路SW31-32bのコンフィギュレーションメモリに”H”レベルの信号が、回路SW32-32bのコンフィギュレーションメモリに”L”レベルの信号が格納される。ここで、回路SW31-32bのコンフィギュレーションメモリは、時刻T5から時刻T6の間に好条件のコンフィギュレーションが行なわれているため、コンフィギュレーションデータの変化は起こらない。

20

【0102】

時刻T8から時刻T9の間中においては、時刻T6から時刻T7の期間、及び時刻T7から時刻T8の期間と同様にして、残りのコンフィギュレーションメモリに所望のコンフィギュレーションデータを書き込む。以上のように、本実施の形態においては、時刻T5から時刻T6の間に、第二のコンフィギュレーションデータセットに対応する全ての回路SWにおいて好条件のコンフィギュレーションを行っているため、時刻T6から時刻T9の期間で、所望のコンフィギュレーションデータを書き込む際に、ノードND32Iの電位に依らず、信号伝達速度の低下を抑制することができる。

30

【0103】

次に、時刻T10から時刻T11の間に、選択するコンフィギュレーションデータセットを入れ替える。すなわち、時刻T10において、信号CONTEXT[0]を”L”レベルとし、信号CONTEXT[1]を”H”レベルとすることにより、第二のコンフィギュレーションデータセットが選択される。

【0104】

時刻T12に、ノードND310を”H”レベルの電位から”L”レベルの電位へ変化させる。このとき、トランジスタM32bのゲート容量を介した容量結合により、ノードSN32の電位はVDDまで降圧されるが、トランジスタM32bのゲート・ソース間電圧はVDDであるため、ノードND32Iの電位は速やかに”L”レベルとなる。

40

【0105】

時刻T13に、ノードND310を”L”レベルの電位から”H”レベルの電位へ変化させる。このとき、トランジスタM32bのゲート容量を介した容量結合により、ノードSN32の電位は昇圧される。従って、ノードND32Iの電位は速やかに”H”レベルとなる。すなわち、回路SW31-32bを介したノードND310とノードND32I間の信号伝達速度は向上する。

【0106】

以上説明したように、本実施の形態で説明した半導体装置の駆動方法は、第1のコンフィギュレーションメモリに保持されたコンフィギュレーションデータに基づく回路構成により半導体装置(チップ)が動作している最中に、第2のコンフィギュレーションメモリ

50

の動的再構成を行なう場合において、第2のコンフィギュレーションメモリに正しいコンフィギュレーションデータを書き込む期間とは別に、全ての第2のコンフィギュレーションメモリに好条件のコンフィギュレーションを行う期間（好条件のコンフィギュレーションデータを書き込む期間）を設けている点に特徴を有する。このような駆動方法を採用することにより、正しいコンフィギュレーションデータを書き込む条件に依らず、回路SWの動作速度の遅延を抑制できる。

【0107】

また、回路SWの動作速度の遅延の抑制を実現可能とする、新規の半導体装置を提供することができる。

【0108】

（実施の形態4）

本実施の形態では、本発明の一態様の半導体装置の構成の一例について、図面を参照しながら説明する。

【0109】

図8に、図2で示した回路SW21-22の断面構造の一部を示す。図8におけるトランジスタ23の構造は、たとえば、図2におけるトランジスタM21a、トランジスタM21bに適用することができる。また、図8におけるトランジスタ22の構造は、たとえば、図2におけるトランジスタM22a、トランジスタM22bに適用することができる。

【0110】

図8において、破線A1-A2で示す領域では、トランジスタ22及びトランジスタ23のチャンネル長方向における断面構造を示しており、破線A3-A4で示す領域では、トランジスタ22及びトランジスタ23のチャンネル幅方向における断面構造を示している。ただし、本実施の形態では、トランジスタ22のチャンネル長方向とトランジスタ23のチャンネル長方向とが概略一致している構成（概略平行な構成）を示しているが、必ずしも一致していなくともよい。

【0111】

ここで、トランジスタのチャンネル長方向とは、ソース（ソース領域またはソース電極）及びドレイン（ドレイン領域またはドレイン電極）間において、キャリアが移動する方向を指し、チャンネル幅方向は、基板と水平な面内において、チャンネル長方向に対して垂直の方向を指すものとする。

【0112】

また、図8において、トランジスタ22はチャンネル形成領域に酸化物半導体を含み、トランジスタ23はチャンネル形成領域に単結晶の半導体を含む構成を示している。図8においては、基板400として単結晶の基板を用いることにより、トランジスタ23のチャンネル形成領域に単結晶の半導体を含む構成としているが、絶縁層を介して単結晶の基板上に設けられた単結晶の半導体層（代表的には、SOI基板）にチャンネル形成領域が設けられた構成とすることもできる。

【0113】

基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図8では、単結晶シリコン基板を基板400として用いる場合を例示している。

【0114】

トランジスタ23は、素子分離法により電氣的に分離されている。素子分離法は、選択酸化法（LOCOS法：Local Oxidation of Silicon法）、トレンチ分離法（STI法：Shallow Trench Isolation）等を用いることができる。図8では、トレンチ分離法を用いてトランジスタ23を電氣的に分離する場合を例示している。具体的に、図8では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ

10

20

30

40

50

タ 2 3 を素子分離させている。

【 0 1 1 5 】

トレンチ以外の領域に存在する基板 4 0 0 の凸部には、トランジスタ 2 3 の不純物領域 4 0 2 及び不純物領域 4 0 3 と、不純物領域 4 0 2 及び不純物領域 4 0 3 に挟まれたチャネル形成領域 4 0 4 とが設けられている。さらに、トランジスタ 2 3 は、チャネル形成領域 4 0 4 を覆う絶縁膜 4 0 5 と、絶縁膜 4 0 5 を間に挟んでチャネル形成領域 4 0 4 と重なるゲート電極 4 0 6 とを有する。

【 0 1 1 6 】

トランジスタ 2 3 では、チャネル形成領域 4 0 4 における凸部の側部及び上部と、ゲート電極 4 0 6 とが絶縁膜 4 0 5 を間に挟んで重なることで、チャネル形成領域 4 0 4 の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、基板 4 0 0 上におけるトランジスタ 2 3 の占有面積を小さく抑えつつ、トランジスタ 2 3 におけるキャリアの移動量を増加させることができる。その結果、トランジスタ 2 3 は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域 4 0 4 における凸部のチャネル幅方向の長さ（チャネル幅）を  $W$ 、チャネル形成領域 4 0 4 における凸部の膜厚を  $T$  とすると、チャネル幅  $W$  に対する膜厚  $T$  の比（アスペクト比）が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ 2 3 のオン電流をより大きくすることができ、電界効果移動度もより高められる。バルクの半導体基板を用いたトランジスタ 2 3 の場合、アスペクト比は 0 . 5 以上であることが望ましく、1 以上であることがより望ましい。

【 0 1 1 7 】

トランジスタ 2 3 の上方には、絶縁膜 4 1 1 が設けられている。絶縁膜 4 1 1 には開口部が設けられている。この開口部には、不純物領域 4 0 2、不純物領域 4 0 3 とそれぞれ電氣的に接続されている導電膜 4 1 2、導電膜 4 1 3 と、ゲート電極 4 0 6 と電氣的に接続されている導電膜 4 1 4 と、が設けられている。

【 0 1 1 8 】

導電膜 4 1 2 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 6 と電氣的に接続されており、導電膜 4 1 3 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 7 に電氣的に接続されており、導電膜 4 1 4 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 8 と電氣的に接続されている。

【 0 1 1 9 】

導電膜 4 1 6 乃至導電膜 4 1 8 の上方には、絶縁膜 4 2 0 が設けられている。そして、絶縁膜 4 2 0 の上方には、酸素、水素、または水の拡散を防止する効果（ブロッキング効果）を有する絶縁膜 4 2 1 が設けられている。絶縁膜 4 2 1 は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、または水の拡散を防止する効果を有する絶縁膜としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。また、水素、または水の拡散を防止する絶縁膜としては、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【 0 1 2 0 】

絶縁膜 4 2 1 の上方には絶縁膜 4 2 2 が設けられており、絶縁膜 4 2 2 の上方には、トランジスタ 2 2 が設けられている。

【 0 1 2 1 】

トランジスタ 2 2 は、絶縁膜 4 2 2 上に、酸化物半導体を含む半導体膜 4 3 0 と、半導体膜 4 3 0 と電氣的に接続された導電膜 4 3 2 及び導電膜 4 3 3 と、半導体膜 4 3 0 を覆うゲート絶縁膜 4 3 1 と、ゲート絶縁膜 4 3 1 を間に挟んで半導体膜 4 3 0 と重なるゲート電極 4 3 4 と、を有する。ここで、導電膜 4 3 2 及び導電膜 4 3 3 は、ソース電極またはドレイン電極としての機能を有する。また、絶縁膜 4 2 0 乃至絶縁膜 4 2 2 には開口部が設けられており、この開口部において導電膜 4 3 3 は導電膜 4 1 8 と電氣的に接続され

10

20

30

40

50

ている。

【 0 1 2 2 】

なお、図 8 においては、ゲート絶縁膜 4 3 1 を間に挟んで半導体膜 4 3 0 と重なるゲート電極 4 3 4 を有するトランジスタ 2 2 を示しているが、本発明はこの構成に限定されない。すなわち、トランジスタ 2 2 は、ゲート電極 4 3 4 を有するとともに、絶縁膜 4 2 2 を間に挟んで半導体膜 4 3 0 と重なるゲート電極をさらに有する構成（すなわち、一对のゲート電極を有する構成）とすることもできる。

【 0 1 2 3 】

トランジスタ 2 2 が一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極には、電位が他の電極または配線から与えられる構成とすることもできる。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

10

【 0 1 2 4 】

また、図 8 では、トランジスタ 2 2 がゲート電極 4 3 4 に対応した一つのチャンネル形成領域を有する構造（シングルゲート構造）を例示しているが、互いに電氣的に接続された複数のゲート電極を有し、複数のチャンネル形成領域を有する構造（マルチゲート構造）とすることもできる。

【 0 1 2 5 】

また、図 8 に示すように、トランジスタ 2 2 は、半導体膜 4 3 0 として、絶縁膜 4 2 2 上において酸化半導体膜 4 3 0 a 乃至酸化半導体膜 4 3 0 c が順に積層された構造を例示しているが、半導体膜 4 3 0 として単層の酸化半導体膜を有する構造とすることもできる。

20

【 0 1 2 6 】

次に、酸化半導体膜にチャンネル形成領域を有するトランジスタ 2 2 の構成の一例について、図 9 を用いながら説明する。

【 0 1 2 7 】

図 9 ( A ) は、トランジスタ 2 2 の上面図を示したものである。なお、図 9 ( A ) では、トランジスタ 2 2 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 9 ( A ) に示した上面図の、破線 A 1 - A 2 における断面図を図 9 ( B ) に示し、破線 A 3 - A 4 における断面図を図 9 ( C ) に示す。

30

【 0 1 2 8 】

図 9 に示すように、トランジスタ 2 2 は、絶縁表面 9 7 に形成された絶縁膜 9 1 上において順に積層された酸化半導体膜 9 2 a 及び酸化半導体膜 9 2 b と、酸化半導体膜 9 2 b に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 9 3 及び導電膜 9 4 と、酸化半導体膜 9 2 b、導電膜 9 3 及び導電膜 9 4 上の酸化半導体膜 9 2 c と、ゲート絶縁膜としての機能を有し、なおかつ酸化半導体膜 9 2 c 上に位置する絶縁膜 9 5 と、ゲート電極としての機能を有し、なおかつ絶縁膜 9 5 上において酸化半導体膜 9 2 a 乃至酸化半導体膜 9 2 c と重なる導電膜 9 6 と、を有する。なお、絶縁表面 9 7 は、ガラス基板や半導体基板などの表面であってもよいし、ガラス基板や半導体基板上に半導体素子が形成された素子基板の表面であってもよい。

40

【 0 1 2 9 】

次に、酸化半導体膜にチャンネル形成領域を有するトランジスタ 2 2 の構成の他の一例について、図 10 を用いながら説明する。

【 0 1 3 0 】

図 10 ( A ) は、トランジスタ 2 2 の上面図を示したものである。なお、図 10 ( A ) では、トランジスタ 2 2 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 10 ( A ) に示した上面図の、破線 A 1 - A 2 における断面図を図 10 ( B ) に示し、破線 A 3 - A 4 における断面図を図 10 ( C ) に示す。

50

## 【 0 1 3 1 】

図 10 に示すように、トランジスタ 22 は、絶縁膜 91 上において順に積層された酸化物半導体膜 92a 乃至酸化物半導体膜 92c と、酸化物半導体膜 92c に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 93 及び導電膜 94 と、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜 92c、導電膜 93 及び導電膜 94 上に位置する絶縁膜 95 と、ゲート電極としての機能を有し、なおかつ絶縁膜 95 上において酸化物半導体膜 92a 乃至酸化物半導体膜 92c と重なる導電膜 96 とを有する。

## 【 0 1 3 2 】

このように、図 9 及び図 10 では、酸化物半導体膜 92a 乃至酸化物半導体膜 92c という積層構造を有するトランジスタ 22 の構成を例示している。

10

## 【 0 1 3 3 】

酸化物半導体膜 92a 乃至酸化物半導体膜 92c が順に積層されている半導体膜をトランジスタ 22 が有する場合、酸化物半導体膜 92a 及び酸化物半導体膜 92c は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つを構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜 92b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下、真空準位に近い酸化物膜である。また、酸化物半導体膜 92b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

## 【 0 1 3 4 】

20

上記構成の半導体膜をトランジスタ 22 が有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜 92b にチャネル領域が形成される。即ち、酸化物半導体膜 92b と絶縁膜 95 との間に酸化物半導体膜 92c が設けられていることによって、絶縁膜 95 と隔離している酸化物半導体膜 92b に、チャネル領域を形成することができる。

## 【 0 1 3 5 】

また、酸化物半導体膜 92c は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 92b と酸化物半導体膜 92c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくく、トランジスタ 22 の電界効果移動度が高くなるという効果を奏する。

30

## 【 0 1 3 6 】

また、酸化物半導体膜 92b と酸化物半導体膜 92a の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ 22 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 92a は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 92b と酸化物半導体膜 92a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 22 の閾値電圧等の電氣的特性のばらつきを、低減することができる。

## 【 0 1 3 7 】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないよう、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

40

## 【 0 1 3 8 】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層するこ

50

とが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気 ( $5 \times 10^{-7}$  Pa 以上かつ  $1 \times 10^{-4}$  Pa 以下の程度まで) とすることが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

#### 【0139】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 $-40$  以下、好ましくは  $-80$  以下、より好ましくは  $-100$  以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、酸化物半導体膜 92b が In-M-Zn 酸化物 (M は、Ga (ガリウム)、Y (イットリウム)、Zr (ジルコニウム)、La (ランタン)、Ce (セリウム)、または Nd (ネオジム) を表す) の場合、酸化物半導体膜 92b を成膜するために用いるターゲットにおいて、金属元素の原子数比を  $In : M : Zn = x_1 : y_1 : z_1$  とすると、 $x_1 / y_1$  は、 $1/3$  以上かつ  $6$  以下、さらには  $1$  以上かつ  $6$  以下であって、 $z_1 / y_1$  は、 $1/3$  以上かつ  $6$  以下、さらには  $1$  以上かつ  $6$  以下であることが好ましい。なお、 $z_1 / y_1$  を  $1$  以上かつ  $6$  以下とすることで、酸化物半導体膜 92b として CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 3 : 1 : 2$  等がある。

#### 【0140】

具体的に、酸化物半導体膜 92a、酸化物半導体膜 92c が In-M-Zn 酸化物の場合、酸化物半導体膜 92a、酸化物半導体膜 92c を成膜するために用いるターゲットにおいて、金属元素の原子数比を  $In : M : Zn = x_2 : y_2 : z_2$  とすると、 $x_2 / y_2 < x_1 / y_1$  であって、 $z_2 / y_2$  は、 $1/3$  以上かつ  $6$  以下、さらには  $1$  以上かつ  $6$  以下であることが好ましい。なお、 $z_2 / y_2$  を  $1$  以上かつ  $6$  以下とすることで、酸化物半導体膜 92a、酸化物半導体膜 92c として CAAC-OS 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 6$ 、 $In : M : Zn = 1 : 3 : 8$  等がある。

#### 【0141】

なお、酸化物半導体膜 92a 及び酸化物半導体膜 92c の厚さは、 $3$  nm 以上かつ  $100$  nm 以下、好ましくは  $3$  nm 以上かつ  $50$  nm 以下とする。また、酸化物半導体膜 92b の厚さは、 $3$  nm 以上かつ  $200$  nm 以下、好ましくは  $3$  nm 以上かつ  $100$  nm 以下であり、さらに好ましくは  $3$  nm 以上かつ  $50$  nm 以下である。

#### 【0142】

3層構造の半導体膜において、酸化物半導体膜 92a 乃至酸化物半導体膜 92c は、非晶質または結晶質の両方の形態を取りうる。ただし、チャンネル領域が形成される酸化物半導体膜 92b が結晶質であることにより、トランジスタ 22 に安定した電気的特性を付与することができるため、酸化物半導体膜 92b は結晶質であることが好ましい。

#### 【0143】

なお、チャンネル形成領域とは、トランジスタ 22 の半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャンネル領域とは、チャンネル形成領域において、電流が主として流れる領域をいう。

#### 【0144】

例えば、酸化物半導体膜 92a 及び酸化物半導体膜 92c として、スパッタリング法により形成した In-Ga-Zn 酸化物膜を用いる場合、酸化物半導体膜 92a 及び酸化物半導体膜 92c の成膜には、In-Ga-Zn 酸化物 ( $In : Ga : Zn = 1 : 3 : 2$  [原子数比]) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを  $30$  sccm、酸素ガスを  $15$  sccm 用い、圧力  $0.4$  Pa とし、

基板温度を200とし、DC電力0.5kWとすればよい。

【0145】

また、酸化物半導体膜92bをCAAC-OS膜とする場合、酸化物半導体膜92bの成膜には、In-Ga-Zn酸化物(In:Ga:Zn=1:1:1[原子数比])を含む多結晶ターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。

【0146】

なお、酸化物半導体膜92a乃至92cは、スパッタリング法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

【0147】

なお、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、キャリア発生源が少ないため、i型(真性半導体)又はi型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電気的特性(ノーマリーオフ特性ともいう。)になりやすい。

【0148】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、様々な実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十yA/ $\mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、シリコンを用いたトランジスタに比べて著しく小さい。

【0149】

また、高純度化された酸化物半導体膜を用いたトランジスタは、-25から150までの極めて広い温度範囲において、オフ電流の変動がほとんどないという特徴を有する。このように、高純度化された酸化物半導体膜を用いたトランジスタは、シリコンを用いたトランジスタと比較して、オフ電流が著しく小さく、かつ温度依存性が極めて小さいという有利な効果を奏する。本発明の一態様においては、このような特徴を有するトランジスタを図2に示すトランジスタM21aやトランジスタM21bに用いているため、コンフィギュレーションメモリを極めて広い温度範囲において不揮発性とすることができる。

【0150】

なお、本明細書において高純度化された酸化物半導体膜とは、真性フェルミレベルとの差が0.5eVより小さいフェルミレベルを有することをいう。この場合、酸化物半導体膜のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満(好ましくは、 $1 \times 10^{15} / \text{cm}^3$ 未満、より好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満)である。

【0151】

また、半導体膜として酸化物半導体膜を用いる場合、少なくともインジウム (In) または亜鉛 (Zn) を含むことが好ましい。また、これに加えて、酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、もしくはジルコニウム (Zr) から選ばれた1種または複数種の元素を含むことが好ましい。

【0152】

酸化物半導体の中でも In-Ga-Zn 酸化物、In-Sn-Zn 酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、

10

【0153】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

【0154】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn 酸化物、Sn-Zn 酸化物、Al-Zn 酸化物、Zn-Mg 酸化物、Sn-Mg 酸化物、In-Mg 酸化物、In-Ga 酸化物、In-Ga-Zn 酸化物 (IGZOとも表記する)、In-Al-Zn 酸化物、In-Sn-Zn 酸化物、Sn-Ga-Zn 酸化物、Al-Ga-Zn 酸化物、Sn-Al-Zn 酸化物、In-Hf-Zn 酸化物、In-La-Zn 酸化物、In-Pr-Zn 酸化物、In-Nd-Zn 酸化物、In-Ce-Zn 酸化物、In-Sm-Zn 酸化物、In-Eu-Zn 酸化物、In-Gd-Zn 酸化物、In-Tb-Zn 酸化物、In-Dy-Zn 酸化物、In-Ho-Zn 酸化物、In-Er-Zn 酸化物、In-Tm-Zn 酸化物、In-Yb-Zn 酸化物、In-Lu-Zn 酸化物、In-Sn-Ga-Zn 酸化物、In-Hf-Ga-Zn 酸化物、In-Al-Ga-Zn 酸化物、In-Sn-Al-Zn 酸化物、In-Sn-Hf-Zn 酸化物、In-Hf-Al-Zn 酸化物を用いることができる。

20

30

【0155】

なお、例えば、In-Ga-Zn 酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn 酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0156】

例えば、In-Sn-Zn 酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn 酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

40

【0157】

また、トランジスタ22において、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げるができる。よって、n型化された領域が形成されることで、トランジスタ22の移動度及びオン電流を高めることができ、それにより、トランジスタ22を用いた半導体装置の高速動作を実現することができる。

【0158】

50

高速動作が実現する酸化物半導体膜を有するトランジスタは、図8のトランジスタ23として使用することができる。このようにトランジスタ23も酸化物半導体膜を有する場合、トランジスタ23は、トランジスタ22と同層に形成するとよい。すなわち、共通の出発膜を酸化物半導体層として、エッチングしたものを用いて、トランジスタ22と、トランジスタ23を構成することができる。なお酸化物半導体膜を有するトランジスタ23上に、酸化物半導体膜を有するトランジスタ22を形成する場合、集積度を高めることができる。

【0159】

また本発明の一態様は、信号伝達速度を向上させることができるため、n型化された領域を有さない酸化物半導体膜を有するトランジスタであっても、図8のトランジスタ23に適用することができる。

10

【0160】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)などが挙げられる。

【0161】

20

複数の積層された酸化物半導体膜を有する半導体膜をトランジスタ22に用いる場合、n型化される領域は、チャネル領域となる酸化物半導体膜92bにまで達していることが、トランジスタ22の移動度及びオン電流を高め、半導体装置の高速動作を実現する上で好ましい。

【0162】

絶縁膜91は、加熱により上記酸素の一部を酸化物半導体膜92a乃至酸化物半導体膜92cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜91は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

30

【0163】

絶縁膜91は、加熱により上記酸素の一部を酸化物半導体膜92a乃至酸化物半導体膜92cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜91は、プラズマCVD(Chemical Vapor Deposition)法またはスパッタリング法等により、形成することができる。

【0164】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

40

【0165】

なお、図9及び図10に示すトランジスタ22は、チャネル領域が形成される酸化物半導体膜92bの端部のうち、導電膜93及び導電膜94とは重ならない端部、言い換えると、導電膜93及び導電膜94が位置する領域とは異なる領域に位置する端部と、導電膜96とが、重なる構成を有する。酸化物半導体膜92bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、

50

酸素欠損が形成され、n型化しやすいと考えられる。しかし、図9及び図10に示すトランジスタ22では、導電膜93及び導電膜94とは重ならない酸化半導体膜92bの端部と、導電膜96とが重なるため、導電膜96の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化半導体膜92bの端部を介して導電膜93と導電膜94の間に流れる電流を、導電膜96に与える電位によって制御することができる。本明細書においては、このようなトランジスタ22の構造を、S u r r o u n d e d C h a n n e l ( S - C h a n n e l ) 構造とよぶ。

【0166】

具体的に、S - C h a n n e l 構造の場合、トランジスタ22がオフとなるような電位を導電膜96に与えたときは、当該端部を介して導電膜93と導電膜94の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ22では、大きなオン電流を得るためにチャンネル長を短くし、その結果、酸化半導体膜92bの端部における導電膜93と導電膜94の間の長さが短くなっても、トランジスタ22のオフ電流を小さく抑えることができる。よって、トランジスタ22は、チャンネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

10

【0167】

また、具体的に、S - C h a n n e l 構造の場合、トランジスタ22がオンとなるような電位を導電膜96に与えたときは、当該端部を介して導電膜93と導電膜94の間に流れる電流を大きくすることができる。当該電流は、トランジスタ22の電界効果移動度とオン電流の増大に寄与する。そして、酸化半導体膜92bの端部と、導電膜96とが重なることで、酸化半導体膜92bにおいてキャリアの流れる領域が、絶縁膜95に近い酸化半導体膜92bの界面近傍のみでなく、酸化半導体膜92bの広い範囲においてキャリアが流れるため、トランジスタ22におけるキャリアの移動量が増加する。この結果、トランジスタ22のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2 / \text{V} \cdot \text{s}$ 以上、さらには $20\text{ cm}^2 / \text{V} \cdot \text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

20

【0168】

以下では、酸化半導体膜の構造について説明する。

30

【0169】

本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。従って、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30^\circ$ 以上 $30^\circ$ 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。従って、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60^\circ$ 以上 $120^\circ$ 以下の角度で配置されている状態をいう。

【0170】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

40

【0171】

酸化半導体膜は、単結晶酸化半導体膜と非単結晶酸化半導体膜とに大別される。非単結晶酸化半導体膜とは、非晶質酸化半導体膜、微結晶酸化半導体膜、多結晶酸化半導体膜、C A A C - O S ( C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r ) 膜などをいう。

【0172】

非晶質酸化半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化半導体膜が典型である。

50

## 【0173】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

## 【0174】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。CAAC-OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

## 【0175】

CAAC-OS膜を、試料面と略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

20

## 【0176】

一方、CAAC-OS膜を、試料面と略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

## 【0177】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

## 【0178】

CAAC-OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角（ $2\theta$ ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

30

## 【0179】

一方、CAAC-OS膜に対し、c軸に略垂直な方向からX線を入射させるin-plane法による解析では、 $2\theta$ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO<sub>4</sub>の結晶の（110）面に帰属される。InGaZnO<sub>4</sub>の単結晶酸化物半導体膜であれば、 $2\theta$ を56°近傍に固定し、試料面の法線ベクトルを軸（ $\omega$ 軸）として試料を回転させながら分析（ $\omega$ スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、 $2\theta$ を56°近傍に固定して $\omega$ スキャンした場合でも、明瞭なピークが現れない。

40

## 【0180】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

## 【0181】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を

50

行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0182】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

10

【0183】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピーク他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0184】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0185】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

20

【0186】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0187】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0188】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、スパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

30

【0189】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0190】

ターゲットの一例として、In-Ga-Zn酸化物ターゲットについて以下に示す。

40

【0191】

InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及びZnO<sub>z</sub>粉末を所定のmol数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn酸化物ターゲットとする。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO<sub>x</sub>粉末、GaO<sub>y</sub>粉末及びZnO<sub>z</sub>粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3、2:1:3または3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するターゲットによって適宜変更すればよい。特に、In、Ga、Znのmol数比が2:1:3のターゲットを用いて作製されたCAAC-OS膜は、一定の範囲におけるCAAC-OSの回折パター

50

ンが観測される領域の割合（C A A C化率ともいう）を高くすることができるので、当該C A A C - O S膜にチャネル形成領域を有するトランジスタの周波数特性（f特）を高めることができる。

【0192】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して $Na^+$ となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / cm^3$ 以下、好ましくは $1 \times 10^{16} / cm^3$ 以下、更に好ましくは $1 \times 10^{15} / cm^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / cm^3$ 以下、好ましくは $1 \times 10^{15} / cm^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / cm^3$ 以下、好ましくは $1 \times 10^{15} / cm^3$ 以下とするとよい。

10

【0193】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{18} / cm^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

20

【0194】

（実施の形態5）

本実施の形態では、本発明の一態様の半導体装置の構成の一例について、図面を参照しながら説明する。特に、実施の形態4で説明した半導体装置の構成と相違する点について詳細に説明する。

30

【0195】

図11に、図2で示した回路SW21-22の断面構造の一部を示す。図11におけるトランジスタ23の構造は、たとえば、図2におけるトランジスタM21a、トランジスタM21bに適用することができる。また、図11におけるトランジスタ22の構造は、たとえば、図2におけるトランジスタM22a、トランジスタM22bに適用することができる。

【0196】

トランジスタ23の構造については、図8におけるトランジスタ23の構造と共通している部分が多いため、ここでは概略のみ説明する。

【0197】

トランジスタ23が形成される半導体基板601は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図11では、単結晶シリコン基板を半導体基板601として用いる場合を例示している。

40

【0198】

また、トランジスタ23は、素子分離法により電気的に分離されている。図11では、トレンチ分離法を用いてトランジスタ23を電気的に分離する場合を例示している。具体的に、図11では、半導体基板601にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域610により、トランジスタ23を素子分離させる場合を例示している。

【0199】

50

トランジスタ23上には、絶縁膜611が設けられている。絶縁膜611には開口部が設けられている。この開口部には、トランジスタ23のソース及びドレインとそれぞれ電氣的に接続されている導電膜625及び導電膜626と、トランジスタ23のゲートと電氣的に接続されている導電膜627と、が形成されている。

【0200】

導電膜625は、絶縁膜611上に設けられた導電膜634と電氣的に接続されている。導電膜626は、絶縁膜611上に設けられた導電膜635と電氣的に接続されている。導電膜627は、絶縁膜611上に設けられた導電膜636と電氣的に接続されている。

【0201】

導電膜634乃至導電膜635上には、絶縁膜612が設けられている。絶縁膜612には開口部が設けられている。この開口部には、導電膜636と電氣的に接続された導電膜637が形成されている。そして、導電膜637は、絶縁膜612上に形成された導電膜651と電氣的に接続されている。

【0202】

導電膜651上には、絶縁膜613が設けられている。絶縁膜613には開口部が設けられており、この開口部には、導電膜651と電氣的に接続された導電膜652が設けられている。そして、導電膜652は、絶縁膜613上に設けられた導電膜653と電氣的に接続されている。また、絶縁膜613上には、導電膜644が設けられている。

【0203】

導電膜653及び導電膜644上には絶縁膜661が設けられている。絶縁膜661上には、トランジスタ22が設けられている。

【0204】

トランジスタ22は、酸化物半導体を含む半導体膜701と、半導体膜701上の、ソースまたはドレインとして機能する導電膜721及び導電膜722と、半導体膜701、導電膜721及び導電膜722上のゲート絶縁膜662と、ゲート絶縁膜662上に位置し、導電膜721と導電膜722の間において半導体膜701と重なっているゲート電極731と、を有する。なお、導電膜722は、絶縁膜661に設けられた開口部において、導電膜653と電氣的に接続されている。

【0205】

半導体膜701は、導電膜721と重なる領域と、ゲート電極731と重なる領域（チャンネル形成領域）との間に、領域710を有する。同様に、半導体膜701は、導電膜722と重なる領域と、ゲート電極731と重なる領域との間に、領域711を有する。領域710及び領域711は、アルゴン等の希ガス、p型の導電型を付与する元素、またはn型の導電型を付与する元素を含んでいることが好ましい。これらの元素を含む領域710及び領域711は、ゲート電極731と重なる領域（チャンネル形成領域）よりも抵抗率を下げるためである。

【0206】

トランジスタ22上には、絶縁膜663が設けられている。

【0207】

なお、図11においては、ゲート絶縁膜662を間に挟んで半導体膜701と重なるゲート電極731を有するトランジスタ22を示しているが、本発明はこの構成に限定されない。すなわち、トランジスタ22は、ゲート電極731を有するとともに、絶縁膜661を間に挟んで半導体膜701と重なるゲート電極をさらに有する構成（すなわち、一对のゲート電極を有する構成）とすることもできる。

【0208】

トランジスタ22が一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極には、電位が他の電極または配線から与えられる構成とすることもできる。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの

10

20

30

40

50

固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【0209】

また、図11では、トランジスタ22がゲート電極731に対応した一つのチャンネル形成領域を有する構造（シングルゲート構造）を例示しているが、互いに電氣的に接続された複数のゲート電極を有し、複数のチャンネル形成領域を有する構造（マルチゲート構造）とすることもできる。

【0210】

また、図11に示すように、トランジスタ22は、半導体膜701として、絶縁膜661上において単層の酸化物半導体膜を有する構造を例示しているが、複数の酸化物半導体膜が順に積層された構造とすることもできる。

10

【0211】

（実施の形態6）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話機、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図12に示す。

20

【0212】

図12（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機に搭載された各種集積回路として用いることができる。

【0213】

図12（B）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末に搭載された各種集積回路として用いることができる。ここで、第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602とのなす角度は、接続部5605により変更が可能である。また、第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602とのなす角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。また、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

30

40

【0214】

図12（C）はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータに搭載された各種集積回路として用いることができる。

【0215】

図12（D）は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用の扉5302、冷凍室用の扉5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫に搭

50

載された各種集積回路として用いることができる。

【0216】

図12(E)はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様にかかる半導体装置は、ビデオカメラに搭載された各種集積回路として用いることができる。ここで、操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802とのなす角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としても良い。

10

【0217】

図12(F)は普通自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。本発明の一態様にかかる半導体装置は、普通自動車に搭載された各種集積回路として用いることができる。

【0218】

なお、本明細書等において、例えば、トランジスタのソース(又は第1の端子など)が、Z1を介して(又は介さず)、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2を介して(又は介さず)、Yと電氣的に接続されている場合や、トランジスタのソース(又は第1の端子など)が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン(又は第2の端子など)が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することができる。

20

【0219】

例えば、「XとYとトランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とは、互いに電氣的に接続されており、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、Xと電氣的に接続され、トランジスタのドレイン(又は第2の端子など)はYと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース(又は第1の端子など)とドレイン(又は第2の端子など)とを介して、Yと電氣的に接続され、X、トランジスタのソース(又は第1の端子など)、トランジスタのドレイン(又は第2の端子など)、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

30

40

【符号の説明】

【0220】

LE21      ロジックエレメント  
 LE22      ロジックエレメント  
 LE2n      ロジックエレメント  
 LE31      ロジックエレメント  
 LE32      ロジックエレメント  
 LE3n      ロジックエレメント  
 SW21 - 21      回路  
 SW21 - 21a      回路

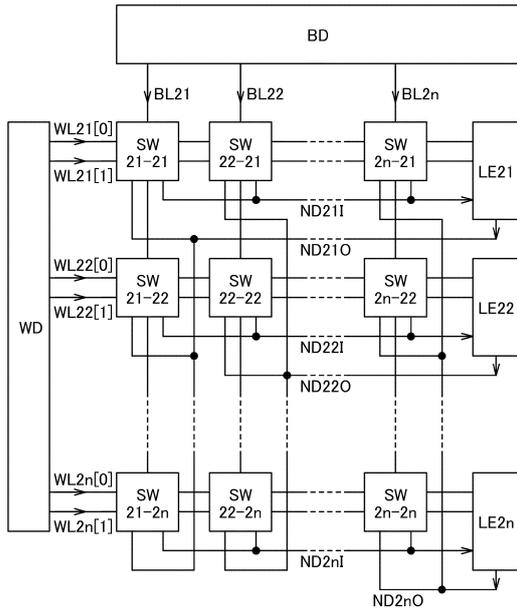
50

S W 2 1 - 2 1 b	回路	
S W 2 1 - 2 2	回路	
S W 2 1 - 2 2 a	回路	
S W 2 1 - 2 2 b	回路	
S W 2 1 - 2 n	回路	
S W 2 2 - 2 1 b	回路	
S W 2 2 - 2 2	回路	
S W 2 2 - 2 2 b	回路	
S W 2 n - 2 1 b	回路	
S W 2 n - 2 2	回路	10
S W 2 n - 2 2 b	回路	
S W 2 n - 2 n	回路	
S W 2 n - 2 n b	回路	
S W 3 1 - 3 1	回路	
S W 3 1 - 3 1 a	回路	
S W 3 1 - 3 1 b	回路	
S W 3 1 - 3 2	回路	
S W 3 1 - 3 2 a	回路	
S W 3 1 - 3 2 b	回路	
S W 3 n - 3 1 b	回路	20
S W 3 n - 3 2 b	回路	
S W 3 n - 3 n	回路	
S W 3 n - 3 n b	回路	
M 2 1 a	トランジスタ	
M 2 1 b	トランジスタ	
M 2 2 a	トランジスタ	
M 2 2 b	トランジスタ	
M 2 3 a	トランジスタ	
M 2 3 b	トランジスタ	
M 2 4	トランジスタ	30
M 3 1 a	トランジスタ	
M 3 1 b	トランジスタ	
M 3 2 a	トランジスタ	
M 3 2 b	トランジスタ	
M 3 3 a	トランジスタ	
M 3 3 b	トランジスタ	
M 3 4	トランジスタ	
M 3 5	トランジスタ	
M 3 6	トランジスタ	
C 2 1	容量素子	40
C 2 2	容量素子	
C 3 1	容量素子	
C 3 2	容量素子	
S T 2 1	回路	
S T 2 2	回路	
S T 2 n	回路	
S T 3 1	回路	
S T 3 2	回路	
S T 3 n	回路	
I N V 3 1	インバータ	50

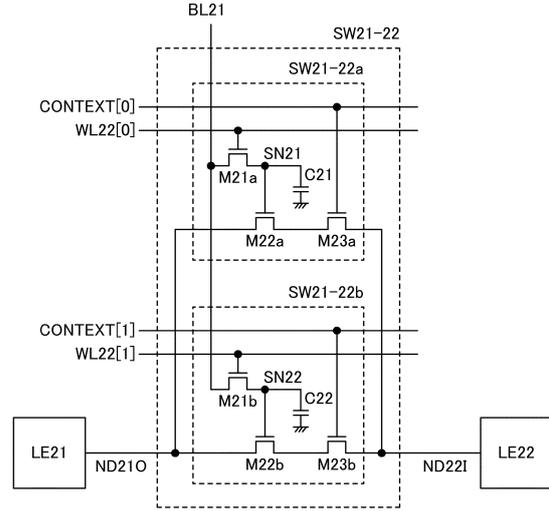
2 1	インバータ	
2 2	トランジスタ	
2 3	トランジスタ	
9 1	絶縁膜	
9 2 a	酸化物半導体膜	
9 2 b	酸化物半導体膜	
9 2 c	酸化物半導体膜	
9 3	導電膜	
9 4	導電膜	
9 5	絶縁膜	10
9 6	導電膜	
9 7	絶縁表面	
2 0 1	ルックアップテーブル	
2 0 2	記憶装置	
2 0 3	レジスタ	
2 0 4	A N D回路	
4 0 0	基板	
4 0 1	素子分離領域	
4 0 2	不純物領域	
4 0 3	不純物領域	20
4 0 4	チャネル形成領域	
4 0 5	絶縁膜	
4 0 6	ゲート電極	
4 1 1	絶縁膜	
4 1 2	導電膜	
4 1 3	導電膜	
4 1 4	導電膜	
4 1 6	導電膜	
4 1 7	導電膜	
4 1 8	導電膜	30
4 2 0	絶縁膜	
4 2 1	絶縁膜	
4 2 2	絶縁膜	
4 3 0	半導体膜	
4 3 0 a	酸化物半導体膜	
4 3 0 c	酸化物半導体膜	
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	ゲート電極	40
6 0 1	半導体基板	
6 1 0	素子分離領域	
6 1 1	絶縁膜	
6 1 2	絶縁膜	
6 1 3	絶縁膜	
6 2 5	導電膜	
6 2 6	導電膜	
6 2 7	導電膜	
6 3 4	導電膜	
6 3 5	導電膜	50

6 3 6	導電膜	
6 3 7	導電膜	
6 4 4	導電膜	
6 5 1	導電膜	
6 5 2	導電膜	
6 5 3	導電膜	
6 6 1	絶縁膜	
6 6 2	ゲート絶縁膜	
6 6 3	絶縁膜	
7 0 1	半導体膜	10
7 1 0	領域	
7 1 1	領域	
7 2 1	導電膜	
7 2 2	導電膜	
7 3 1	ゲート電極	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	20
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	扉	
5 3 0 3	扉	30
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	40
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	

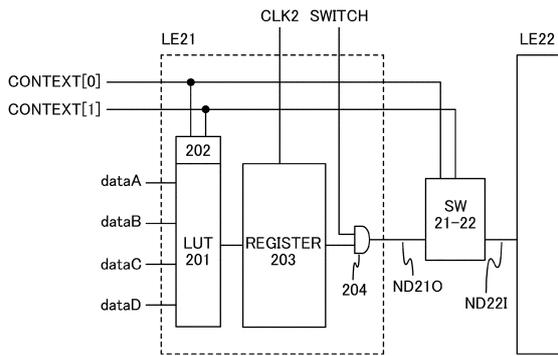
【図1】



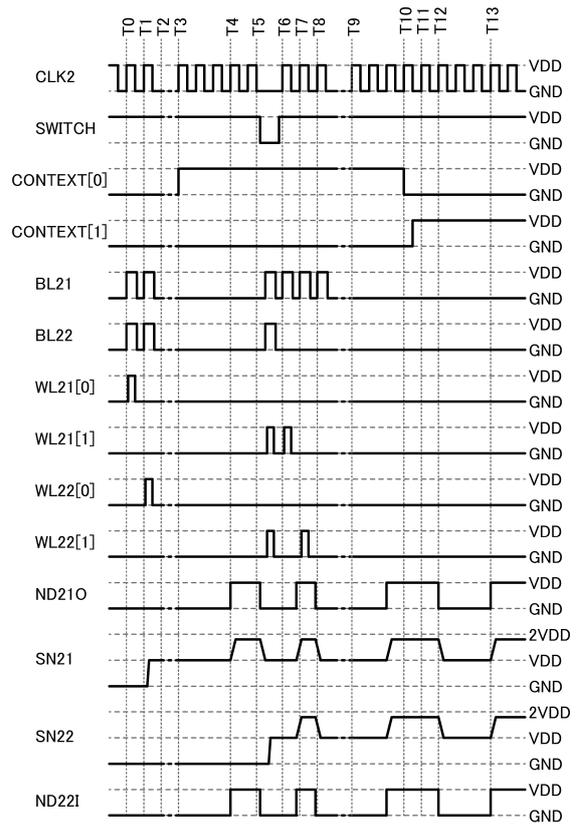
【図2】



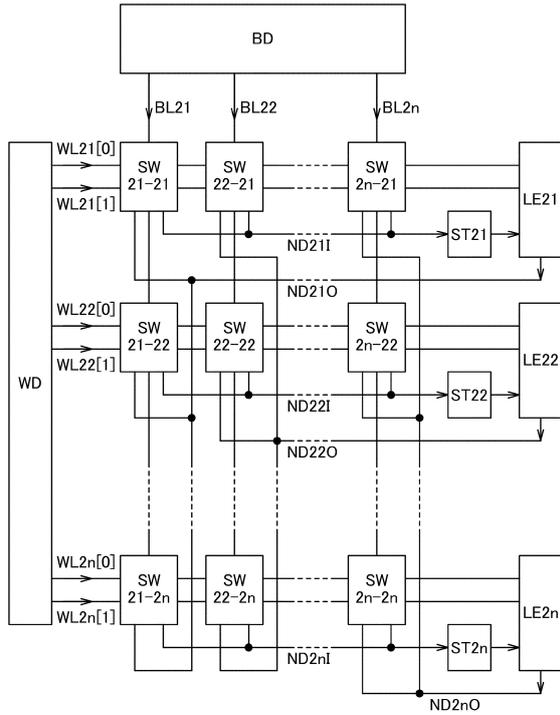
【図3】



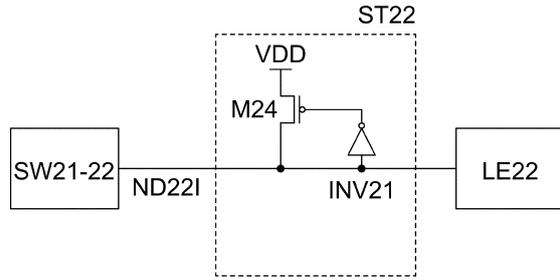
【図4】



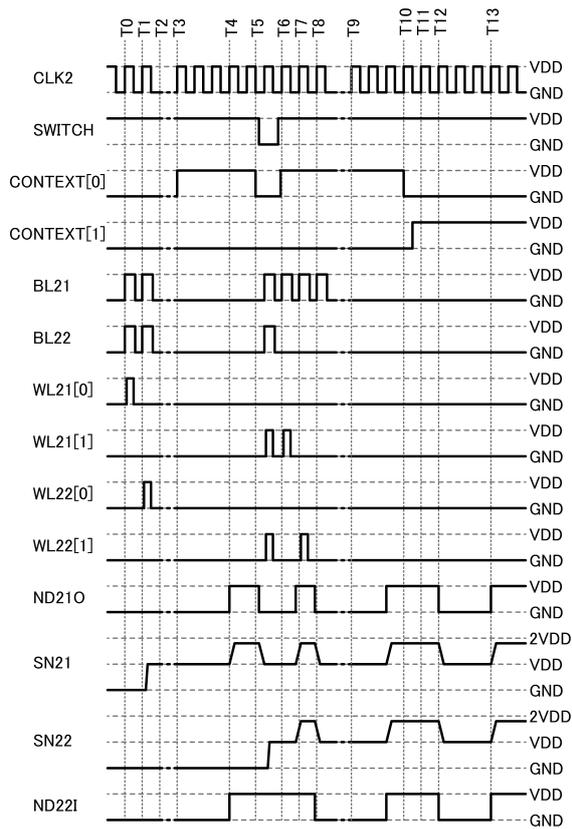
【 図 5 】



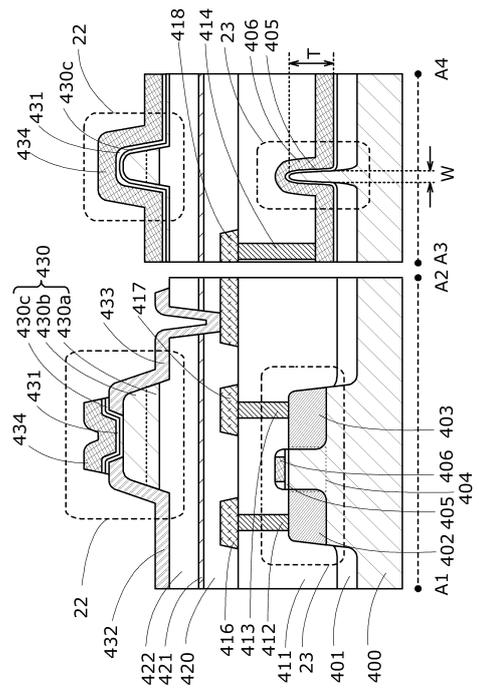
【 図 6 】



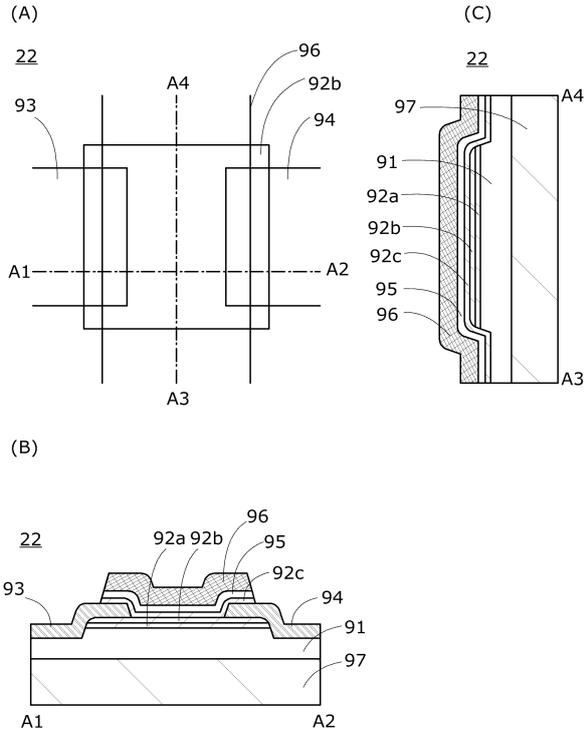
【 図 7 】



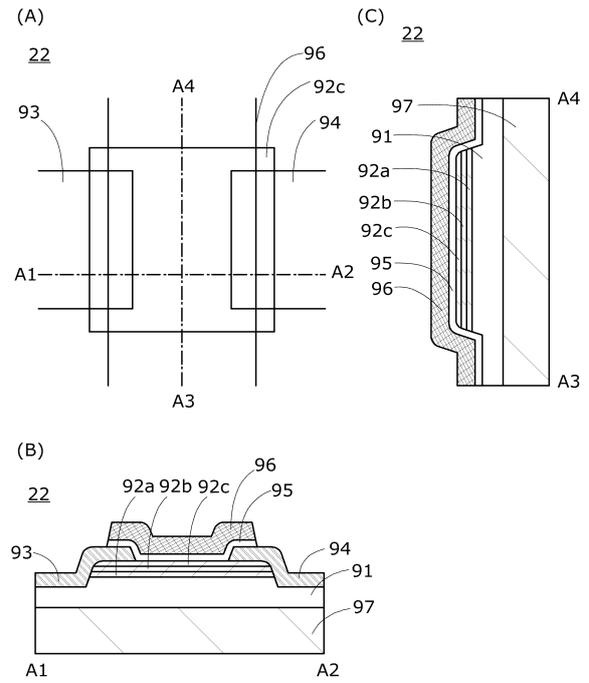
【 図 8 】



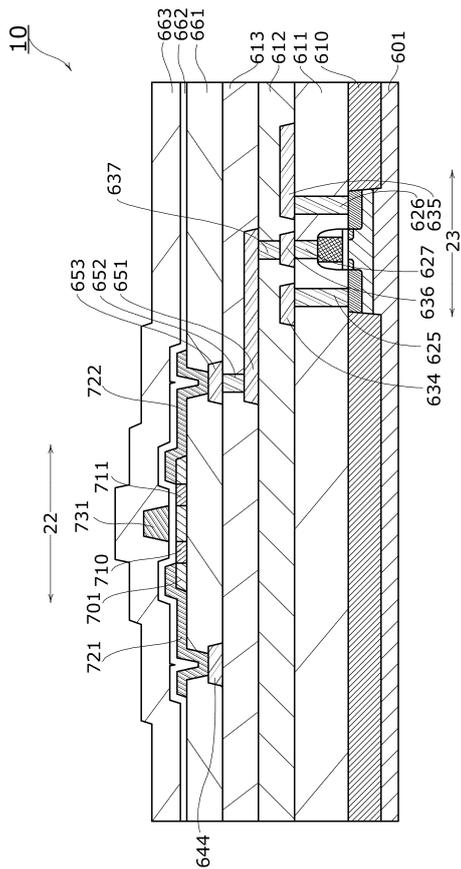
【図 9】



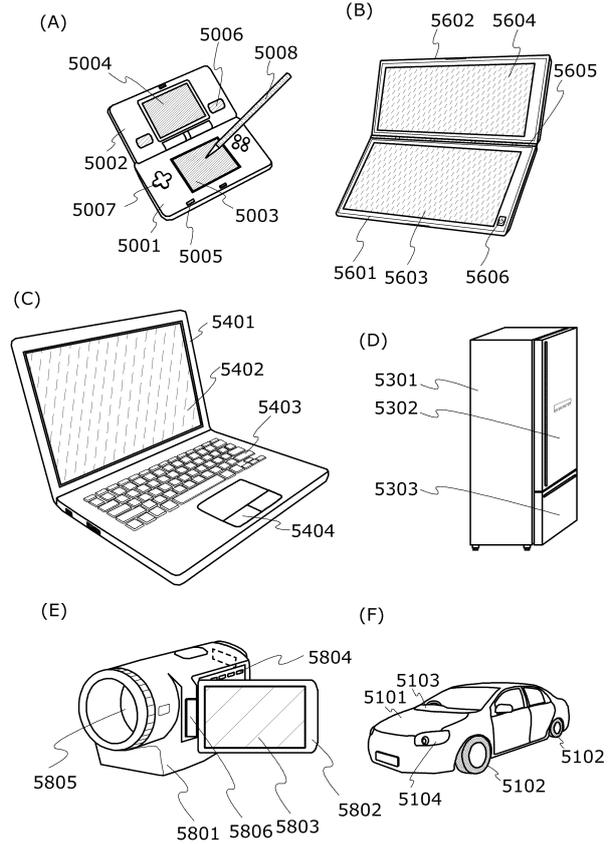
【図 10】



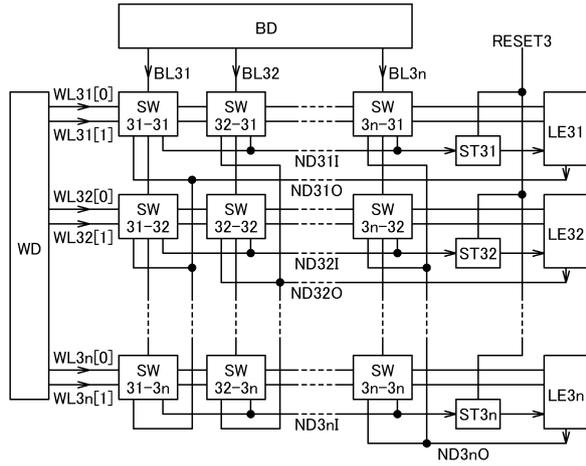
【図 11】



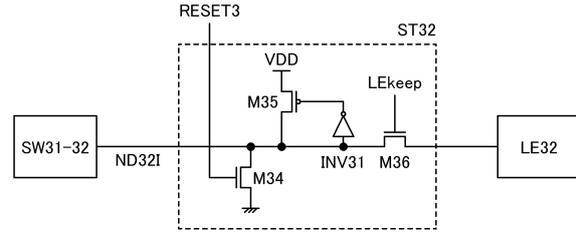
【図 12】



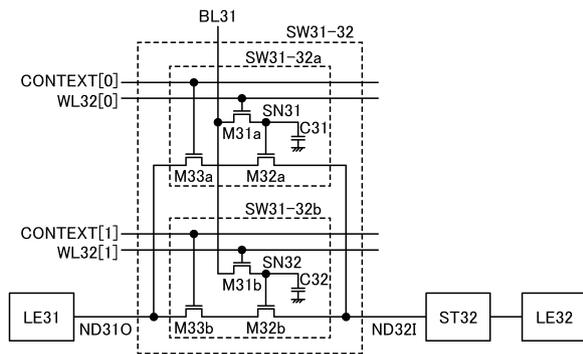
【 図 1 3 】



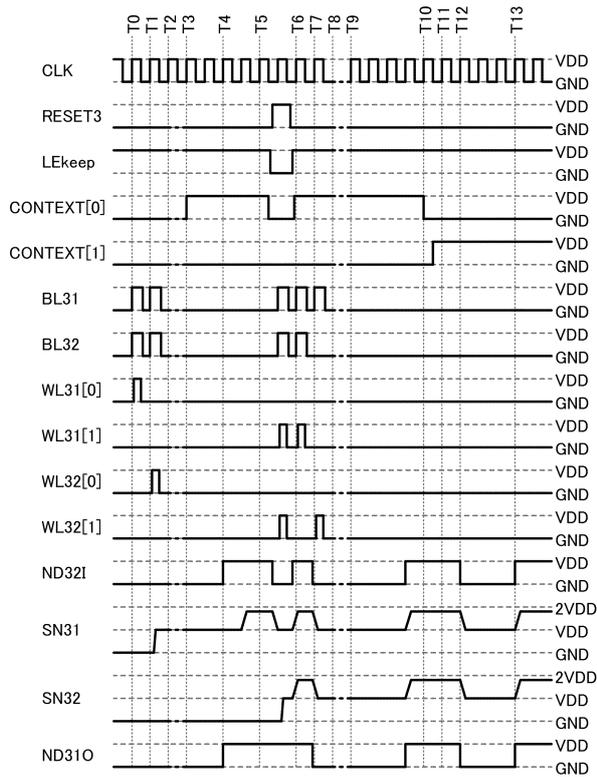
【 図 1 5 】



【 図 1 4 】



【 図 1 6 】



---

フロントページの続き

- (56)参考文献 特開2013-251894(JP,A)  
特開2013-243657(JP,A)  
特開2014-038684(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/177  
H01L 21/82  
H01L 21/822  
H01L 27/04