

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G06F 13/38 H03K 19/0175	(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년01월15일 특0161570 1998년08월25일
(21) 출원번호 (22) 출원일자	특1995-033784 1995년09월26일	(65) 공개번호 (43) 공개일자
(30) 우선권주장 (73) 특허권자	94-229309 1994년09월26일 일본(JP) 닛폰 덴키 주식회사 가네꼬 히사시	특1996-011725 1996년04월20일
(72) 발명자	일본국 도쿄도 미나토구 시바 5-7-1 마쯔바라 야스시	
(74) 대리인	일본국 도쿄도 미나토구 시바 5-7-1 닛폰 덴키(주)내 이병호, 최달용	

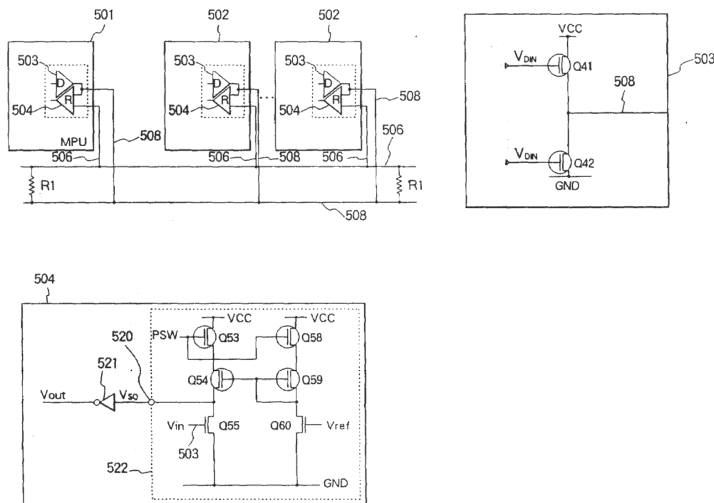
심사관 : 오홍수

(54) 인터페이스용 신호 수신기

요약

MPU 또는 메모리의 인터페이스용 신호 수신기는 MPU 및 메모리용 입/출력 라인으로부터 입력 신호를 수신하는 차동 증폭기와, 상기 차동 증폭기의 출력을 수신하는 인버터와, 신호 수신기의 입력 신호에 대해 히스테리시스를 갖은 전송 특성을 신호 수신기에 제공하는 피드-백 섹션을 가진다. 상기 피드-백 섹션은 피드-백 신호 경로와, 상기 차동 증폭기의 출력과 전원 라인 사이에 형성된 피드-백 전류 경로를 활성화 또는 비활성화하기 위해 제어 신호로서 피드-백 전류 경로에 피드백되어 차동 증폭기의 출력의 전압 레벨을 시프트한다. 상기 게이트는 입력 신호의 과도적 진동에 의해 동작되지 않으며 신호 수신기의 입력의 과도적 진동에 기인한 불필요한 전력 소비가 방지된다.

대표도



명세서

[발명의 명칭]

인터페이스용 신호 수신기

[도면의 간단한 설명]

제1a 내지 1c도는 각각 종래의 인터페이스, 구동기 및 상기 인터페이스 내의 신호 수신기의 회로도.

제2a 내지 2c도는 제1a도에 도시된 차동 증폭기의 입력 신호, 차동 증폭기의 출력 신호, 및 인버터의 출력 신호 각각의 타이밍도.

제3a도는 본 발명의 제1실시예에 따른 인터페이스의 신호 수신기의 개략도.

제3b도는 입력 신호에 대해 히스테리시스를 갖은 제3a도의 신호 수신기의 전송 특성도.

제4a 내지 4c도는 트리거 임계 V_{THH} 및 V_{THL} 에 대해 도시된 차동 증폭기의 입력 신호, 인버터의 임계 V_{THH}

에 대한 차동 증폭기의 출력 신호, 인버터의 출력 신호 각각의 타이밍도.

제5a도는 본 발명의 제2실시예에 따른 인터페이스의 신호 수신기의 개략도.

제5b도는 트리거 임계 V_{THH} 에 대해 도시된 제5a도의 신호 수신기용 입력 신호의 타이밍도.

제6a도는 본 발명의 제3실시예에 따른 인터페이스의 신호 수신기의 개략도.

제6b도는 트리거 임계 V_{THL} 에 관해 도시된 제6a도의 수신기용 입력 신호의 타이밍도.

제7도는 본 발명의 제4실시예에 따른 인터페이스 내 신호 수신기의 개략도.

* 도면의 주요부분에 대한 부호의 설명

- 502 : 메모리
- 504 : 신호 수신기
- 508 : 입/출력 라인
- 522 : 차동 증폭기

[발명의 상세한 설명]

[발명의 배경]

[발명의 분야]

본 발명은 입/출력 라인으로부터 마이크로 처리 유닛(MPU), 메모리 등의 인터페이스에서의 데이터를 수신하는 신호 수신기에 관한 것이다.

[관련기술의 설명]

MPU의 동작 주파수가 50MHz까지 증가하고, MPU, 메모리 등을 입/출력 라인에 접속하는 오랫동안 사용되 왔던 종래의 인터페이스에서는 소비전력이나 스위칭 잡음의 관점에서는 한계가 나타났다. 이러한 상황에서, 고속으로 동작하는 새로운 인터페이스를 발견하는 것은 중요하다. 고속으로 동작할 수 있는 몇몇 인터페이스가 최근에 제안되고 있다. 고속으로 동작하는 인터페이스의 한 예는 제1a, 1b, 1c도에 종래의 인터페이스, 구동기, 및 인터페이스의 신호 수신기가 각각 도시된다.

제1a도에서, MPU(501)를 다수의 메모리(502)에 연결하는 신호 전송 회로는 인터페이스들로 구성되며, 각 인터페이스는 MPU(501) 및 다수의 메모리(502)에 각각 제공된 한 쌍의 구동기(50), 신호 수신기(504), 기준 전압 전원라인(506), 입/출력 라인(508) 및 종단 저항 R1로 구성된다.

MPU(501) 및 메모리(502)는 구동기(503), 신호 수신기(504) 및 입/출력 라인(508)을 사용하여 그들 사이에서 데이터를 전송한다. 예를들면, 데이터는 MPU(501) 내의 구동기(503)로부터 입/출력 라인(508)으로 전송되며, 입/출력 라인(508)으로부터 데이터를 수신하는 메모리(502)의 신호 수신기(504)에 의해 상기 데이터가 판독된다.

종단저항 R1은 입/출력 라인(508)의 종단에서 신호 반사에 의해 발생된 노이즈를 방지하기 위해, 입/출력 라인(508)의 양단부에서, 입/출력 라인(508)과 기준 전압 전원 라인(56) 사이에서 접속된다.

종래의 구동기(503) 및 신호 수신기(504)의 구체적인 회로에는 제1b도 및 1c도를 각각 참조하여 기술하기로 한다.

제1b도에서, 3-상태 버퍼로 언급되는 구동기(503)는, 2개의 전계효과 트랜지스터 Q41 및 Q42로 구성되며, P-채널(p-ch) 트랜지스터 Q41의 소스는 전원 라인 Vcc에 접속되며, 반면에 n-ch 트랜지스터 Q42의 소스는 접지 GND에 접속된다. 각각의 트랜지스터 Q41 및 Q42의 게이트는 입력 신호 V_{0in} 를 수신하는 신호 라인에 접속된다. 트랜지스터 Q41 및 Q42의 드레인은 입/출력 라인(508)에 함께 접속된다.

상기 기술된 바와 같은 구성에서, 저 레벨 신호 V_{0in} 가 입력되어 트랜지스터 Q41을 온으로 하고 트랜지스터 Q42를 오프로 할 때, 전원 라인 Vcc의 것과 거의 동일한 전위를 갖는 출력 전압은 입/출력 라인(508)으로 출력된다. 한편, 고레벨 신호가 입력되어 트랜지스터 Q42를 온으로 하고 트랜지스터 Q41을 오프로 할 때, 접지 전위 GND와 거의 동일한 전위를 갖는 출력 전압은 입/출력 라인(508)으로 출력된다. 더욱이, 고 또는 저-레벨 신호가 구동 입력 라인에 제공되지 않으면, 양 트랜지스터 Q41 및 Q42는 오프로 되어, 구동기(503)의 출력은 고임피던스 상태로 유지된다. 그러므로, 데이터는 구동기(503)에서 입/출력 라인(508)으로 전송된다.

제1c도에서, 신호 수신기(504)는 차동 증폭기(522)와, 상기 차동 증폭기(522)의 출력을 수신하는 인버터(521)로 구성된다. 차동 증폭기(522)는 각각의 트랜지스터 차동 증폭기(522)가 활성 또는 비활성으로 턴하는 것에 의해 활성 신호 PSN를 수신하는 게이트를 각각 가지는 p-ch 트랜지스터 Q53 및 Q58과, p-ch 트랜지스터 Q54, Q59, 상기 차동 증폭기(522)의 몸체를 구성하는 p-ch 트랜지스터 Q55와 Q60을 포함한다.

트랜지스터 Q53 및 Q58의 각 소스는 전원라인 Vcc에 접속되며, 트랜지스터 Q53 및 Q58의 드레인은 트랜지스터 Q54, Q59의 소스에 각각 접속된다. 수신기(504)가 동작할 때, 활성 신호 PSN를 저 레벨로 유지함으로써 트랜지스터 Q53 및 Q58은 온으로 되고, 차동 증폭기(522)의 몸체를 형성하는 트랜지스터 Q54, Q55, Q59, Q60에 전력을 제공한다. 한편, 신호 수신기(504)가 동작되지 않을 때, 활성 신호 PSN을 고레벨로 유지함으로써 신호 수신기(54)는 고임피던스 상태로 유지된다.

차동 증폭기(522)의 트랜지스터 Q55 및 Q50의 각 소스는 접지 GND에 접속된다. 트랜지스터의 Q55의 게이트는 입/출력 라인(508)에 접속되며, 수신기(504)용 입력 신호 V_{in} 은 입/출력 라인에 제공된다. 기준 전압 전원 라인(506)은 트랜지스터 Q60의 게이트에 접속되고, 기준 전압 V_{ref} 도 상기 게이트에 제공된다. 트랜지스터 Q59 및 Q60의 드레인 및 트랜지스터 Q54 및 Q59의 게이트는 함께 접속된다. 트랜지스터 Q54, Q55의 각 드레인은 차동 증폭기(522)의 출력에 함께 접속된다. 차동 증폭기(522)의 출력(520)은

인버터(521)의 입력에 접속되며, 그 출력은 시스템에서 메모리 및 MPU의 대응하는 것의 내부 회로(도시되지 않음)에 접속된다.

동작 중, 차동 증폭기(522)는 입/출력 라인(508)으로부터의 입력 신호 Vin의 전위와 기준 전압 Vref과의 매우 작은 전위 차이를 고감도로 검출하고, 상기 매우 작은 전위 차이를 증폭하여, 차동 증폭기(522)의 출력(520)을 통해 출력 신호 Vso를 출력한다. 입력 신호 Vin이 기준 전압 Vref보다 높을 때, 저레벨은 차동 증폭기(522)의 출력 신호 Vso로서 출력된다. 그 반대로 입력 신호 Vin이 기준 전압 Vref보다 낮을 때, 고레벨은 차동 증폭기(522)의 출력 신호 Vso로서 출력된다. 차동 증폭기(522)의 출력 신호 Vso는 인버터(521)에 제공되며, 인버터의 출력은 MPU 또는 메모리의 내부 회로에 전송된다.

데이터가 MPU(501)와 메모리(502) 사이에서 전송될 때, 메모리의 구동기(503) 또는 수신기(504)만이 동작되고, 다른 구동기 및 다른 수신기는 다른 메모리에서 동작되지 않는다. 그 때, 동작하지 않은 구동기(503) 및 수신기(504) 각각은 고임피던스 상태로 유지된다. 또한, 메모리(502)들 중 하나에서, 구동기(503)가 동작하는 동안 수신기(504)는 동작하지 못하고 임피던스 상태를 유지하며, 반대로, 수신기(504)가 동작하는 동안, 구동기(503)는 동작하지 못해 고임피던스 상태를 유지한다.

상술된 바와 같이, 종래의 신호 수신기의 동작에서, 입/출력 라인(508)에 접속된 구동기 전체에서 모든 트랜지스터가 오프일 때, 즉, 입/출력 라인(508)이 Vcc 또는 접지 전위에 클램프되지 않을 때, 소비전력의 관점에서 문제점이 발생한다. 그 문제점은, 입/출력 라인(508)에 접속된 구동기(503)에서 전체 트랜지스터가 모두 오프로 될 때, 기준 전압 Vref 근처에서 진폭 중심으로 불필요한 과도적 진동이 유도되는 것이다.

제2a, 2b, 2c도는 상술된 바와 같은 상황을 나타내며, 제2a도는 입력 신호 Vin의 파형을 도시하며, 제2b도는 차동 회로의 출력 Vso를 도시하며, 제2c도는 인버터의 출력 Vout을 도시한다. 입/출력 라인 상의 과도적 진동은 차동 증폭기의 출력 Vso에서 증폭되며, 또한 출력 Vso는 제2b도에 도시된 바와 같이 불필요한 과도적 진동을 가진다. 더욱이, 인버터로부터의 출력 Vout은 제2c도에서 도시된 바와 같은 대응하는 과도적 진동을 가진다.

입/출력 라인(508) 상에서 과도적 진동의 전위는 기준 전압 Vref 근처에서 존재한다. 과도적 진동에 의해 야기된 출력 신호의 과도적인 신호를 방지하기 위해, 상술된 과도적 진동이 발생한다 할지라도, 차동 증폭기는 진동에 응답하지 못해 인버터로부터의 출력 Vout은 고 또는 저전위로 유지된다. 그러나, 종래의 신호 수신기에서, 상기 기술된 문제점은 방지할 수 없다. 왜냐하면 차동 증폭기는 입력 신호 Vin의 전위와 기준 전압 Vref 사이에서 매우 작은 전위 차이를 고감도로 증폭하도록 설계되었기 때문이다.

불필요한 과도적 진동은 인버터와 상기 인버터에 접속된 다른 인버터 및 그와 유사한 것에서 불필요한 전력 소비를 발생한다. 그러므로 반도체 디바이스에서 저전력 소비는 중요한 문제가 되었다. 예를 들면, 대기전류가 수십 μA 정도의 레벨 이하로 억제되도록 설계된 다이내믹 RAM 등의 메모리 제품에 있어서, 상기 불필요한 소비 전류는 수 mA에 도달하게 된다.

[발명의 요약]

그러므로, 본 발명의 목적은 과도적 진동에 의해 야기된 불필요한 전류 소비를 감소할 수 있는 인터페이스용 신호 수신기를 제공하는 것이다.

본 발명에 따른 신호 수신기는, 차동 증폭기의 출력에는 제공된 입력 신호에 대한 히스테리시스를 갖은 신호 수신기의 전송 특성을 얻기 위해 제1 및 제2포지티브 피드백 경로가 제공되도록 구성된다.

입력 신호에서 발생된 과도적 진동의 동시 전위가 신호 수신기의 히스테리시스 루프의 폭 내에서 유지되어 인버터가 과도적 진동에 응답하지 않도록 하여 과도적 진동이 히스테리시스를 도입함으로써 출력에서 방지된다.

본 발명의 다른 목적 및 특징은 첨부된 도면을 참조하여 상세히 기술하기로 한다.

제3a도는 본 발명의 제1실시예에 따른 인터페이스용 신호 수신기를 도시하며, 제3b도는 입력 신호에 대한 히스테리시스를 갖은 신호 수신기의 전송 특성도를 도시한다. 제4a, 4b, 4c도는 입력 신호, 차동 증폭기의 출력 신호, 인버터의 출력 신호의 각각의 타이밍도를 도시한다. 상기 신호 수신기는 예를 들면, 제1a도에 도시된 인터페이스에 사용될 수 있다.

제3a도에서, 본 실시예에 따른 신호 수신기는, 차동 증폭기(103)와, 제1피드-백 전류 경로(104) 및 피드-백 신호 경로(108)를 포함하는 제1포지티브 피드-백 섹션과, 제2피드-백 전류 경로(105) 및 제2피드-백 신호 경로(109)를 포함하는 제2포지티브 피드-백 섹션과, 차동 증폭기(103)의 출력 Vso를 수신하는 인버터(101)로 구성된다. 상기 차동 증폭기(103)는, 각각이 차동 증폭기(103)가 활성 또는 비활성되는 것에 의해 활성 신호 PSW를 수신하는 p-ch 트랜지스터 Q3 및 Q8과, p-ch 트랜지스터 Q4, Q9와, 차동 증폭기(103)의 몸체를 구성하는 n-ch 트랜지스터 Q5, Q10을 포함한다. 트랜지스터 Q3 및 Q8의 각 소스는 전원 라인 Vcc에 접속되며, 트랜지스터 Q3 및 Q8의 각 소스는 전원 라인 Vcc에 접속되며, 트랜지스터 Q3 및 Q8의 각 게이트는 활성 신호 라인에 접속된다. 더욱이, 트랜지스터 Q3의 드레인은 트랜지스터 Q4의 소스에 접속되고, 트랜지스터 Q8의 드레인은 트랜지스터 Q9의 소스에 접속된다.

신호 수신기가 동작될 때, 활성 신호 PSW가 저레벨로 유지됨으로써 트랜지스터 Q3 및 Q8은 온으로 되어, 차동 증폭기(103)의 몸체를 형성하는 트랜지스터 Q4, Q5, Q9, Q10에 전력을 제공한다. 한편, 신호 수신기가 동작하지 않을 때, 활성 신호 PSW를 고레벨로 상승시킴으로써 신호 차동 증폭기(103)는 고임피던스 상태를 유지한다.

차동 증폭기(103)의 트랜지스터 Q5 및 Q10의 각 소스는 접지 GND에 접속된다. 트랜지스터 A5의 게이트는 제1a도에서 (508)와 같이 입/출력 라인에 접속되며, 입력 신호 Vin도 입/출력 라인에 제공된다. 제1a도에서 (506)와 같이 기준 전압 전원 라인은 트랜지스터 Q10의 게이트에 접속되며, 기준 전압 Vref도 상기 게이트에 제공된다. 트랜지스터 Q9 및 Q10의 드레인 및 트랜지스터 Q4 및 Q9의 게이트는 각각 함께 접속된다. 트랜지스터 Q4 및 Q5의 양 드레인은 차동 증폭기(103)의 출력에 함께 접속된다. 차동 증폭기(103)

의 출력(100)은 인버터(101)의 입력에 접속되며 상기 인버터의 출력(109)은 신호 수신기의 출력 Vout에 제공하기 위해 도시되지 않은 메모리 및 MPU의 대응하는 것의 내부 회로에 접속된다.

제1피드-백 전류 경로(104) 및 제2피드-백 전류 경로(105) 각각은 전원 라인 Vcc 및 GND의 대응하는 하나의 차동 증폭기(103)의 출력(100) 사이에 접속된다. 제1피드백 전류 경로(104)는 직렬로 접속된 p-ch 트랜지스터 Q1 및 Q2로 구성된다. 트랜지스터 Q1의 소스는 전원 라인 Vcc에 접속되며, 트랜지스터 Q2의 드레인은 차동 증폭기(103)의 출력(100)에 접속된다. 더욱이, 트랜지스터 Q1의 드레인 및 트랜지스터 Q2의 소스는 함께 접속된다. 인버터(101)로부터의 출력 Vout은 제1피드백 경로(108)를 통해 트랜지스터 Q1의 게이트에 접속되고, 트랜지스터 Q2의 게이트는 차동 증폭기(103)의 트랜지스터 Q4의 게이트에 접속된다.

제2포지티브 피드백 섹션(105)은 직렬로 접속된 n-ch 트랜지스터 Q6 및 Q7로 구성된다. 트랜지스터 Q6의 드레인은 차동 증폭기(103)의 출력(100)에 접속되며, 트랜지스터 Q7의 소스는 접지 GND에 접속된다. 트랜지스터 Q6의 소스 및 트랜지스터 Q7의 드레인은 함께 접속된다. 기준 전압 전원 라인은 트랜지스터 Q6의 게이트에 접속되어 기준 전압 Vref은 게이트에 제공된다. 인버터(101)로부터의 출력 Vout은 제2피드백 경로(109)를 통해 트랜지스터 Q7의 게이트에 접속된다. 인버터(101)로부터의 출력 Vout이 저레벨일 때 트랜지스터 Q1은 온으로 되며, 상기 출력이 고레벨일 때, 오프로 된다. 반대로 인버터(101)로부터의 출력 Vout이 저레벨일 때 트랜지스터 Q7은 오프로 되며, 고레벨일 때 온으로 된다.

제1c도의 종래의 수신기(504)에서 인버터(521)로부터의 출력 Vout은 입력 신호 Vin에 의해 활성화되거나 또는 비활성되며, 제3b도에서 화살표로 도시된 바와 같이 기준 전압 Vref 근처의 기준 전압 Vref'은 트리거 임계이다. 보다 상세하게, 입력 신호 Vin의 전위가 제3b도의 트리거 임계 Vref' 보다 더 높으면, 인버터(521)는 고레벨 신호를 출력하며, 한편, 입력 신호 Vin의 전위가 트리거 임계 Vref'보다 낮으면, 인버터(521)는 저레벨 신호를 출력한다. 그러나 현 실시예에서, 인버터(101)의 출력 Vout은 입력 신호 Vin 내로 유도된 과도적 진동이 인버터(101)에 의해 감지되지 않은 범위 내에서 임계용 데드 영역 또는 중립 영역을 제공함으로써 히스테리시스를 갖는다.

제3b도의 히스테리시스 특성은, 입력 신호 Vin이 저레벨을 유지할 때 V_{TH} 에서 신호 수신기의 트리거 임계를 보다 낮게 설정함으로써, 그리고, 입력 신호 Vin이 고레벨을 유지할 때 V_{TH} 에서 신호 수신기의 트리거 임계를 더 높게 설정함으로써 얻어진다. 더 낮은 트리거 임계 V_{TH} 은 과도적 진동 동안 Vin의 최소 전위보다 더 낮게 되도록 결정하며, 더 높은 트리거 임계 V_{TH} 은 과도적 진동 동안 Vin의 최대 전위보다 더 높게 되도록 결정한다. 이러한 구성에 의해 인버터(101)로부터의 출력 Vout은 과도적 진동 직후 레벨에 따라 고레벨 또는 저레벨로 유지되며, 입력 전위 Vin은 과도적 진동 동안 V_{TH} 보다 상승하거나 또는 V_{TH} 보다 하강하지는 않는다.

그 다음, 신호 수신기의 트리거 임계 V_{TH} 및 V_{TH} 를 결정하는 방법은, 신호 수신기의 동작 동안 Vin, Vso 및 Vout 파형을 각각 도시하는 제4a, 4b, 4c도를 참조하여 기술하기로 한다.

현 실시예에서, 차동 증폭기(103)로부터의 출력 신호 Vso의 레벨은 전원 전위 Vcc에 더 가까운 레벨로 시프트되거나 또는 접지 전위 GND에 더 가깝게 시프트되어, 과도적 진동 동안 차동 증폭기의 출력 Vso의 전위는 제3a도의 인버터가 동작하는 임계 레벨 V_{TH} 을 크로스하지 못하는 구성이 사용된다. 이러한 구성은 인버터(101)의 출력 Vout이 과도적 진동 동안 상승하거나 또는 하강하는 것을 방지한다.

제1포지티브 피드백 섹션(104,108)과 제2포지티브 피드백 섹션(105,109)은 제3a도에서 생략되었다고 가정하면, 차동 증폭기(103)의 출력 Vso의 레벨을 시프트하기 위해, 제1전류 경로(106)의 임피던스 대 제2전류 경로(107)의 임피던스 비율을 기초로 하여 결정되는 것을 이해할 수 있다. 제1전류 경로(106)는 차동 증폭기(103)의 출력(100)과 전원 라인 Vcc 사이에 제공된 p-ch 트랜지스터 Q3 및 Q4로 구성된다. 제2전류 경로(107)는 차동 증폭기(103)의 출력(100)과 접지 라인 GND 사이에 제공된 n-ch 트랜지스터 Q5로 구성된다. 즉, 제1전류 경로(106)의 임피던스가 제2전류 경로(107)의 임피던스보다 더 적으면, 차동 증폭기(103)의 출력 Vso의 레벨은 전원 전위 Vcc에 가깝게 존재한다. 한편, 제1전류 경로(106)의 임피던스가 제2전류 경로(107)의 임피던스보다 더 크면, 출력 Vso는 접지 전위 GND에 가깝게 존재한다. 더욱이, 그들 임피던스가 상호 동일하면, 출력 Vso는 전원 전위 Vcc의 1/2에서 존재한다.

유사하게, 제1포지티브 피드백 섹션(104,108) 및 제2포지티브 피드백 섹션(105,109)을 포함하는 제3a도의 신호 수신기에서, 제1전류 경로(106)와 제1피드백 전류 경로(104)를 포함하는 제1결합 브랜치(110)의 임피던스가 제2전류 경로(107)의 임피던스보다 더 작으면, 차동 증폭기로부터의 출력은 전원 Vcc에 가까운 전위 레벨에서 존재한다. 더욱이 제2전류 경로(107)와 제2피드백 전류 경로(105)를 포함하는 제2결합 브랜치(109)의 임피던스가 제1전류 경로(106)의 임피던스보다 작으면, 출력 Vso는 접지전위 GND에 가까운 전위 레벨에서 존재한다.

현 실시예에서, 인버터(101)로부터의 출력 Vout은 저레벨일 때 제1피드백 전류 경로(104)가 동작되고, 제1결합 브랜치(110)의 임피던스가 제2전류 경로(107)의 임피던스보다 작게 함으로써 차동 증폭기(103)로부터의 출력 Vso의 레벨은 전원 Vcc에 가까운 전위 레벨로 시프트되며, 인버터(101)가 과도적 진동에 응답하는 많은 구성이 사용된다. 그 결과 트리거 임계 V_{TH} 는 더 높다.

유사하게, 인버터(101)로부터의 출력 Vout이 고레벨일 때 제2포지티브 피드백 섹션(105)이 동작하고, 제2결합 브랜치(109)의 임피던스가 제1전류 경로(106)의 임피던스보다 작게 함으로써 차동 증폭기(103)로부터의 출력 Vso의 레벨이 접지 전위 GND에 가깝게 시프트되며, 인버터(101)가 과도적 진동에 응답하지 않는 구성을 사용한다. 그 결과 트리거 임계 V_{TH} 은 더 낮아진다.

지금부터 임피던스의 실제 비율을 얻은 방법을 기술하기로 한다.

일반적으로, 과도적 진동은 차동 증폭기(103)용 입력 신호 Vin의 진폭의 1/5 내지 1/3인 진폭을 가진다.

즉, 과도적 진동의 최대값과 최소값 사이의 전위 차이는 제3b도에 도시된 입력 V_{in} 의 최소 입력 V_{IL} 과 최대 입력 V_{IH} 사이에서 전위 차이의 1/5 내지 1/30이다. 제1전류 경로(106)의 임피던스 대 제1결합 브랜치(110)의 제1피드백 전류 경로(104)의 임피던스 비율을 대략 1:2 내지 1:10이며, 더 높은 트리거 임계 V_{THH} 가 값으로 설정되며, 이것에 의해 출력 V_{out} 은 과도적 진동에 응답하지 않는다. 다른 한편, 제1 피드-백 전류 경로(104)의 양호한 임피던스는 제1전류 경로(106)의 임피던스에 대략 2~10배이다. 지정된 바와 같은 비율은 시뮬레이션에 의해 얻어진다. 유사하게, 제2피드백 전류 경로(105)의 임피던스는, 양호한 더 낮은 트리거 임계 V_{THL} 을 얻기 위하여, 제2결합 브랜치(111)의 제2전류 경로(107)의 임피던스에 대략 20~10배이다.

동작 중, 제4a도에 도시된 바와 같은 과도적 진동은 신호 수신기의 입력에 인가될 때, 제4b 및 4c도의 신호는 차동 증폭기 및 인버터로부터 각각 얻어진다. 즉, 제4a도에 도시된 바와 같은 과도적 진동을 포함한 입력 신호 V_{in} 이 신호 수신기에 입력되면, 차동 증폭기로부터의 출력 V_{so} 은 과도적 진동의 성분을 포함한다. 그러나, 차동 증폭기의 출력 V_{so} 에서 과도적 진동의 진폭은 인버터(101)의 임계 레벨 V_{THH} 에 도달하거나 도는 초과하기 위해서는 충분치 않다. 그러므로, 인버터로부터의 출력 V_{out} 은, 제4c도에 도시된 바와 같이 과도적 진동의 시작 직후에 출력 레벨로 고정된다.

상기 기술된 바와 같이, 현 실시예에서, 신호 수신기의 차동 증폭기의 출력에 제1포지티브 피드백 섹션과 제2포지티브 피드백 섹션을 제공하며 그리고, 입력 신호에 대한 전송 특성에서 적절한 히스테리시스를 갖은 임계 영역을 설정함으로써, 과도적 진동이 입력 신호 V_{in} 에 유도된다 할지라도, 차동 증폭기의 출력은 과도적 진동에 의해 영향받지 않는다.

제5a도는 본 발명의 제2실시예에 따른 인터페이스용 신호 수신기를 도시하며, 제5b도는 임계 V_{THH} 에 관해 도시된 입력 신호 V_{in} 을 도시한다.

제5a도에 도시된 바와 같이, 현 실시예에서, 인버터(201)의 출력 V_{out} 이 피드백 신호 경로(208)를 통해 제공된 단일 피드백 전류 경로(204)는 차동 증폭기(203)의 출력(200)과 전원 라인 V_{cc} 사이에 제공된다. 여기서, 제1포지티브 피드백 섹션을 형성하는 트랜지스터 Q11 및 Q12의 회로 구성은, 제1실시예의 제1포지티브 피드백 섹션(104)을 형성하는 제3a도의 트랜지스터 Q1 및 Q2의 회로 구성과 유사하다. 차동 증폭기(203)를 형성하는 트랜지스터 Q13 내지 Q15와 Q18 내지 Q20의 다른 회로 구성은 제1실시예에서 차동 증폭기(103)를 형성하는 제3a도의 트랜지스터 Q3 내지 Q5 및 Q8 내지 Q10의 회로 구성과 유사하다. 더욱이, 제1전류 경로(206)를 형성하는 트랜지스터 Q13 및 Q14와, 제2전류 경로(207)를 형성하는 트랜지스터 Q15의 회로 구성은, 제1실시예에서 제1전류 경로(106)를 형성하는 트랜지스터 Q3 및 Q4와, 제2전류 경로(107)를 형성하는 제3a도의 트랜지스터 Q5의 회로 구성과 유사하다.

이러한 구성에서, 제5b도에 도시된 바와 같이, 제1실시예와 유사한 트리거 임계 V_{THH} 를 설정함으로써, 인버터로부터의 출력 V_{out} 은 과도적 진동의 입력에 의해 영향받지 않는다. 이러한 경우, 입력 신호 V_{in} 이 과도적 진동을 포함한다 할지라도, 그것의 중심은 인버터(101)의 트리거 임계 V_{ref}' 근처이며, 인버터(101)로부터의 출력 V_{out} 은 저레벨로 고정되며, 회로의 임계 V_{THH} 를 초과하는 파형 부분은 없다.

제6a도는 본 발명의 제3실시예에 따른 신호 수신기를 도시하며, 제6b도는 임계에 대해 도시된 입력 신호 V_{in} 을 도시한다.

제6a도에서, 신호 수신기는 인버터(301)의 출력 V_{out} 이 피드백 신호 경로(309)를 통해 피드백되는 단일 피드백 전류 경로(305)가 차동 증폭기(303)의 출력(300)과 접지 라인 GND 사이에 제공되도록 구성된다.

단일 포지티브 피드백 섹션(305)을 형성하는 트랜지스터 Q26 및 Q27의 회로 구성은, 제1실시예에서 제2포지티브 피드백 섹션(105, 108)을 형성하는 제3a도의 트랜지스터(Q6, Q7)의 회로 구성과 유사하다.

차동 증폭기(303)는 활성 신호 PSN에 의해 제어되는 스위칭 트랜지스터 Q23 및 Q28과, 차동 증폭기(303)의 몸체를 형성하는 트랜지스터 Q24, Q25, Q29, Q30, Q21로 구성된다. 트랜지스터 Q23 및 Q28의 각 소스는 접지 GND에 접속되며, 그것의 각 게이트에는 활성 신호 PSW가 제공된다. 더욱이, 트랜지스터 Q23의 드레인은 트랜지스터 Q24의 소스에 접속되며, 트랜지스터 Q28의 드레인은 트랜지스터 Q29의 소스에 접속된다.

신호 수신기가 동작할 때, 활성 신호 PSW가 고레벨로 상승되며 트랜지스터 Q23 및 Q28은 온으로 되고 이것에 의해 전력을 차동 증폭기의 몸체를 형성하는 트랜지스터 Q24, Q25, Q29, Q30, Q21에 제공한다. 차동 증폭기(303)의 트랜지스터 Q21의 소스는 전원 라인 V_{cc} 에 접속된다. 트랜지스터 Q25 및 Q30의 각 소스는 트랜지스터 Q21의 드레인에 접속된다. 입/출력 라인은 트랜지스터 Q21 및 Q25의 게이트에 접속되며, 입력 신호 V_{in} 은 상기 게이트에 제공된다. 기준 전압 라인은 트랜지스터 Q30의 게이트에 접속되며 기준 전압 V_{ref} 도 트랜지스터 Q30의 게이트에 제공된다. 더욱이, 트랜지스터 Q30 및 Q29의 트레인 및 트랜지스터 Q29 및 Q24의 게이트는 함께 접속된다. 트랜지스터 Q24 및 Q25의 드레인은 차동 증폭기(303)의 출력(300)에 접속된다.

이러한 구성에서 조차도, 제1실시예와 유사한 회로 임계 V_{THL} 를 설정함으로써, 제6b도에 도시된 바와 같이, 인버터(301)로부터의 출력 V_{out} 은 과도적 진동의 입력에 의해 영향받지 않는다. 이러한 경우, 입력 V_{in} 이 과도적 진동을 포함한다 할지라도, 그것의 중심은 인버터의 임계 V_{ref}' 근처에 있으며, 인버터(301)로부터의 출력 V_{out} 은 고레벨로 고정되며 V_{in} 에서 회로의 임계 V_{THL} 아래로 떨어지는 파형 부분은 없다.

제7도는 본 발명의 제4실시예에 따른 인터페이스의 신호 수신기를 도시한다.

제7도에서, 차동 증폭기(403)의 몸체를 형성하는 트랜지스터 Q33 내지 Q35와 Q38 내지 Q40의 회로 구성은, 제1실시예의 트랜지스터 Q3 내지 Q5와 Q8 내지 Q10의 회로 구성과 유사하다. 제1피드백 전류 경로(404)를 형성하는 트랜지스터 Q31 및, 제2피드백 전류 경로(405)를 형성하는 트랜지스터 Q37은 차동

증폭기에 제공된다. 트랜지스터 Q31의 드레인 및 소스는 트랜지스터 Q40의 드레인 및 소스에 각각 접속된다. 차동 증폭기(403)의 출력은 제1피드백 신호 경로(408)를 통해 트랜지스터 Q31의 게이트에 접속된다. 더욱이, 트랜지스터 Q37의 드레인 및 소스는 트랜지스터 Q35의 드레인 및 소스에 각각 접속된다. 트랜지스터 Q40의 드레인은 제2피드백 신호 경로(409)를 통해 트랜지스터 Q37의 게이트에 접속된다.

제4실시예의 회로 구성에서, 입력 V_{in} 이 기준 전압 V_{ref} 보다 낮으면, 제1피드백 전류 경로(404)의 트랜지스터 Q31은 온으로 되고, 이것에 의해 트랜지스터 Q40 양단 전압을 낮게 한다. 그러므로, 제2포지티브 피드백 섹션(405,409)의 트랜지스터 Q37의 임피던스는, 제2피드백 신호 경로(409)의 전압 레벨의 하강에 의해 증가된다. 그 결과, 차동 증폭기(403)로부터의 출력은, 전위 레벨 V_{cc} 쪽으로 시프트된다. 수신기의 트리거 임계 V_{TH} 는 제1실시예와 비슷하게 결정될 수 있다. 입력 V_{in} 이 기준 전압 V_{ref} 보다 높으면, 제1포지티브 피드백 섹션(404,408)의 트랜지스터 Q31은 오프로 되고 이것에 의해 트랜지스터 Q40 양단 전압을 상승시킨다. 그러므로, 제2포지티브 피드백 섹션(405,409)의 트랜지스터 Q37의 임피던스는, 제2 피드백 신호 경로(409)의 전압 레벨의 상승에 의해 감소된다. 그 결과, 차동 증폭기로부터의 출력 V_{so} 은 접지 전위 GND 쪽으로 시프트된다. 트리거 임계 V_{TH} 는 제1실시예와 유사하게 결정될 수 있다. 그러므로, 제4실시예에서, 상술된 바와 같은 실시예와 비교하여, 몇몇 파트(part)에서 신호 수신기의 트리거 임계 V_{TH} 및 V_{TL} 을 결정하는 것이 가능하다.

상기 기술된 각 실시예에서 피드백 신호 경로는 인버터의 출력에 직접 접속될 필요는 없다. 피드백 신호 경로가 인버터의 출력에 직접 또는 간접으로 접속된 입력을 갖은 출력에 접속된다. 더욱이, 상기 기술된 각 실시예는 신호 수신기를 형성하는 트랜지스터로서 FET를 사용하여 기술된다. 그러나, 본 발명에 따른 신호 수신기는 바이폴라 트랜지스터를 사용함으로써 형성될 수 있다.

(57) 청구의 범위

청구항 1

입력 신호를 수신하는 차동 증폭기와, 상기 차동 증폭기의 출력에 동작적으로 접속되고 상기 차동 증폭기의 출력의 전압 레벨에 따라 고레벨 또는 저레벨을 제공하는 게이트와, 상기 게이트의 출력과 상기 차동 증폭기의 출력에 동작적으로 접속되고, 상기 차동 증폭기의 입력에 대해 히스테리시스를 갖은 트리거 임계를 신호 수신기에 제공하는 최소한 하나의 퍼지티브 피드-백 섹션을 구비하는 인터페이스용 신호 수신기.

청구항 2

제1항에 있어서, 상기 최소한 하나의 포지티브 피드-백 섹션은, 상기 차동 증폭기의 입력이 저레벨일 때 상기 신호 수신기의 트리거 임계를 상승시키는 제1의 포지티브 피드-백 섹션을 포함하는 인터페이스용 신호 수신기.

청구항 3

제2항에 있어서, 상기 최소한 하나의 포지티브 피드-백 섹션은 상기 신호 수신기의 트리거 임계를 상승시키는 차동 증폭기의 출력을 낮게 하는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 4

제3항에 있어서, 상기 제1포지티브 피드-백 섹션은 피드백 신호 경로와, 고전위 전압 라인 및 차동 증폭기의 출력 사이에 형성된 피드백 전류 경로를 포함하며, 상기 피드-백 신호 경로는, 차동 증폭기의 입력이 저레벨일 때 상기 피드-백 전류 경로를 활성화시키기 위해 제어 신호로서 상기 게이트의 출력 신호를 피드백 전류 경로에 제공하는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 5

제4항에 있어서, 상기 차동 증폭기는 고전위 전원 라인과 차동 증폭기의 출력 사이에 형성된 제1전류 경로를 포함하며, 상기 피드-백 전류 경로는 상기 제1전류 경로의 대략 2 내지 10배 사이의 임피던스를 갖는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 6

제2항에 있어서, 상기 최소한 하나의 포지티브 피드-백 섹션을 차동 증폭기의 입력이 고레벨일 때 상기 신호 수신기의 트리거 임계를 낮게 하는 제2포지티브 피드-백 섹션을 더 포함하는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 7

제6항에 있어서, 상기 제2포지티브 피드-백 섹션은 상기 차동 증폭기의 출력과 접지 라인 사이에 형성된 피드-백 전류 경로를 포함하며, 상기 피드-백 신호 경로는 상기 차동 증폭기의 입력이 고레벨일 때 상기 피드-백 전류 경로를 활성화시키기 위해 제어 신호로서 상기 게이트의 출력을 상기 피드-백 전류 경로에 제공하는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 8

제7항에 있어서, 상기 차동 증폭기는 상기 차동 증폭기의 출력과 접지 라인 사이에 형성된 제1전류 경로를 포함하며, 상기 피드-백 전류 경로는 제1전류 경로의 대략 2 내지 10배 사이의 임피던스를 갖는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 9

제1항에 있어서, 상기 최소한 하나의 포지티브 피드-백 섹션은 상기 차동 증폭기의 입력이 고레벨일 때 상기 신호 수신기의 임계를 낮게 하는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 10

제1항에 있어서, 상기 차동 증폭기는, 상기 차동 증폭기의 몸체와, 상기 차동 증폭기의 외측에 제공된 제어 신호를 기초로 하여 상기 차동 증폭기의 몸체를 활성화 또는 비활성하게 하는 스위칭 섹션을 포함하는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 11

차동 증폭기와, 상기 차동 증폭기의 출력에 동작적으로 접속되며 상기 차동 증폭기의 출력의 전압 레벨에 따라 고-레벨 또는 저-레벨 신호를 제공하는 게이트와, 각각이 전류 통로와 제어 전극을 갖은 제1 및 제2피드-백 트랜지스터와, 상기 제1 및 제2차동 트랜지스터의 출력을 각각 상기 제1 및 제2피드백 트랜지스터의 제어 전극에 연결시키는 제1 및 제2피드-백 신호 경로를 포함하며, 상기 차동 증폭기는 차동 쌍을 형성하며 각각의 전류 경로를 갖은 제1 및 제2차동 트랜지스터와, 입력 신호 및 기준 전압 신호를 각각 수신하는 제어 전극을 포함하며, 상기 제1 및 제2피드-백 트랜지스터의 전류 경로는 상기 제1 및 제2차동 트랜지스터의 전류 경로를 병렬 접속되는 것을 특징으로 하는 인터페이스용 신호 수신기.

청구항 12

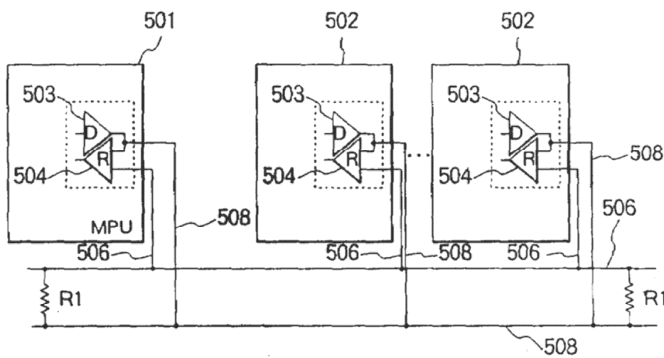
차동 증폭기와, 상기 차동 증폭기의 출력에 동작적으로 접속되며, 상기 차동 증폭기의 출력의 전압 레벨에 따라 고 또는 저레벨 신호를 제공하는 게이트와, 상기 차동 증폭기의 입력이 저레벨일 때 상기 차동 증폭기의 출력의 전압 레벨을 상승시키는 제1의 피드-백 섹션과, 상기 차동 증폭기의 입력이 고레벨일 때 상기 차동 증폭기의 출력을 낮게 하는 제2피드-백 섹션을 포함하는 인터페이스용 신호 수신기.

청구항 13

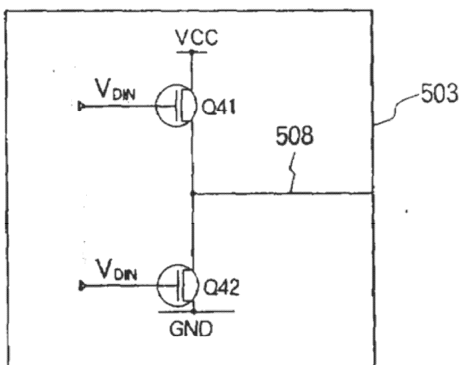
제12항에 있어서, 각각의 제1 및 제2피드-백 섹션은 상기 게이트의 출력에 접속된 단부를 갖은 피드백 신호 경로와 상기 차동 증폭기의 출력과 전원 라인 중 대응하는 하나 사이에 접속된 피드-백 전류 경로를 포함하며, 상기 피드-백 전류 경로는 상기 피드-백 신호 경로의 다른 단부에 접속된 제어 전극을 갖는 것을 특징으로 하는 인터페이스용 신호 수신기.

도면

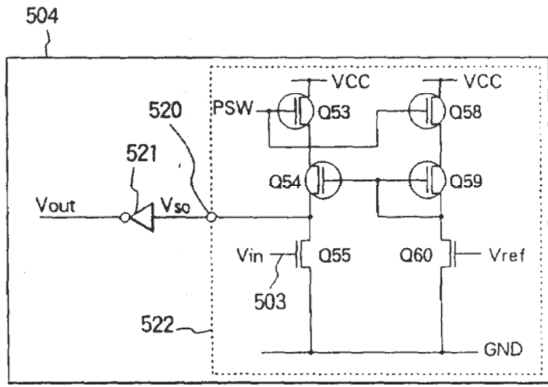
도면 1a



도면 1b



도면1c



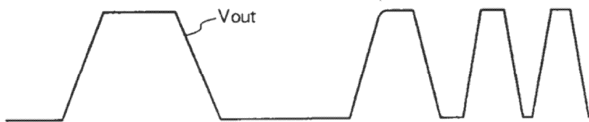
도면2a



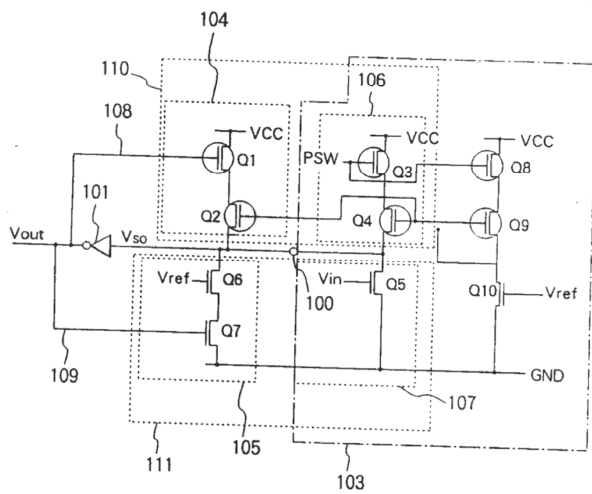
도면2b



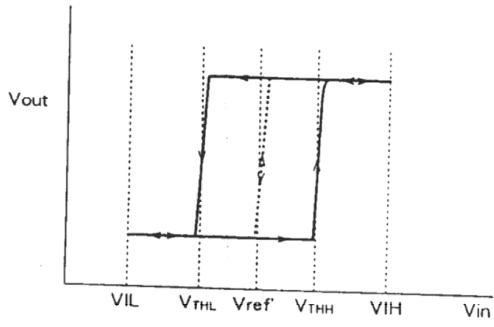
도면2c



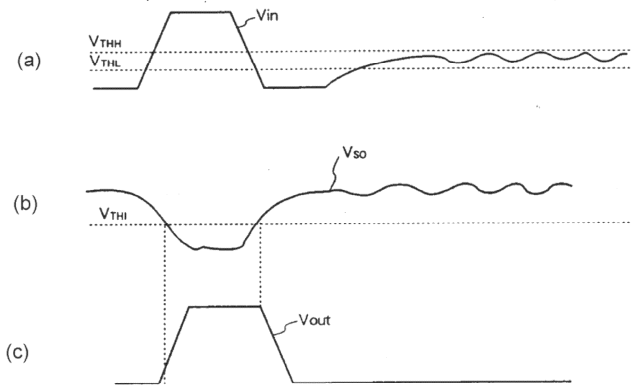
도면3a



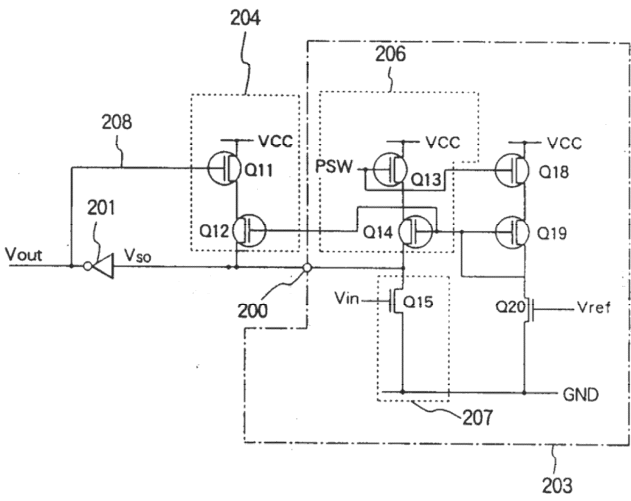
도면3b



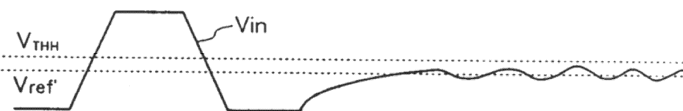
도면4



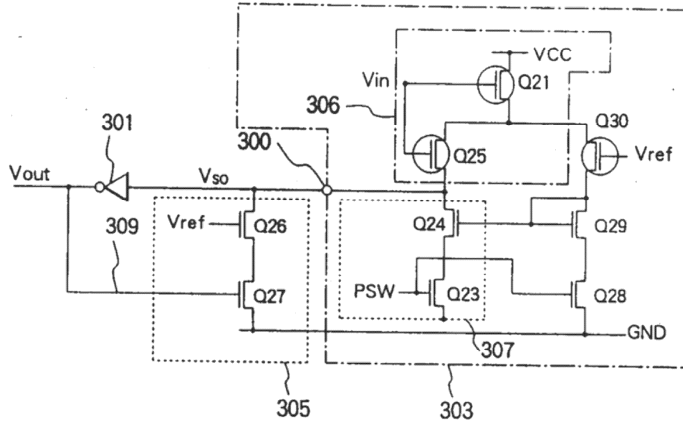
도면5a



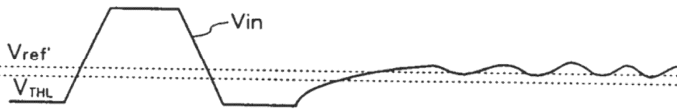
도면5b



도면6a



도면6b



도면7

