

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-127728
(P2006-127728A)

(43) 公開日 平成18年5月18日(2006.5.18)

(51) Int. Cl. F I テーマコード (参考)
G 1 1 C 11/409 (2006.01) G 1 1 C 11/34 3 5 3 F 5 M O 2 4
 G 1 1 C 11/34 3 5 3 E

審査請求 未請求 請求項の数 31 O L (全 27 頁)

(21) 出願番号 特願2005-72390 (P2005-72390)
 (22) 出願日 平成17年3月15日 (2005.3.15)
 (31) 優先権主張番号 2004-087658
 (32) 優先日 平成16年10月30日 (2004.10.30)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111
 株式会社ハイニックスセミコンダクター
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1
 (74) 代理人 100065215
 弁理士 三枝 英二
 (74) 代理人 100076510
 弁理士 掛樋 悠路
 (74) 代理人 100124028
 弁理士 松本 公雄
 (72) 発明者 姜 ▲ヒ▼ 福
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1

最終頁に続く

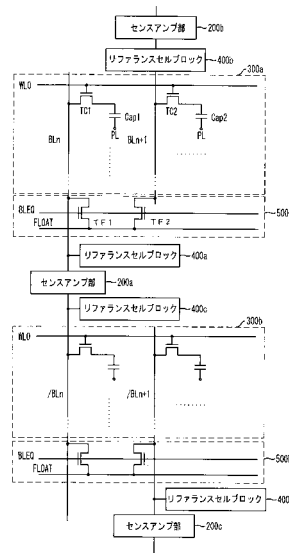
(54) 【発明の名称】 低電圧用半導体メモリ装置

(57) 【要約】

【課題】 プリード電流の発生を防止、プリチャージ動作の電力消費を節減することができる半導体メモリ装置を提供すること。

【解決手段】 電源電圧及び接地電圧が印加されて動作し、第1ビットラインBLにデータ信号を伝送する第1セルアレイ300aと、第2ビットライン/BLにデータ信号を伝送する第2セルアレイ300bと、第1ビットラインと第2ビットラインの電圧の差を検出し増幅するビットラインセンスアンプ部200a~200cと、第1ビットライン又は第2ビットラインに基準信号を出力するリファレンスセルブロック400a~400cと、プリチャージの間、第1ビットラインと第2ビットラインの電圧を等価化するプリチャージ部を備え、プリチャージの間、第1ビットラインと第2ビットラインに別のプリチャージ電圧を印加することなく、フローティング状態に維持されるように構成されている。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

電源電圧及び接地電圧が印加されて動作する半導体メモリ装置において、
第 1 ビットラインにデータ信号を出力する第 1 セルアレイと、
第 2 ビットラインにデータ信号を出力する第 2 セルアレイと、
前記第 1 ビットライン及び前記第 2 ビットラインに出力された前記データ信号の電圧の差を検出し増幅するビットラインセンスアンプを備えたセンスアンプ部と、
前記データ信号が前記第 1 ビットラインに出力された時に、基準信号を前記第 2 ビットラインに出力し、前記データ信号が前記第 2 ビットラインに出力された時に、前記基準信号を前記第 1 ビットラインに出力するリファレンスセルブロックと、
プリチャージの間、前記第 1 ビットライン及び前記第 2 ビットラインの電圧を等価化するプリチャージ部とを備え、
前記プリチャージの間、前記第 1 ビットライン及び前記第 2 ビットラインにプリチャージ電圧を印加することなく、前記第 1 ビットライン及び前記第 2 ビットラインがフローティング状態に維持されるように構成されていることを特徴とする半導体メモリ装置。

10

【請求項 2】

前記プリチャージの間、前記第 1 セルアレイに設けられているすべてのビットラインの電圧を同じレベルにするプリチャージ用第 1 フローティング回路部と、前記プリチャージの間、前記第 2 セルアレイに設けられているすべてのビットラインの電圧を同じレベルにするプリチャージ用第 2 フローティング回路部とを、さらに備えることを特徴とする請求項 1 に記載の半導体メモリ装置。

20

【請求項 3】

前記センスアンプ部が、前記接地電圧より低いレベルの低電圧を用いて、前記第 1 ビットラインと前記第 2 ビットラインとの間の電圧の差を検出し増幅する動作を実行するように構成されていることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 4】

前記ビットラインセンスアンプが、前記電源電圧より高いレベルの高電圧を用いて、前記第 1 ビットラインと前記第 2 ビットラインとの間の電圧の差を検出し増幅する動作を実行するように構成されていることを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 5】

前記ビットラインセンスアンプ及び前記第 1 セルアレイに接続された、第 1 電圧クランプ部を、さらに備えることを特徴とする請求項 4 に記載の半導体メモリ装置。

30

【請求項 6】

前記ビットラインセンスアンプ及び前記第 2 セルアレイに接続された、第 2 電圧クランプ部を、さらに備えることを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 7】

前記第 1 セルアレイと前記第 1 電圧クランプ部との間の前記第 1 ビットラインと、前記第 2 セルアレイと前記第 2 電圧クランプ部との間の前記第 2 ビットラインのうち、電圧が低いラインの電圧を接地電圧に増幅し維持する補助ビットラインセンスアンプを、さらに備えることを特徴とする請求項 6 に記載の半導体メモリ装置。

40

【請求項 8】

前記センスアンプ部に設けられたプリチャージ部が、
前記第 1 セルアレイに設けられた前記第 1 ビットラインと前記第 2 セルアレイに設けられた前記第 2 ビットラインとに、一端側と他端側がそれぞれ接続され、前記プリチャージの間、活性化されてゲートに入力されるプリチャージ信号を受信するプリチャージ用 MOS トランジスタを備えることを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 9】

前記プリチャージ用第 1 フローティング回路部が、
前記第 1 セルアレイに設けられたすべてのビットラインと交差する第 1 フローティングラインと、

50

前記第 1 セルアレイに設けられたすべてのビットラインにそれぞれ対応し、一端側が前記第 1 フローティングラインに接続され、他端側が対応するビットラインに接続され、前記プリチャージの間、活性化された信号に応答してターンオンされる複数の第 1 スイッチとを備えることを特徴とする請求項 8 に記載の半導体メモリ装置。

【請求項 10】

前記プリチャージ用第 2 フローティング回路部が、

前記第 2 セルアレイに設けられたすべてのビットラインと交差する第 2 フローティングラインと、

前記第 2 セルアレイに設けられたすべてのビットラインにそれぞれ対応し、一端側が前記第 2 フローティングラインに接続され、他端側が対応するビットラインに接続され、前記プリチャージの間、活性化された信号に応答してターンオンされる複数の第 2 スイッチとを備えることを特徴とする請求項 9 に記載の半導体メモリ装置。

10

【請求項 11】

前記ビットラインセンスアンプが、

ゲートが前記第 1 及び第 2 ビットラインに接続され、前記高電圧が一端側に印加され、他端側が前記第 1 電圧クランプ部に接続された第 1 pMOS トランジスタと、

ゲートが前記第 1 及び第 2 ビットラインに接続され、前記高電圧が一端側に印加され、他端側が前記第 2 電圧クランプ部に接続された第 2 pMOS トランジスタと、

ゲートが前記第 1 及び第 2 ビットラインに接続され、前記低電圧が一端側に印加され、他端側が前記第 1 電圧クランプ部と接続された第 1 nMOS トランジスタと、

20

ゲートが前記第 1 及び第 2 ビットラインに接続され、前記低電圧が一端側に印加され、他端側が第 2 電圧クランプ部に接続された第 2 nMOS トランジスタとを備えることを特徴とする請求項 10 に記載の半導体メモリ装置。

【請求項 12】

前記第 1 電圧クランプ部が、

前記低電圧のレベルを維持する接続制御信号が活性化時にゲートに入力され、一端側が前記第 1 ビットラインに接続され、他端側が前記第 1 pMOS トランジスタ及び前記第 1 nMOS トランジスタ他端側に接続された第 1 クランピング用 pMOS トランジスタを備えることを特徴とする請求項 11 に記載の半導体メモリ装置。

【請求項 13】

30

前記第 2 電圧クランプ部が、

前記低電圧のレベルを維持する接続制御信号が活性化時にゲートに入力され、一端側が前記第 2 ビットラインに接続され、他端側が前記第 2 pMOS トランジスタ及び前記第 2 nMOS トランジスタ他端側に接続された第 2 クランピング用 pMOS トランジスタを備えることを特徴とする請求項 12 に記載の半導体メモリ装置。

【請求項 14】

前記補助ビットラインセンスアンプが、

一端側が、前記ビットラインセンスアンプが活性化される間、活性化されて入力される信号を受信し、他端側が、前記第 1 セルアレイと前記第 1 電圧クランプ部との間に設けられた第 1 ビットラインに接続され、ゲートが、前記第 2 セルアレイと前記第 2 電圧クランプ部との間に設けられた第 2 ビットラインに接続された第 1 補助アンプ用 nMOS トランジスタと、

40

一端側が、前記ビットラインセンスアンプが活性化される間、活性化されて入力される信号を受信し、他端側が、前記第 2 セルアレイと前記第 2 電圧クランプ部との間に設けられた第 2 ビットラインに接続され、ゲートが、前記第 2 セルアレイと前記第 2 電圧クランプ部との間に設けられた第 2 ビットラインに接続された第 2 補助アンプ用 nMOS トランジスタとを備えることを特徴とする請求項 13 に記載の半導体メモリ装置。

【請求項 15】

前記補助ビットラインセンスアンプが、

一端側が、前記ビットラインセンスアンプが活性化される間、活性化されて入力される

50

信号を受信し、他端側が、前記第 1 セルアレイと前記第 1 電圧クランプ部との間に設けられた第 1 ビットラインに接続され、ゲートが、前記ビットラインセンスアンプと前記第 2 電圧クランプ部との間に設けられた第 2 ビットラインに接続された第 1 補助アンプ用 n M O S トランジスタと、

一端側が、前記ビットラインセンスアンプが活性化される間、活性化されて入力される信号を受信し、他端側が、前記第 2 セルアレイと前記第 2 電圧クランプ部との間に設けられた第 2 ビットラインに接続され、ゲートが、前記ビットラインセンスアンプと前記第 1 電圧クランプ部との間に設けられた第 1 ビットラインに接続された第 2 補助アンプ用 n M O S トランジスタとを備えることを特徴とする請求項 1 3 に記載の半導体メモリ装置。

【請求項 1 6】

前記ビットラインセンスアンプにより検出され増幅されたデータを、データラインを介して外部に伝送し、前記データラインを介して外部から伝送されたデータを、前記ビットラインセンスアンプに伝送するデータ入出力部を、さらに備えることを特徴とする請求項 1 5 に記載の半導体メモリ装置。

【請求項 1 7】

前記データ入出力部が、

ゲートに入出力制御信号が入力され、一端側が前記第 1 ビットラインに接続され、他端側が前記第 1 データラインに接続された第 1 入出力用 M O S トランジスタと、

ゲートに入出力制御信号が入力され、一端側が前記第 2 ビットラインに接続され、他端側が前記第 2 データラインに接続された第 2 入出力用 M O S トランジスタとを備えることを特徴とする請求項 1 6 に記載の半導体メモリ装置。

【請求項 1 8】

前記第 1 リファレンスセルブロックが、

一端側が基準信号電源端に接続されたリファレンス用キャパシタと、

前記データ信号が前記第 2 ビットラインに印加された時に、前記リファレンス用キャパシタの他端側を前記第 1 ビットラインに接続する第 1 スイッチと、

前記プリチャージの間、前記基準信号電源端を前記リファレンス用キャパシタの他端側に接続する第 2 スイッチとを備えることを特徴とする請求項 1 0 に記載の半導体メモリ装置。

【請求項 1 9】

前記リファレンス用キャパシタのキャパシタンスが、前記第 1 セルアレイに設けられた単位セルキャパシタのキャパシタンスと実質的に同じであることを特徴とする請求項 1 7 に記載の半導体メモリ装置。

【請求項 2 0】

前記第 1 及び第 2 スイッチが、M O S トランジスタで構成されていることを特徴とする請求項 1 9 に記載の半導体メモリ装置。

【請求項 2 1】

前記基準信号電源端から印加される電圧が、電源電圧、電源電圧の 1 / 2 及び接地電圧のうちのいずれかであることを特徴とする請求項 1 5 に記載の半導体メモリ装置。

【請求項 2 2】

前記第 1 リファレンスセルブロックが、

前記第 1 セルアレイに設けられた N 個のビットラインにそれぞれ対応する N 個のリファレンス用キャパシタを備えることを特徴とする請求項 2 1 に記載の半導体メモリ装置。

【請求項 2 3】

オープンビットライン構造を有し、電源電圧及び接地電圧が印加されて動作する半導体メモリ装置の駆動方法において、

第 1 ビットライン及び第 2 ビットラインにデータ信号を出力するデータ伝送ステップと

、
前記第 1 ビットライン又は前記第 2 ビットラインに基準信号を出力する基準信号伝送ステップと、

10

20

30

40

50

前記第 1 ビットライン及び前記第 2 ビットラインの前記データ信号の電圧の差を検出し増幅してラッチするセンシングステップと、

前記第 1 ビットライン及び前記第 2 ビットラインの電圧を等価化し、フローティングさせるプリチャージステップとを含むことを特徴とする半導体メモリ装置の駆動方法。

【請求項 2 4】

前記センシングステップにおける検出し増幅してラッチする動作を、前記接地電圧よりも低いレベルの低電圧を用いて実行し、該低電圧が、第 1 セルアレイに設けられているビットライン対に伝送されないようにクランピングすることを特徴とする請求項 2 3 に記載の半導体メモリ装置の駆動方法。

【請求項 2 5】

前記センシングステップにおける検出し増幅してラッチする動作を、前記低電圧と、前記電源電圧よりも高いレベルの高電圧とを用いて実行することを特徴とする請求項 2 4 に記載の半導体メモリ装置の駆動方法。

【請求項 2 6】

前記第 1 セルアレイに設けられている第 1 ビットライン及び第 2 セルアレイに設けられている第 2 ビットラインのうち、低いレベルの電圧に接地電圧を増幅するステップを、さらに含むことを特徴とする請求項 2 5 に記載の半導体メモリ装置の駆動方法。

【請求項 2 7】

前記基準信号に対応する電荷量が、前記第 1 ビットラインに印加されたデータ信号が「0」の時と「1」の時にそれぞれ対応する 2 つの電荷量の間値であることを特徴とする請求項 2 6 に記載の半導体メモリ装置の駆動方法。

【請求項 2 8】

前記基準信号に対応する電荷量が、前記データ信号が「0」の時と「1」の時にそれぞれ対応する 2 つの電荷量のうち、大きい値の 1 / 2 であることを特徴とする請求項 2 7 に記載の半導体メモリ装置の駆動方法。

【請求項 2 9】

前記センシングステップにおいて検出され増幅されてラッチされたデータを、リード命令に回答して出力するステップを、さらに含むことを特徴とする請求項 2 7 に記載の半導体メモリ装置の駆動方法。

【請求項 3 0】

前記センシングステップにおいて検出され増幅されてラッチされたデータを、ライト命令に回答して、入力されたデータに置き替えてラッチするステップを、さらに含むことを特徴とする請求項 2 8 に記載の半導体メモリ装置の駆動方法。

【請求項 3 1】

最後にラッチされた前記データを用いて、前記データ信号が格納されていた単位セルに再格納するステップを、さらに含むことを特徴とする請求項 2 9 または請求項 3 0 に記載の半導体メモリ装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体メモリ装置に関し、特に電源電圧が低い時に効率よく動作する半導体メモリ装置に関する。

【背景技術】

【0 0 0 2】

図 1 は、通常の半導体メモリ装置の構成を示すブロック図である。図 1 を参照して説明すると、通常のメモリ装置は、ローアドレスを受信しデコードして出力するローアドレス入力部 2 0 と、カラムアドレスを受信しデコードして出力するカラムアドレス入力部 3 0 と、複数の単位セルで構成された複数のセルアレイ 1 1 0、1 2 0、1 3 0、1 4 0 とを備え、ローアドレス入力部 2 0 およびカラムアドレス入力部 3 0 から出力される信号に対応するデータを出力するセル領域 1 0 0 と、セル領域 1 0 0 から出力されるデータを外部

10

20

30

40

50

に出力し、外部から入力されたデータをセル領域 100 に伝送するデータ入出力部 40 とを備えている。

【0003】

セル領域 100 は、セルアレイ 110、120、130、140 から出力されるデータ信号を増幅し、データ出力部 40 に出力するセンスアンプ部 150、160 を備えている。また、セル領域 100 内の各セルアレイ 110、120、130、140 は、それぞれ複数の単位セルを備えている。

【0004】

センスアンプ部 150、160 は、メモリ装置がリード（読出し）動作時には、前述のように、セルアレイ 110、120、130、140 に伝送されるデータ信号を検出し増幅して、データ入出力部 40 に出力し、メモリ装置がライト（書込み）動作時には、データ入出力部 40 から伝送されたデータをラッチし、セルアレイ 110、120、130、140 に伝送する役割を果たす。

10

【0005】

図 2 は、従来技術に係る半導体メモリ装置におけるセルアレイの構成を示すブロック図である。図 2 を参照して説明すると、半導体メモリ装置のセルアレイ 110 は、複数のワードライン WL0、WL1、WL2、・・・と、複数のビットライン BL、/BL とが交差するように配列されており、交差する位置ごとに 1 つの単位セルが形成されている。

【0006】

1 つの単位セル（例えば、CELL1）は、スイッチの役割をする MOS トランジスタ（例えば、M0）とキャパシタ（例えば、C0）とで構成されている。また、単位セルを構成する MOS トランジスタ M0 は、ゲートがワードライン WL0 に接続され、ソースとドレインの一端側がビットライン BL に、他端側がキャパシタ C0 に接続されている。キャパシタ C0 は、一端側が上記のように MOS トランジスタ M0 の他端側に接続され、他端側にはプレート電圧 PL が印加されるようになっている。

20

【0007】

隣接するワードライン WL0、WL1 に接続された 2 つの単位セル CELL1、CELL2 は対を構成し、1 つのビットライン BL に接続され、2 つのビットライン BL、/BL は、セルアレイ 110 の一方側に設けられたセンスアンプ部 150 のセンスアンプ 152a に接続されている。

30

【0008】

例えば、単位セル CELL1 のデータを読み出す場合、ワードライン WL0 が選択されて活性化され、それにより単位セル CELL1 の MOS トランジスタ M0 がターンオンされて、キャパシタ C0 に格納されているデータがビットライン BL に出力される。

【0009】

ビットラインセンスアンプ 152a は、データ信号が出力されたビットライン BL とデータ信号が出力されていないビットライン（ビットラインバー）/BL の電圧の差を検出して増幅する。

【0010】

ビットラインセンスアンプ 152a の増幅動作が完了した後、ビットライン対 BL、/BL にラッチされ増幅されたデータが、外部データライン LDB を介して外部に出力される。

40

【0011】

この時、データ信号はビットライン BL にあるが、ビットラインバー /BL でも対応するデータを増幅及びラッチして、セルアレイ 110 の外部に、そのデータを伝送する。その際には、データが対を形成して伝送される。

【0012】

単位セル CELL1 のキャパシタ C0 に、データ「1」（すなわち、電荷が充電されている状態）が格納されていると、ビットライン BL は電源電圧になり、ビットラインバー /BL は接地電圧になる。また、単位セル CELL1 のキャパシタにデータ「0」（すな

50

わち、電荷が放電されている状態)が格納されていると、ビットラインBLは接地電圧になり、ビットラインバー/BLは電源電圧になる。

【0013】

この時、単位セルCELL1にデータとして格納された電荷は極めて少ない量であるので、その電荷がビットラインの電圧を高めるのに用いられると、単位セルのキャパシタC0を再充電しなければならない。センスアンプ152aにラッチされたデータ信号を用いて、単位セルのキャパシタに対する再充電動作が完了すると、ワードラインが非活性化される。

【0014】

また、単位セルCELL3のデータを読み出す場合には、ワードラインWL2が選択されて活性化され、MOSトランジスタM2がターンオンされて、キャパシタC2に格納されているデータがビットラインバー/BLに出力される。センスアンプ152aはビットラインバー/BLとビットラインBLとの電圧の差を検出して増幅し、増幅が完了した後、外部データラインLDBを介して外部にデータを出力する。この場合、ビットラインバー/BLにデータ信号が出力され、その反対の信号がビットラインBLに出力される。

10

【0015】

単位セルにデータを書き込む場合にも、上記の読み出し動作と同様に、選択された単位セルに対応するワードラインが活性化された後に、単位セルにあるデータを検出し増幅することになる。その後、ビットラインセンスアンプ152aによって検出され増幅されラッチされたデータが、外部から伝送された書込みデータに置き換えられる。

20

【0016】

置き換えられたデータは、ビットラインセンスアンプ152aにラッチされ、そのラッチされたデータが、破線で示した単位セルのキャパシタに格納される。破線で示した単位セルのキャパシタへの格納が完了すると、ワードラインが非活性化される。

【0017】

図3は、従来の技術に係るセンスアンプ部とセルアレイとの間の接続関係を示すブロック図であり、特にシェアード(Shared)ビットラインセンスアンプ部の構成を示す図である。図3に示したように、セル領域100には、複数のセルアレイ110、130、180が配列され、それぞれセルアレイが備えている単位セルのデータを検出し増幅するセンスアンプを備えたセンスアンプ部150、170が、セルアレイの間ごとに配置されている。

30

【0018】

センスアンプ部150は、複数のセンスアンプSAを備えており、その数は、1つのセルアレイに接続されているビットライン対の数に対応している。また、回路の面積を減らすために用いられるシェアードビットラインセンスアンプ構造の場合には、2つのセルアレイあたりに1つのセンスアンプ部を共有するので、2つのビットライン対ごとに1つのセンスアンプを備えれば良いことになる。

【0019】

従来は、セルアレイごとに1つのセンスアンプ部を備え、セルアレイのうちのある単位セルのデータがビットラインに出力されると、それを検出し増幅するようになっていた。しかし、現在は、メモリ装置が高集積化されてきたために、2つのセルアレイ(例えば、110、130)あたりに1つのセンスアンプ部150を備え、適切な接続信号BISH1、BISL1に応じて、センスアンプ部150とセルアレイ110、130とが接続されまたは接続が断たれるようになっている。

40

【0020】

例えば、第1接続信号BISH1によって活性化されると、第1接続部151がイネーブル(enable)されて、センスアンプ部150とセルアレイ0(110)とが接続され、第2接続信号BISL1が活性化されると、第2接続部153がイネーブルされて、センスアンプ部150とセルアレイ1(130)とが接続される。

【0021】

50

センスアンプ部 150 は、接続部とセンスアンプ SA の他に、プリチャージ部とデータ出力部などを備えている（図 4 参照）。

【0022】

図 4 は、図 3 に示したセンスアンプ部の構成例を示すブロック図である。図 4 に示したように、センスアンプ部 150 は、センスアンプ電源端 SAP、SAN に印加される電圧により動作し、ビットライン BL、/BL の信号電圧の差を増幅するセンスアンプ 152 a と、センスアンプ 152 a が動作しない時に出力されるプリチャージ信号 BLEQ にイネーブルされて、ビットラインプリチャージ電圧 VBLP によりビットライン BL、/BL をプリチャージするプリチャージ部 155 a と、プリチャージ信号 BLEQ に応答して、セルアレイ 0 (110) に接続されている 2 つのビットライン BL、/BL の電圧を同じレベルにする第 1 等価部 154 a と、プリチャージ信号 BLEQ に応答して、セルアレイ 1 (130) に接続されているビットライン BL、/BL の電圧を同じレベルにする第 2 等価部 156 a と、カラムアドレスにより生成されるカラム制御信号 YI により、センスアンプ 152 a によって増幅されたデータ信号をデータライン LDB、LDBB を介して外部に出力するデータ出力部 157 a とで構成されている。

10

【0023】

また、前述のように、センスアンプ部 150 は、センスアンプ 155 a とセルアレイ 0 またはセルアレイ 1 とを接続しまたは接続を断つための第 1 及び第 2 接続部 151 a、153 a を備えている。

【0024】

図 5 は、従来の技術に係る半導体メモリ装置の動作を示すタイミングチャートである。図 5 および図 1 ~ 図 4 を参照して、従来の技術に係る半導体メモリ装置におけるセンスアンプの動作を詳細に説明する。

20

【0025】

半導体メモリ装置では、データのリード（読出し）動作が、プリチャージ、リード、検出、再格納の 4 つのステップに分けて実行される。

【0026】

また、データのライト（書込み）動作も、上記のリード動作と全体の構成は同様である。ただし、リード動作の代わりにライト動作が行われるステップがあり、データが外部に出力される代わりに外部から入力され、センスアンプにラッチされる。その動作のみが、リードの場合と異なっている。以下、リードに関する動作を詳細に説明する。

30

【0027】

なお、以下の説明において、キャパシタには電荷が充電されデータ「1」が格納されていると仮定し、データのリード動作時に第 1 接続部 151 a がイネーブルされ、第 2 接続部 153 a がディセーブル(disable)され、センスアンプ部 150 g はセルアレイ 0 (110) に接続されると仮定する。

【0028】

プリチャージステップの間には、ビットライン対 BL、/BL はプリチャージ電圧が印加されている状態であり、すべてのワードラインは非活性化されている状態である。用いられるプリチャージ電圧は、通常コア電圧の 1/2 ($V_{core}/2 = V_{BLP}$) である。

40

【0029】

このステップでは、プリチャージ信号 BLEQ がハイレベルにイネーブルされ、第 1 及び第 2 等価部 154 a、157 a とプリチャージ部 155 a がイネーブルされ、ビットライン対の電圧はコア電圧の 1/2 ($V_{core}/2$) である。この時、第 1 及び第 2 接続部 151 a、153 a はイネーブルされている状態である。

【0030】

図 5 に示した波形 SN は、単位セルのキャパシタに印加される電圧であって、データ「1」が格納されている場合に対応しているため、コア電圧 (V_{core}) のレベルを示している。

50

【0031】

次いで、リード命令が入力されてリードステップでは、第1接続部151aがイネーブル状態を維持し、第2接続部153aがディセーブル状態になる。また、ビットラインセンスアンプ部150は、一方側に配置されたセルアレイ0(110)と接続され、他方側に配置されたセルアレイ1(130)とは接続が断たれている。

【0032】

また、ワードラインWLは、高い電圧レベルにより活性化され、再格納ステップまでその状態が維持される。

【0033】

この場合、ワードラインを活性化させるためには、通常電源電圧よりも高い電圧VPPが印加される。これは、半導体メモリ装置の電源電圧が低くなり、動作速度がより高速になるように要求されるからである。そのために、半導体メモリ装置のセル領域に印加されるコア電圧(Vcore)よりも高い電圧VPPが、ワードラインWLの活性化に用いられる。

10

【0034】

ワードラインWLが活性化されると、対応する単位セルのMOSトランジスタがターンオンされ、キャパシタに格納されているデータがビットラインBLに出力される。

【0035】

したがって、コア電圧の1/2(Vcore/2)にプリチャージされていたビットラインBLの電圧が、所定の電圧だけ上昇する。この時、キャパシタがコア電圧のレベルに充電されていたとしても、ビットラインBLの寄生キャパシタンスCbに比べて、単位セルのキャパシタのキャパシタンスCcが極めて小さいので、ビットラインの電圧をコア電圧にまで上昇させることがない。すなわち、コア電圧の1/2から所定電圧(V)だけ上昇することになる。

20

【0036】

図5から、単位セルのキャパシタに印加される電圧とビットラインBLに印加される電圧が、リードステップの間、コア電圧の1/2から所定電圧(V)だけ上昇していることが分かる。

【0037】

一方、ビットラインバー/BLには、まったく電荷が供給されず、ビットラインバー/BLは、コア電圧の1/2(Vcore/2)に維持される。

30

【0038】

次いで、検出ステップでは、ビットラインセンスアンプ152aに、プリチャージの間、コア電圧の1/2(Vcore/2)に維持されていた第1及び第2センスアンプの電源端SAP、SANに、それぞれコア電圧、接地電圧が印加される。それにより、ビットラインセンスアンプ152aは、2つのビットラインBL、/BLの電圧の差を検出して増幅し、2つのビットラインBL、/BLのうち、相対的に電圧の高い方をコア電圧(Vcore)に増幅し、相対的に電圧の低い方を接地電圧にする。

【0039】

ここで、ビットラインBLがビットラインバー/BLよりも高い電圧に維持され、検出・増幅が完了すると、ビットラインBLはコア電圧(Vcore)に、ビットラインバー/BLは接地電圧になる。

40

【0040】

次いで、再格納ステップでは、ビットラインBLの電圧をコア電圧の1/2(Vcore/2)から所定電圧(V)だけ上昇させたリードの間に、単位セルのキャパシタに格納されていた放電されたデータ用電荷を再充電する。再充電が完了すると、ワードラインは再び非活性化状態になる。

【0041】

次いで、再度プリチャージステップとなり、第1及び第2センスアンプ電源端SAP、SANが、コア電圧の1/2に維持される。また、プリチャージ信号BLEQが活性化さ

50

れ、第1及び第2等価化部154a、157aとプリチャージ部155aに、プリチャージ電圧VBLPが印加される。この時、第1及び第2接続部151a、153aにより、センスアンプ部150は、一方側と他方側に配置されているセルアレイ0、1(110、130)に接続される。

【0042】

技術の発展に伴い、メモリ装置を駆動する電源電圧のレベルは、ますます低くなってきた。しかし、電源電圧が低くなってもメモリ装置は、動作速度が維持されるか、それより速く動作することが要求されている。

【0043】

前述のように、メモリ装置を動作させる電源電圧として、電源電圧よりは低いレベルのコア電圧(Vcore)とコア電圧(Vcore)よりは高いレベルの電圧を内部的に発生させて、その適切な電圧が用いられている。

【0044】

従来は、電源電圧を適宜に低下させても特別な方法を用いることなく、メモリ装置の製造技術を改善するだけで、要求される動作速度を確保することができた。

【0045】

例えば、3.3Vから2.5Vまたはそれ以下に電源電圧に低下させても、500nmから100nmまでの高集積化技術の改善により、要求される動作速度を満足させることができた。すなわち、ナノ技術の改善により、製造されるトランジスタの電力消費量を以前より減少させ、同じ電力消費量であれば、以前より動作速度を速くすることができた。

【0046】

しかし、100nm以下の場合には、ナノ技術をさらに改善することにより要求に応えることが非常に難しい。また、要求される電源電圧はさらに低くなっており、2.0V以下、1.5V、さらに1.0Vまで低下している。このような状況では、ナノ技術の改善だけで、要求される動作速度を、従来のように維持することが非常に難しくなっている。

【0047】

また、メモリ装置に印加される電源電圧のレベルが一定のレベル以下に低くなれば、メモリ装置を構成しているMOSトランジスタの動作マージンが極めて小さいので、要求される動作速度を満足しないだけでなく、動作の安定性という面での信頼性を確保することが難しい。

【0048】

基本的にMOSトランジスタのターンオン電圧が一定のレベルに維持される状況では、メモリ装置に入力される駆動電圧のレベルが一定のレベル以下に低くなると、ビットラインセンスアンプが、2つのビットラインに印加された電圧の差を安定して検出し、増幅するのに多くの時間を必要とする。

【0049】

この時、若干のノイズが発生すると(すなわち、コア電圧の1/2の電圧では、若干のノイズによりビットライン電圧が上昇するか、下降する)、センスアンプが、2つのビットラインの電圧の差を検出できなくなることがある。

【0050】

したがって、メモリ装置の駆動電圧を一定のレベル以下に下げることが、現在の技術では非常に難しい。

【0051】

また、メモリ装置が高集積化されると、各单位セルを構成するMOSトランジスタのゲート電極と隣接して配置されるビットラインとの間隔も非常に小さくなり、ゲート電極とビットラインとの間に漏れ電流が生じやすくなる。この時、生じる漏れ電流はブリード電流(Bleed Current)と呼ばれる。

【0052】

図6は、従来技術に係る半導体メモリ装置の単位セルを示す断面図であり、特に低電圧半導体メモリ装置に発生する漏れ電流を説明するための図である。

10

20

30

40

50

【 0 0 5 3 】

図 6 に示したように、基板 1 0 上に素子分離膜 1 1、ソース/ドレイン接合領域 1 2 a、1 2 b、ゲート電極 1 3、ビットライン 1 7、キャパシタ 1 4、1 6 及び絶縁膜 1 8、1 9 が形成されている。上記のように構成された半導体メモリ装置が高集積化されると、ゲート電極 1 3 とビットライン 1 7 との間隔 A が小さくなり、両者を十分に絶縁することが非常に難しくなる。このような状態で、プリチャージ間には、ビットラインにコア電圧の 1 / 2 の電圧が印加され、ワードラインを構成するゲート電極には接地電圧が印加される。

【 0 0 5 4 】

製造上の誤差などにより、ビットラインと、ワードラインを構成するゲート電極との間隔が狭くなると、プリチャージの間に、ビットラインからワードラインに、漏れ電流であるブリード電流が継続的に流れる。 10

【 0 0 5 5 】

製造後のメモリ装置に欠陥を含むセルがある場合には、予め用意されている予備セルと置き替えるリペア処理が行われる。ただし、この場合には、メモリ装置の特性上、1 つの単位セルだけを置き替えるのではなく、ワードライン別にリペアが行われる。したがって、メモリ装置が動作する時には、欠陥が見つかった単位セルに対応するワードラインは利用されず、予め用意されている予備のワードラインが用いられる。

【 0 0 5 6 】

上記のケースの場合のように、欠陥が、ワードラインを構成するゲート電極とビットラインとの間の短絡によって発生したものであれば、予備のワードラインに置き替えられるので、動作上には問題が生じない。しかし、依然として、コア電圧の 1 / 2 の電圧にプリチャージされるビットラインから、ワードラインへブリード電流が流れ続ける。 20

【 0 0 5 7 】

技術の高度化に伴い、半導体メモリ装置を低電力で動作させることが非常に重要な課題となってきた。とくに、上記のようにブリード電流が発生すると、動作上は問題がないとしても、半導体メモリ装置を用いるシステムに、半導体メモリ装置を組み込むことができないという問題が残る。

【 0 0 5 8 】

ブリード電流を減らすために、ブリード電流が流れるパスに抵抗を追加することも考えられるが、特定の部分のブリード電流を抑制するだけであり、根本的な解決策とはならない。 30

【 0 0 5 9 】

別の対策として、プリチャージの間、ビットラインの電圧を接地電圧に維持する方法がある。この場合、利用されないワードラインとビットラインとの電圧が同じになり、ブリード電流の発生を防止することができる。

【 0 0 6 0 】

しかし、接地電圧にプリチャージすると、データのリード又はライト後、プリチャージへ進む際、ビットライン対の一方のラインを接地電圧に強制的に降下させる過程 (B L、/ B L のうち、1 方を電源電圧、もう 1 方を接地電圧に維持する) で、不要な電力の消費が発生する。 40

【 0 0 6 1 】

最も広く用いられている方法である、プリチャージ電圧として、電源電圧の 1 / 2 の電圧をビットラインに用いる方法では、プリチャージへ進む時に、2 つのビットラインの電圧を同じ (等価化) にし、その後電源電圧の 1 / 2 の電圧を印加するようにすることができる。したがって、プリチャージ電圧にする過程では電力消費がなく、接地電圧にプリチャージする場合よりも、電力消費量が少ない。

【 0 0 6 2 】

しかし、プリチャージ電圧として、電源電圧の 1 / 2 の電圧を維持すると、前述のように、ワードラインとビットライン間の電圧の差によって、半導体メモリ装置の動作中にブ 50

リード電流が発生し継続して流れるので、電力消費が少ない半導体メモリ装置への適用は困難である。

【発明の開示】

【発明が解決しようとする課題】

【0063】

本発明は、上記の従来の問題点を解決するためになされたもので、その目的は、ブリード電流の発生を防止するとともに、プリチャージ動作時に電力消費量を節減することができる半導体メモリ装置を提供することにある。

【0064】

また、本発明の別の目的は、入力される電源電圧が低い場合でも、速い速度で動作する半導体メモリ装置を提供することにある。

【課題を解決するための手段】

【0065】

上記目的を達成するための本発明に係る半導体メモリ装置は、電源電圧及び接地電圧が印加されて動作し、第1ビットラインにデータ信号を出力する第1セルアレイと、第2ビットラインにデータ信号を出力する第2セルアレイと、前記第1ビットライン及び前記第2ビットラインに出力された前記データ信号の電圧の差を検出し増幅するビットラインセンスアンプと、前記データ信号が前記第1ビットラインに出力された時に、基準信号を前記第2ビットラインに出力し、前記データ信号が前記第2ビットラインに出力された時に、前記基準信号を前記第1ビットラインに出力するリファレンスセルブロックと、プリチャージの間、前記第1ビットライン及び前記第2ビットラインの電圧を等価化するプリチャージ部を備え、前記プリチャージの間、前記第1ビットライン及び前記第2ビットラインにプリチャージ電圧を印加することなく、前記第1ビットライン及び前記第2ビットラインがフローティング状態に維持されるように構成されていることを特徴としている。

【0066】

また、本発明に係る半導体メモリ装置の駆動方法は、オープンビットライン構造を有し、電源電圧及び接地電圧が印加されて動作し、第1ビットライン及び第2ビットラインにデータ信号を出力するデータ伝送ステップと、前記第1ビットライン又は前記第2ビットラインに基準信号を出力する基準信号伝送ステップと、前記第1ビットライン及び前記第2ビットラインの前記データ信号の電圧の差を検出し増幅してラッチするセンシングステップと、前記第1ビットライン及び前記第2ビットラインの電圧を等価化し、フローティングするプリチャージステップとを含むことを特徴としている。

【発明の効果】

【0067】

本発明に係る半導体メモリ装置によれば、低電圧（例えば、1.5V以下）で駆動する半導体メモリ装置を容易に実現することができる。

【0068】

また、プリチャージの間、すべてのビットラインがフローティング状態に維持されるので、プリチャージ間、別のプリチャージ電圧を印加する必要がなく、プリチャージ時に消費される電力を大幅に節減することができる。

【0069】

また、本発明に係る半導体メモリ装置では、ビットラインをプリチャージする電圧を印加することなくフローティングさせるので、ワードラインとビットラインとの間が短絡しても、ワードラインとビットラインに印加される電圧がいずれも接地電圧になるので、前述したブリード電流が殆ど発生しない。したがって、ブリード電流による電力消費を防止することができる。

【0070】

また、本発明に係る半導体メモリ装置は、センスアンプによる検出・増幅動作の際、接地電圧よりも低い低電圧と、電源電圧よりも高い高電圧を用いて増幅するので、電源電圧が低い場合でも速い速度でビットラインからデータ信号を検出し増幅することができる

10

20

30

40

50

【0071】

さらに、従来の半導体メモリ装置では、データラインが電源電圧または電源電圧の1/2の電圧にプリチャージされるので、データラインからビットラインに流れる電流により、ローレベル（接地レベル）に増幅されたビットラインの電圧が一時的に増加する。一方、本発明に係る半導体メモリ装置のビットラインセンスアンプは、ビットラインを負の低電圧に増幅するので、データラインに流れる電流がローレベル（負の低電圧）により互いに相殺されて、ローレベルに増幅されたビットラインの電圧が接地電圧以上には上昇しない。したがって、データの再格納に要する時間が長くないので、サイクルタイムを短縮することができるという効果を有する。

10

【発明を実施するための最良の形態】

【0072】

以下、添付する図面に基づいて、本発明に係る最も好ましい実施の形態を説明する。

【0073】

図7は、本発明の好ましい実施の形態に係る半導体メモリ装置の構成を示すブロック図である。図7に示したように、実施の形態に係る半導体メモリ装置は、複数の単位セルで構成され、それぞれの単位セルが1つのMOSトランジスタ及びキャパシタを備えたセルアレイ300a、300bと、セルアレイ300a、300bに接続されているビットラインに出力されたデータ信号を検出し増幅するビットラインセンスアンプを備えたセンスアンプ部200a、200bと、センスアンプ部200a、200bに基準信号を出力するリファレンスセルブロック400a、400bと、プリチャージの間、セルアレイ300a、300bに設けられているすべてのビットラインの電圧を等価化する第1及び第2プリチャージ用フローティング接続部500a、500bとを備えている。

20

【0074】

また、第1プリチャージ用フローティング接続部500aは、第1セルアレイ300aに設けられているすべてのビットラインと交差する第1フローティングラインFLOATと、第1セルアレイ300aに設けられているすべてのビットラインにそれぞれ対応し、一端側が第1配線（第1フローティングライン）FLOATに接続され、他端側が対応するビットラインに接続され、プリチャージの間、活性化された信号BLEQに応答してターンオンされる複数のスイッチ用MOSトランジスタTF1、TF2、・・・とを備えている。

30

【0075】

第1プリチャージ用フローティング接続部500aは、すべてのビットラインに接続されている第1フローティングラインFLOATを介して、プリチャージの間、第1セルアレイ300aに設けられているすべてのビットラインの電圧を同じレベルに維持する機能を有している。

【0076】

実施の形態に係るメモリ装置の最も大きな特徴は、各ビットラインに対してプリチャージの間、電圧が印加されないことである。したがって、1つのセルアレイに設けられている各ビットラインの電圧は、相互に相違するフローティングされた状態に維持され、データのリードまたはライト、またはリフレッシュ動作が行われる際、セルアレイに格納されているデータが出力される。

40

【0077】

したがって、1つのセルアレイに設けられているすべてのビットラインの電圧を同じレベルに維持する必要がないので、必ずしもフローティング接続部を必要としない。フローティング接続部がない場合には、1つのセルアレイに設けられているすべてのビットラインの電圧が、プリチャージの間、相互に異なるので、それぞれのビットラインが異なる電圧に維持された状態で、データのリード/ライトまたはリフレッシュ動作が行われる。

【0078】

ここでは図示しないが、第2セルアレイ300bに接続されている第2プリチャージ用

50

フローティング接続部 500b 及び第 2 リファレンスセルブロック 400b の構成は、それぞれ、第 1 プリチャージ用フローティング接続部 500a、第 1 リファレンスセルブロック 400a と同様である。

【0079】

図 8 は、図 7 に示したリファレンスセルブロックの構成を示す回路図である。図 8 に示したように、第 1 リファレンスセルブロック 400a は、一端側が基準信号電源端 VCP に接続されたリファレンス用キャパシタ RC1 と、データ信号が第 2 ビットライン / BLn に印加された際、リファレンス用キャパシタ RC1 の他端側を第 1 ビットライン BLn に接続するスイッチ用 MOS トランジスタ RT1 と、プリチャージの間、リファレンス用キャパシタ RC1 の他端側と基準信号電源端 VCP を接続するスイッチ用 MOS トランジスタ RT1_PCG1 とを備えている。なお、リファレンス用キャパシタ RC1 のキャパシタンスは、第 1 セルアレイ 300a に設けられた単位セルキャパシタ CAP1、2 のキャパシタンスと実質的に同じ値にする。

10

【0080】

基準信号電源端 VCP の電圧は、接地電圧、電源電圧の 1/2 及び電源電圧の中から選択された 1 つであり、基準信号電源端 VCP に印加される電圧と同じレベルの電圧が、単位セルキャパシタのプレート電圧 PL として印加される。

【0081】

第 1 リファレンスセルブロック 400a に設けられるリファレンス用キャパシタ (図 8 には、RC1 のみが図示されている) の数は、第 1 セルアレイ 300a に設けられたビットラインの数に対応している。例えば、第 1 セルアレイが 1024 のビットラインを備える場合、1024 のビットラインのそれぞれに対応する 1024 のリファレンス用キャパシタを備えることになる。

20

【0082】

図 8 に示したように、第 2 リファレンスセルブロック 400b は、データ信号が第 1 ビットライン BL に出力される時に、基準信号を第 2 ビットライン (ビットラインバー) / BLn に出力する。

【0083】

図 9 は、図 7 に示した半導体メモリ装置のうち、特にセンスアンプ部 200a をより詳細に示す回路図である。図 9 に示したように、センスアンプ部 200a は、第 1 ビットライン BL または第 2 ビットライン / BL にデータ信号が出力されると、第 1 ビットライン BL と第 2 ビットライン / BL に出力された信号の差 (電圧の差) を検出し増幅するビットラインセンスアンプ 210 と、プリチャージの間、第 1 ビットライン BL と第 2 ビットライン / BL の電圧を等価化するプリチャージ部 220 とを備えている。

30

【0084】

プリチャージ部 220 は、別のプリチャージ用電圧が印加されず、2 つのビットライン BL、/BL の電圧を同じにするだけの役割をする。したがって、プリチャージの間、2 つのビットライン BL、/BL は、フローティング状態を維持することになる。すなわち、プリチャージの間、第 1 ビットライン BL と第 2 ビットライン /BL に別のプリチャージ電圧が印加されないため、これらのラインはフローティング状態になる。

40

【0085】

ここで、ビットラインセンスアンプ 210 は、接地電圧よりも低いレベルの低電圧 VBB と、電源電圧よりも高いレベルの高電圧 VPP を用いて、検出・増幅動作を実行する。このとき、低電圧 VBB は、センスアンプ電源端 SAN を介して印加され、高電圧 VPP は、センスアンプ電源端 SAP を介して印加される。

【0086】

また、実施の形態に係る半導体メモリ装置のセンスアンプ部 200a は、さらに、第 1 電圧クランプ部 230a 及び第 2 電圧クランプ部 230b を備えている。第 1 電圧クランプ部 230a は、第 1 セルアレイ 300a に設けられている第 1 ビットライン BL とビットラインセンスアンプ 210 との間に設けられ、ビットラインセンスアンプ 210 を駆動

50

させる低電圧VBBが第1ビットラインBLに印加されることを防止する働きをする。また、第2電圧クランプ部230bは、第2セルアレイ300bに設けられている第2ビットライン/BLとビットラインセンスアンプ210との間に設けられ、ビットラインセンスアンプ210を駆動させる低電圧VBBが第2ビットライン/BLに印加されることを防止する働きをする。

【0087】

また、センスアンプ部200aは、第1セルアレイ300aと第1電圧クランプ部250aとの間に設けられた第1ビットラインBLと、第2セルアレイ300bと第2電圧クランプ部250bとの間に設けられた第2ビットライン/BLの電圧のうち、低いレベルのライン電圧を接地電圧に増幅して維持する補助ビットラインセンスアンプ230aとを備えている。

10

【0088】

プリチャージ部220は、第1ビットラインBLと第2ビットライン/BLとに、一端側と他端側がそれぞれ接続され、プリチャージの間、活性化されてゲートに入力されるプリチャージ信号BLEQを受信するプリチャージ用MOSトランジスタTP1を備えている。

【0089】

また、ビットラインセンスアンプ210は、ゲートがビットラインSA__/BLに接続され、一端側が第1センスアンプ電源端SAPに接続され、他端側がビットラインSA__BLに接続された第1pMOSトランジスタTS1と、ゲートがビットラインSA__BLに接続され、一端側が第1センスアンプ電源端SAPに接続され、他端側がビットラインSA__/BLに接続された第2pMOSトランジスタTS2と、ゲートがビットラインSA__/BLに接続され、一端側が第2センスアンプ電源端SANに接続され、他端側がビットラインSA__BLに接続された第1nMOSトランジスタTS3と、ゲートが第1ビットラインBLに接続され、一端側が第2センスアンプ電源端SANに接続され、他端側がビットラインSA__/BLに接続されている第2nMOSトランジスタTS4とを備えている。

20

【0090】

第1電圧クランプ部250aは、活性化時に低電圧のレベルに維持される入力信号BISがゲートに入力され、一端側が第1ビットラインBLと接続され、他端側が第1pMOSトランジスタTS1及び第1nMOSトランジスタTS3に接続された第1クランピング用pMOSトランジスタTBH1を備えている。

30

【0091】

第2電圧クランプ部250bは、活性化時に低電圧のレベルに維持される入力信号BISがゲートに入力され、一端側が第2ビットライン/BLと接続され、他端側が第2pMOSトランジスタTS2及び第2nMOSトランジスタTS4に接続された第2クランピング用pMOSトランジスタTBH2を備えている。

【0092】

補助ビットラインセンスアンプ230は、第1補助アンプ用MOSトランジスタTSB1と第2補助アンプ用MOSトランジスタTSB2とを備えている。第1補助アンプ用MOSトランジスタTSB1は、一端側が、ビットラインセンスアンプ210が活性化される間、接地電圧に活性化されて入力される信号BLPDを受信し、他端側が、第1セルアレイ300aと第1電圧クランプ部250aとの間に設けられた第1ビットラインBLに接続され、ゲートが第2セルアレイ300bと第2電圧クランプ部250bとの間に設けられた第2ビットライン/BLに接続されている。第2補助アンプ用MOSトランジスタTSB2は、一端側が、ビットラインセンスアンプ210が活性化される間、接地電圧に活性化されて入力される信号BLPDを受信し、他端側が第2セルアレイ300bと第2電圧クランプ部230bとの間に設けられている第2ビットライン/BLに接続され、ゲートが第1セルアレイ300aと第1電圧クランプ部230aとの間に設けられている第1ビットラインBLに接続されている。

40

50

【0093】

また、実施の形態に係る半導体メモリ装置のセンスアンプ部は、このほかに、ビットラインセンスアンプ210によって検出され増幅されたデータを、データラインLDB、LDBBを介して外部に伝送し、データラインLDB、LDBBを介して外部から伝送されたデータをビットラインセンスアンプ210に伝送するデータ入出力部240を備えている。

【0094】

データ入出力部240は、ゲートに入出力制御信号が入力され、一端側が第1及び第2ビットラインBL、/BLに接続され、他端側が第1データラインLDBに接続された第1入出力用MOSトランジスタT01と、ゲートに入出力制御信号が入力され、一端側が第1及び第2ビットラインBL、/BLに接続され、他端側が第2データラインLDBBに接続された第2入出力用MOSトランジスタT02とを備えている。

【0095】

図10及び図11は、図8に示した半導体メモリ装置の動作を示すタイミングチャートである。

【0096】

以下、図7～図11を参照し、実施の形態に係る半導体メモリ装置の動作を説明する。実施の形態に係る半導体メモリ装置は、プリチャージの間、第1ビットラインBLと第2ビットライン/BLにプリチャージ電圧を別に印加することなく、フローティング状態にすることに特徴がある。

【0097】

また、実施の形態に係る半導体メモリ装置は、プリチャージ電圧として接地電圧を用いており、ビットラインセンスアンプ210が、接地電圧GNDと電源電圧VDDとを用いて検出・増幅動作を行うのではなく、接地電圧GNDよりも低いレベルの低電圧VBBと、電源電圧VDDよりも高いレベルの高電圧VPPを用いて、2つのビットラインBL、/BLに印加された電圧の差を検出して増幅することに特徴がある。

【0098】

はじめに、データ「1」をリードする場合を説明する。なお、データ信号は、第1ビットラインBLに出力されるものとする。

【0099】

プリチャージステップでは、プリチャージの間、プリチャージ信号BLEQがハイレベルにイネーブルされた状態を維持し、第1セルアレイ300aの第1ビットラインBL及び第2ビットライン/BLの電圧が等価化される。

【0100】

実施の形態に係る半導体メモリ装置は、プリチャージステップでは別の電圧が印加されないため、ビットライン対BL、/BL、SA__BL、SA__/BLはフローティング状態に維持される(t0)。

【0101】

したがって、データのリード又はライト動作の直後には、ビットライン対BL、/BLの電圧を同じにすると、電源電圧の1/2の電圧に維持されることになる(ビットラインセンスアンプ210により検出・増幅された後、ビットライン対のうち一方の電圧は電源電圧、もう一方は接地電圧に維持される)。この際、別のプリチャージ用電圧が印加されないため、一定の時間が経過すると、漏れ電流により電源電圧の1/2の電圧が維持されていたビットラインの電圧が次第に低下する。

【0102】

データのリード又はライト動作を行うことなく、プリチャージが継続すると、最終的に、プリチャージの間に、ビットラインBL、/BL、SA__BL、SA__/BLの電圧が接地電圧まで低下する。

【0103】

したがって、プリチャージステップの間、ビットラインのプリチャージ電圧は、電源電

10

20

30

40

50

圧の 1 / 2 の電圧と接地電圧との間で変動する。そのために、プリチャージのどの時点でリード命令が実行されるかによって、フローティング状態のビットライン B L、 / B L、 S A B L、 S A __ / B L の電圧が変化する。

【 0 1 0 4 】

一方、時間に応じてビットラインのプリチャージ電圧が変化するので、プリチャージステップの間に、セルアレイ 3 0 0 a、 3 0 0 b に設けられているすべてのビットラインの電圧を同じにするために、第 1 及び第 2 プリチャージ用フローティング接続部 5 0 0 a、 5 0 0 b が設けられている。

【 0 1 0 5 】

プリチャージの間、活性化されて入力されるプリチャージ信号 B L E Q によりターンオンされる M O S トランジスタ T F 1、 T F 2 と、プリチャージ用フローティング接続部 5 0 0 a に設けられているフローティングライン F L O A T により、プリチャージの間、各ビットラインの電圧が変動したとしても、セルアレイに設けられているすべてのビットラインのフローティング電圧は同じ値に維持される。

10

【 0 1 0 6 】

プリチャージステップが終了し、リードに進み、データをリードするために単位セルにあるデータがビットライン B L に出力されると、それまでフローティングされて少しずつ低下し、接地電圧と電源電圧の 1 / 2 との間のあるレベルで出力されるデータ信号分だけ、ビットラインの電圧が上昇する (t 1) 。

【 0 1 0 7 】

一方、ビットラインバー (第 2 ビットライン) / B L には基準信号が出力される。図 8 に示したリファレンス信号 / R W L がハイレベルになり、 M O S トランジスタ R T 2 がターンオンされて、リファレンス用キャパシタ R C に格納されていた基準信号がビットラインバー / B L に出力され、ビットラインバー / B L の電圧が所定のレベルに上昇する。

20

【 0 1 0 8 】

この時も、ビットライン / B L、 S A __ / B L は、フローティング状態の電源電圧の 1 / 2 レベルから次第に低下し、あるレベルになった状態で、出力される基準信号分だけ電圧が上昇する。

【 0 1 0 9 】

上記のように、リファレンス用キャパシタ R C のキャパシタンスは、単位セルを構成するキャパシタ C a P のキャパシタンスと同じであり、格納される電荷量は、データが「 1 」のとき、キャパシタ C a P に格納される電荷量の 1 / 2 になる。図 8 に示したリファレンスキャパシタの一端側の基準信号出力端 R S N は、プリチャージの間、電源電圧の 1 / 2 のレベルに維持される。

30

【 0 1 1 0 】

プリチャージの間、リファレンスキャパシタの他端側の電源端に印加される基準信号 R P L は、単位セルキャパシタ C a P のプレート電圧 P L と同じレベルである。この時、印加可能な電圧の例としては、電源電圧 V D D、電源電圧 V D D の 1 / 2 及び接地電圧 G N D がある。

【 0 1 1 1 】

このように、プレート電圧 P L と同じレベルの電圧を基準信号電源端 V C P に印加するのは、データ信号と比例して、正確に 1 / 2 程度の信号を基準信号として出力するためである。したがって、基準信号により上昇するビットラインバー / B L の電圧は、データ信号により上昇するビットライン B L の電圧の 1 / 2 になる。例えば、電源電圧が 1 . 0 V であり、データ信号により約 0 . 2 V が上昇する場合は、プリチャージステップの初期には、ビットライン B L、 / B L の電圧が 0 . 5 V に維持される。

40

【 0 1 1 2 】

その後、プリチャージステップが続くことによって、ビットラインの電圧が徐々に低下して約 0 . 3 V になった時にデータのリード動作が行われ、データ信号が出力されるビットライン B L の電圧は、 0 . 5 V (0 . 3 V + 0 . 2 V) になり、データ信号の 1 / 2 に

50

相当する電荷量を有する基準信号が出力されるビットラインバー / B L の電圧は、 $0.4 V (0.3 V + 0.1 V)$ になる。

【0113】

この時、プリチャージ信号 B L E Q は、プリチャージステップの間はハイレベルに活性化され、リードステップ、センシングステップ及び再格納ステップの間には、ローレベルの非活性化状態に維持される。

【0114】

次いで、センシングステップに進み、ビットラインセンスアンプ 210 の第 1 センスアンプ電源端 S A P に高電圧 V P P が印加され、第 2 センスアンプ電源端 S A N には低電圧 V B B が印加される。

【0115】

ビットラインセンスアンプ 210 は、2 つのビットライン B L、/ B L に印加された電圧の差を検出し、相対的に大きい電圧を有する第 1 ビットライン B L を高電圧 V P P に上昇させ、第 2 ビットライン / B L を接地電圧 G N D に増幅した後にラッチする (t 2) 。

【0116】

ビットラインセンスアンプ 210 は、電源電圧 V D D と接地電圧 G N D ではなく、高電圧 V P P と低電圧 V B B を用いて増幅動作を行うため、従来よりも速い速度で増幅動作を実行することができる。

【0117】

この時、ビットラインセンスアンプ 210 と第 2 電圧クランプ部 250 b との間に接続されているビットライン S A __ / B L は、負の低電圧 V B B に増幅される。一方、第 1 セルアレイ 300 a から第 1 電圧クランピング接続部 250 a までのビットライン / B L は、第 1 電圧クランピング接続部 250 a によって、接地電圧 G N D に増幅される。

【0118】

第 1 電圧クランプ部 250 a を構成する p M O S トランジスタ T B H 1、T B H 2 のゲートに入力される接続制御信号 B I S が、低電圧 V B B __ H レベルに維持されているので、ビットラインセンスアンプ 210 側のビットライン S A __ / B L が低電圧に増幅されても、第 1 セルアレイ 300 a に接続されているビットライン / B L は、低電圧 V B B よりも高いレベルを有する接地電圧に維持される。

【0119】

すなわち、第 2 電圧クランピング接続部 230 b は、ビットラインセンスアンプ 210 がビットライン S A __ / B L を負の低電圧 V B B まで増幅されても、低電圧 V B B がセルアレイのビットライン / B L 側に印加されないようにクランピングする。

【0120】

また、第 2 セルアレイ 300 a に接続されているビットライン / B L により発生する寄生キャパシタンスが、第 2 電圧クランプ部 250 a を構成する p M O S トランジスタ T B H 1、T B H 2 のサブ - しきい値電圧に比べて相対的に大きいので、ビットラインセンスアンプ 210 が検出・増幅動作を行う間及び再格納ステップの間にセルアレイに接続されているビットライン / B L は、接地電圧に維持される

このように、ビットラインセンスアンプ 210 により増幅された負の低電圧 V B B が、セルアレイ側に設けられているビットライン B L、/ B L に印加されないようにするのは、セルアレイ側のビットライン B L、/ B L が負の電圧になった場合に、そのビットラインに接続されている別の単位セルのデータが破壊されないようにするためである。

【0121】

すなわち、セルアレイのビットライン B L、/ B L が負の電圧になると、非活性化状態で接地電圧に維持され、ワードラインに接続されている単位セルの M O S トランジスタがターンオンされて、単位セルのキャパシタに格納されているデータがビットラインに出力される。

【0122】

したがって、ビットラインセンスアンプが、より速く検出・増幅動作を行うことができ

10

20

30

40

50

るように、高電圧 V_{PP} 及び低電圧 V_{BB} が用いられる。この時、低電圧 V_{BB} が、セルアレイ 300 a、300 b に設けられているビットラインに印加されないようにしなければならない。

【0123】

そのために、電圧クランプ部 250 a、250 b を設けて、隣接するセルアレイ 300 a、300 b とビットラインセンスアンプとを接続しまたは接続を断つ機能に加え、ビットラインセンスアンプ 210 側の低電圧 V_{BB} がセルアレイに設けられているビットラインに伝送されないようにするクランピング機能も兼ねるようになっている。

【0124】

しかし、これだけでセルアレイに設けられているビットライン B_L 、 $/B_L$ を接地電圧 GND に安定して維持することができないので、実施の形態に係る半導体メモリ装置においては、ビットラインセンスアンプ 210 に接続されているビットライン $S_A_B_L$ 、 $/S_A_B_L$ が負の低電圧 V_{BB} に増幅されても、セルアレイに接続されているビットライン B_L 、 $/B_L$ は接地電圧に維持されるように、補助ビットラインセンスアンプ 230 を備えている。

10

【0125】

補助ビットラインセンスアンプ 230 は、ビットラインセンスアンプ 210 が検出・増幅動作を行う間に、セルアレイ 300 a に設けられている 2 つのビットライン B_L 、 $/B_L$ の電圧を検出し、電圧が低い方のラインの電圧を接地電圧に増幅するか、維持するようにする。

20

【0126】

ビットラインセンスアンプ 210 が、ビットライン $S_A_B_L$ のレベルを高電圧 V_{PP} に増幅し、ビットライン $/S_A_B_L$ のレベルを低電圧 V_{BB} に増幅すると、ビットライン B_L は高電圧に維持され、ビットライン $/B_L$ は接地電圧 GND に維持される。また、補助ビットラインセンスアンプ 260 a は、ビットライン $/B_L$ の電圧が接地電圧 GND より高くなれば接地電圧 GND に降下させ、接地電圧 GND よりも低くなれば接地電圧 GND に上昇させる。

【0127】

補助ビットラインセンスアンプ 230 に入力される信号 B_LPD は、ビットラインセンスアンプ 210 が活性化される t_2 、 t_3 、 t_4 の間、接地電圧の状態に活性化されている。

30

【0128】

補助ビットラインセンスアンプ 230 の 2 つの MOS トランジスタ T_{B1} 、 T_{B2} は、それぞれ一端側に接地電圧が印加され、ビットライン B_L 、 $/B_L$ にクロスカップルで接続されているゲート端により、2 つのビットライン B_L 、 $/B_L$ のうち、低い電圧を有するラインの電圧を、接地電圧 GND に維持する。

【0129】

ビットラインセンスアンプ 210 の増幅動作が、ある程度完了すると、入出力制御信号 YI が所定の間ハイレベルに活性化され、それに応答して、ビットラインセンスアンプ 210 にラッチされたデータが、データライン LDB 、 $LDBB$ に出力される (t_3)。この時、出力されるデータが、リード命令に対応するデータになる。

40

【0130】

次いで、再格納ステップに進み、ビットラインセンスアンプ 210 にラッチされたデータを用いて、データ信号が格納されていた単位セルに再格納する (t_4)。再格納が完了すると、ワードライン WL がローレベルに非活性化され、ビットラインセンスアンプ 210 に印加していた第 1 及び第 2 センスアンプ電源端 SAP 、 SAN には、それぞれ接地電圧、電源電圧 V_{DD} の $1/2$ が印加され、ビットラインセンスアンプはディセーブルされる。

【0131】

データライン LDB 、 $LDBB$ は、データが伝送されない間、電源電圧 V_{DD} または電

50

源電圧VDDの1/2の電圧にプリチャージされている。そのために、従来の半導体メモリ装置では、ビットラインセンスアンプ210により検出・増幅されたデータを伝送する過程で、ビットラインセンスアンプ210により接地電圧に増幅されたビットライン(ここでは、SA__/BL)の電圧が、所定のレベルに上昇していた。

【0132】

したがって、ビットラインセンスアンプ210により、所定のレベルに上昇したビットライン/BLの電圧が再び接地電圧まで上昇するように、再格納時間を十分に確保しなければならない。再格納時間が短い場合には、再格納過程で誤ったデータ信号が単位セルに格納されることが起こるからである。特に、データ信号が「0」である場合に、データ「1」が格納される。

10

【0133】

上記の問題を解決するために、従来は再格納ステップの時間、すなわち、時間t4を長くしなければならなかった。

【0134】

しかし、実施の形態に係る半導体メモリ装置の場合は、ビットラインセンスアンプ210により、ビットラインSA__BLが、接地電圧GNDよりも低いレベルの低電圧VBBに増幅されるので、データラインLDB、LDBBにより、ビットラインセンスアンプ210に接続されているビットライン/BLに電流が流れたとしても、低電圧VBBのレベルになっているビットラインBLの電圧により相殺されるので、ビットラインセンスアンプに接続されているビットライン/BLの電圧の上昇は殆どない。電圧上昇があったとしても、少なくとも接地電圧GNDより高くはならない。

20

【0135】

したがって、実施の形態に係るメモリ装置は、再格納t4の時間を従来の半導体メモリ装置より短縮することができる。

【0136】

次いで、プリチャージ信号BLEQがハイレベルに活性化されて入力されると、2つのビットラインBL、/BLは同じ電圧になり、フローティング状態となる(t5)。

【0137】

上記のように、プリチャージステップが始まった時点では、2つのビットラインBL、/BLの電圧は、電源電圧の1/2のレベルに維持され、実施の形態に係る半導体メモリ装置では、ビットラインBL、/BLに別のプリチャージ電圧が印加されず、フローティング状態に維持される。そのために、時間の経過とともに、徐々に電圧が低下する。

30

【0138】

以上、実施の形態に係る半導体メモリ装置が、データ「1」をリードする時の動作について説明したが、続いてデータ「0」をリードする場合を説明する。リードするデータが「0」である場合には、選択された単位セルのキャパシタに電荷が充電されていない。したがって、プリチャージステップ後のリード命令が実行されるリードステップ(t1)の間に、データ信号が印加されたビットラインBLの電圧はそのまま維持される。すなわち、この時、ビットラインBL1の電圧は、接地電圧に維持される。

【0139】

一方、ビットライン/BLには、基準信号が伝送されて所定のレベルだけ電圧が上昇する。この時、上昇する電圧は、ビットライン/BLに出力されている基準信号に対応する電荷量に応じて決定される。

40

【0140】

ビットラインセンスアンプ210は、接地電圧に維持されているビットラインBLと、所定の電圧だけ上昇したビットライン/BLとの電圧の差を検出して、ビットラインBLは低電圧VBBのレベルに、ビットライン/BLは高電圧VPPのレベルに増幅してラッチする。この場合も、第1電圧クランプ部250aが電圧クランピングの役割を果たし、第1電圧クランプ部250aと第1セルアレイ300aとの間の第1ビットラインBLは接地電圧に維持される。

50

【0141】

残りのにおける動作は、データ「1」をリードする場合と同様であるので、詳細な説明を省略する。

【0142】

続いて、実施の形態に係る半導体メモリ装置のライト動作を説明する。なお、データを格納するライト動作に関しても、関連する信号の波形が図10及び図11に示されている。ただし、データが、外部データラインLDB、LDBBに出力されるステップ(t3)では、ライト命令に応答して入力されたデータが、データラインLDB、LDBBを介して、ビットラインセンスアンプに伝送される。

【0143】

ビットラインセンスアンプ210は、前にラッチしたデータを、伝送されたデータに置き替えてラッチし、その後の再格納ステップ(t4)の間に、対応する単位セルにラッチしたデータを格納する。ライト命令を実行する際にも、ビットラインセンスアンプ210は、高電圧VPPと低電圧VBBを用いて検出・増幅動作を実行する。

【0144】

このように、実施の形態に係る半導体メモリ装置の場合は、ビットラインセンスアンプ210が、高電圧VPPと、低電圧VBBを用いて2つのビットラインBL、/BLに印加された信号の差を検出して増幅する。しかし、必要に応じて、ビットラインセンスアンプが、低電圧VBBと電源電圧VDDを用いて検出・増幅動作を行うようにすることができる。

【0145】

この場合は、高電圧VPPと、低電圧VBBを用いる場合に比べると、検出・増幅動作が遅くなることがある。しかし、電源電圧VDDと接地電圧GNDを用いる場合に比べると、検出・増幅動作が速い。

【0146】

以上、説明したように、実施の形態に係る半導体メモリ装置は、プリチャージステップでは、ビットラインをフローティングさせ、ビットラインセンスアンプ210は2つのビットラインBL、/BLの電圧を検出して増幅し、高電圧VPPと低電圧VBBを用いるようになっている。

【0147】

フローティング状態でプリチャージされていたビットラインの電圧を、高電圧VPPに増幅する場合には、電源電圧VDDの1/2にプリチャージされる従来の場合よりも、電圧をさらに上昇させなければならない。しかし、高電圧VPPを用いることにより、ビットラインの電圧を効果的に上昇させることができる。

【0148】

以上、説明したように、実施の形態に係る半導体メモリ装置では、プリチャージ電圧として接地電圧が用いられるので、次のような効果を期待することができる。

【0149】

第1に、プリチャージの間、ビットラインにプリチャージ用電圧を印加することなく、フローティングさせるので、プリチャージ時の電力消費が殆どない。すなわち、従来は、プリチャージの間、接地電圧、電源電圧の1/2または電源電圧が印加されていたので、所定の電力消費が生じていた。しかし、実施の形態に係る半導体メモリ装置では、プリチャージ時に追加して用いられる電力がないので、電力消費量を大幅に減少させることができる。

【0150】

第2に、単位セルのワードラインとビットラインとの間の短絡により発生するブリード電流を防止することができる。前述のように、ブリード電流は、欠陥が発生したワードラインを予備のワードラインに置き替えても発生するので、無駄な電力消費を防止することができない。しかし、実施の形態に係る半導体メモリ装置の場合には、ビットラインに対する別のプリチャージ電圧がなく、フローティング状態であるので、ビットラインの電圧

10

20

30

40

50

が接地電圧になり、ワードラインとビットラインの間には電位差が発生しない。したがって、ブリード電流が発生しない。

【0151】

ただし、プリチャージステップの初期には、ビットラインの電圧が所定のレベルであるので、若干のブリード電流が発生する可能性がある。しかし、ブリード電流が継続して発生するのではなく、フローティング状態のビットラインの電圧が接地電圧になると、ブリード電流は発生しなくなる。

【0152】

第3に、センスアンプの動作時に、電源電圧VDDよりも高い高電圧VPPと、接地電圧GNDより低い低電圧VBBを用いて検出・増幅動作を行うので、電源電圧VDDのレベルが低い場合にも、センスアンプが、ビットラインに印加されるデータ信号を、速い速度で検出し増幅することができる。

10

【0153】

第4に、従来の半導体メモリ装置では、電源電圧または電源電圧の1/2にプリチャージされるようにして、データラインからビットラインに流れる電流によって、ローレベル（接地電圧）に増幅されたビットラインの電圧が一時的に上昇するようになっていた。しかし、実施の形態に係る半導体メモリ装置の場合には、ビットラインが、ビットラインセンスアンプによって負の低電圧に増幅される。そのために、データラインから流れる電流が、ローレベルの電圧（負の低電圧）により相殺にされて、ローレベルに増幅されたビットラインの電圧が接地電圧以上に上昇しないので、データの再格納に要する時間を長くする必要がなく、サイクルタイムを短縮することができる。

20

【0154】

図12は、図7に示したセンスアンプ部の別の例を示す回路図である。図12に示したセンスアンプ部は、図8に示したセンスアンプ部の構成とほぼ同様であるが、補助ビットラインセンスアンプ230a、230bのみが異なっている。

【0155】

図12に示したように、補助ビットラインセンスアンプ230a、230bは、第1補助アンプ用MOSトランジスタTSB1と第2補助アンプ用MOSトランジスタTSB2とを備えている。第1補助アンプ用MOSトランジスタTSB1は、一端側が、ビットラインセンスアンプ210が活性化されている間、接地電圧に活性化されて入力される信号BLPDを受信するBLPDラインに接続され、他端側が、第1セルアレイ300aと第1電圧クランプ部250aとの間に設けられている第1ビットラインBLに接続され、ゲートが、ビットラインセンスアンプ210と第2電圧クランプ部250bとの間に設けられている第2ビットライン/BLに接続されている。また、第2補助アンプ用MOSトランジスタTSB2は、一端側が、ビットラインセンスアンプ210が活性化される間、接地電圧に活性化されて入力される信号BLPDを受信するBLPDラインに接続され、他端側が、第2セルアレイ300bと第2電圧クランプ部230bとの間に設けられている第2ビットライン/BLに接続され、ゲートがビットラインセンスアンプ210と第1電圧クランプ部250aとの間に設けられている第1ビットラインBLに接続されている。

30

【0156】

図12に示したビットラインセンスアンプ部の動作も、図8を参照して説明した場合とほぼ同様であるので、詳細な説明を省略する。

40

【0157】

ただし、補助ビットラインセンスアンプ230aによって、2つのビットラインSABL、SABLの電圧の差が検出され、相対的に低いレベルの方と接続されているビットラインBL、/BLの電圧が接地電圧として維持される。

【0158】

以上、開示した本発明に係る実施の形態は、本発明の好ましい実施の形態を例示したに過ぎず、本発明は、特許請求の範囲に記載した範囲内で、様々な変更及び改良が可能であり、それらも本発明の技術的範囲に属する。

50

【図面の簡単な説明】

【0159】

【図1】通常の半導体メモリ装置のブロック構成図である。

【図2】従来の技術に係る半導体メモリ装置におけるセルアレイの構成を示すブロック図である。

【図3】従来の技術に係るセンスアンプとセルアレイとの間の接続関係を示すブロック図であり、特にシェアドビットラインセンスアンプの構成を示す図である。

【図4】図3に示したセンスアンプ部の構成例を示すブロック図である。

【図5】従来の技術に係る半導体メモリ装置の動作を示すタイミングチャートである。

【図6】従来の技術に係る半導体メモリ装置の単位セルを示す断面図であり、特に低電圧半導体メモリ装置に発生する漏れ電流を説明するための図である。 10

【図7】本発明の好ましい実施の形態に係る半導体メモリ装置の構成を示すブロック図である。

【図8】図7に示したリファレンスセルブロックの構成を示す回路図である。

【図9】図7に示した半導体メモリ装置のうち、センスアンプ部をより詳細に示す回路図である。

【図10】図8に示した半導体メモリ装置の動作を示すタイミングチャートである。

【図11】図8に示した半導体メモリ装置の動作を示すタイミングチャートである。

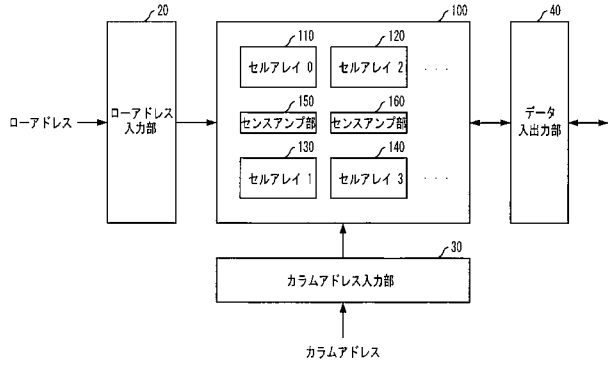
【図12】図7に示したセンスアンプ部の別の例を示す回路図である。

【符号の説明】 20

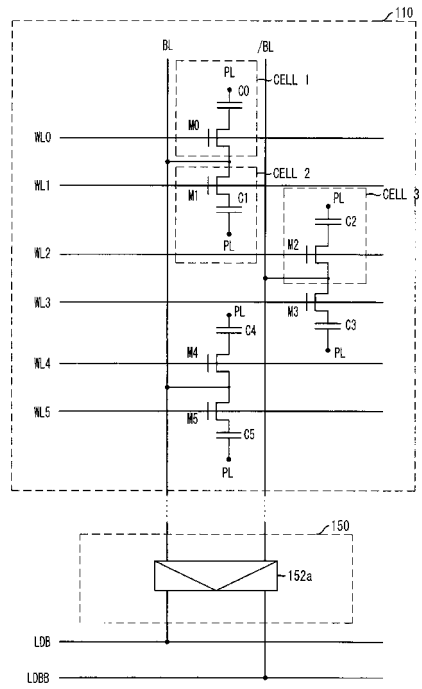
【0160】

TC、TC2	単位セル用MOSトランジスタ
Cap1、Cap2	単位セル用キャパシタ
TS1～TS4	センスアンプ用MOSトランジスタ
TO1、TO2	データ出力用MOSトランジスタ
TBH1、TBH2	電圧クランピング用MOSトランジスタ
TSB1～TSB4	補助アンプ用MOSトランジスタ
TP1、TP2	プリチャージ用MOSトランジスタ

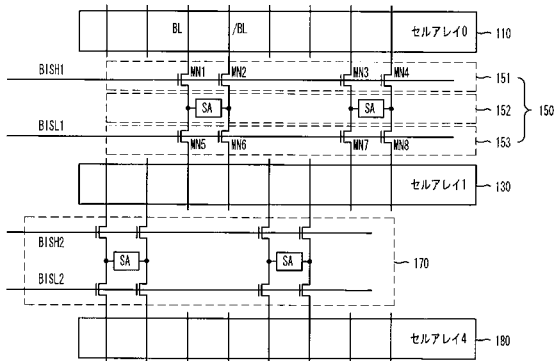
【 図 1 】



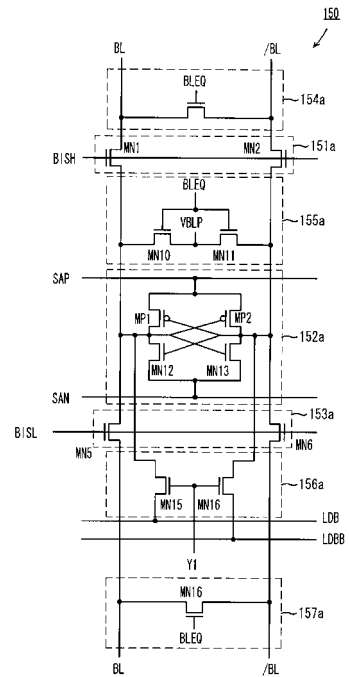
【 図 2 】



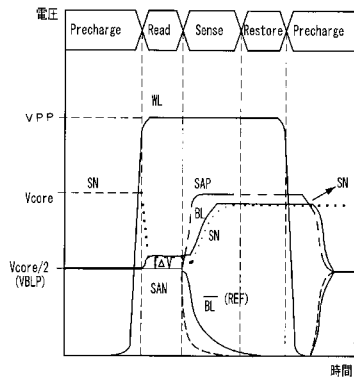
【 図 3 】



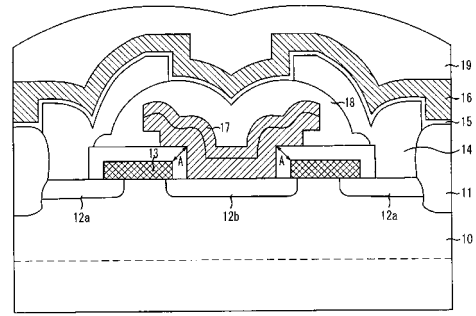
【 図 4 】



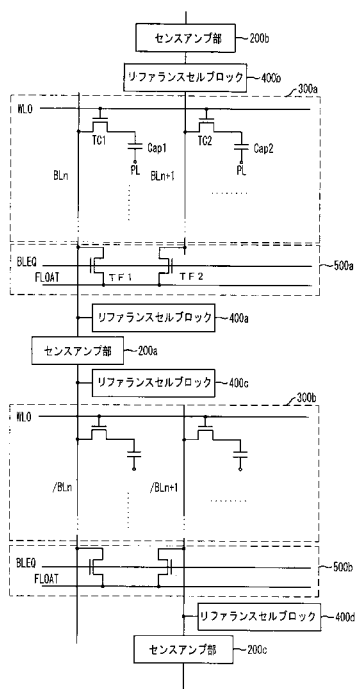
【 図 5 】



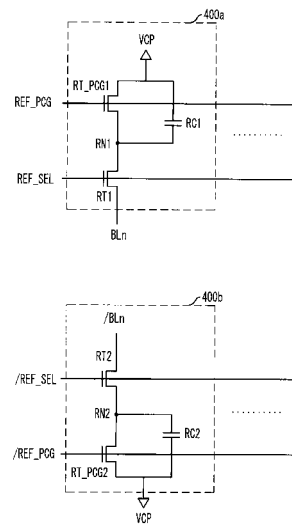
【 図 6 】



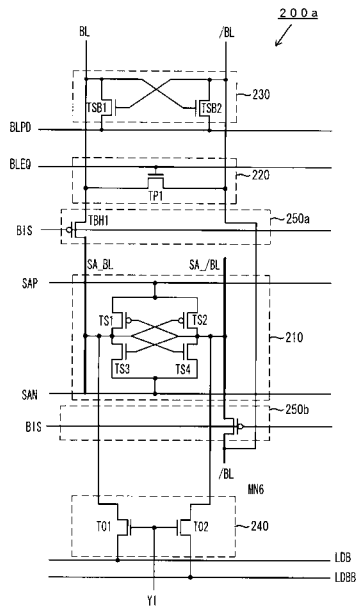
【 図 7 】



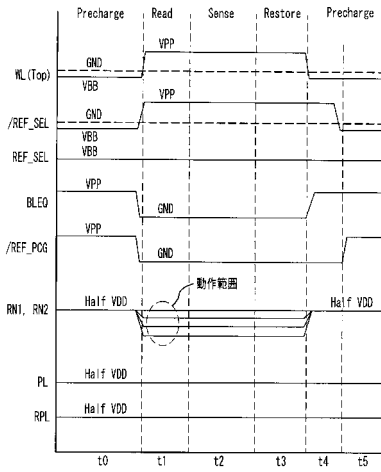
【 図 8 】



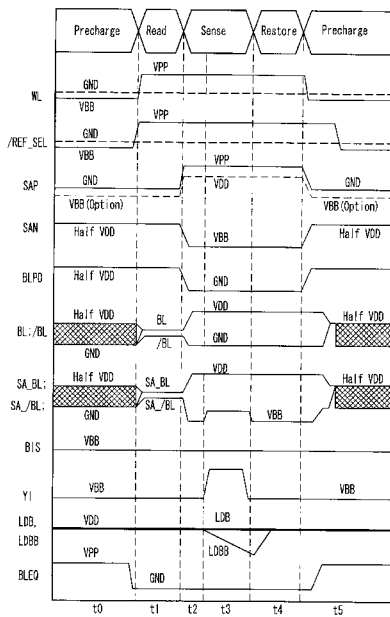
【 図 9 】



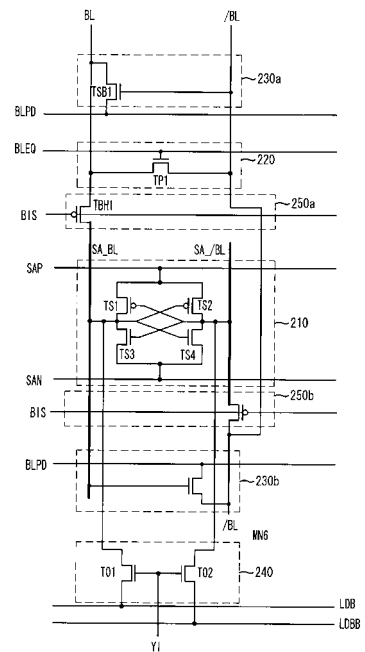
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(72)発明者 安 進 弘

大韓民国京畿道利川市夫鉢邑牙美里山136-1

Fターム(参考) 5M024 AA02 AA06 BB14 BB15 CC62 CC90 PP01 PP02 PP03 PP05
PP07