



PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<p>(51) Internationale Patentklassifikation⁵ : H01L 21/98, 25/065</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 94/25982</p> <p>(43) Internationales Veröffentlichungsdatum: 10. November 1994 (10.11.94)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE94/00492</p> <p>(22) Internationales Anmeldedatum: 3. Mai 1994 (03.05.94)</p> <p>(30) Prioritätsdaten: P 43 14 913.8 5. Mai 1993 (05.05.93) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): WINNERL, Josef [DE/DE]; Stefan-George-Ring 49, D-81929 München (DE). ALSMEIER, Johann [DE/DE]; Heiterwanger Strasse 19, D-81373 München (DE). NEUMÜLLER, Walter [DE/DE]; Wurzerstrasse 10, D-80539 München (DE).</p>	<p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist. Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>	

(54) Title: CONTACT STRUCTURE FOR VERTICAL CHIP CONNECTIONS

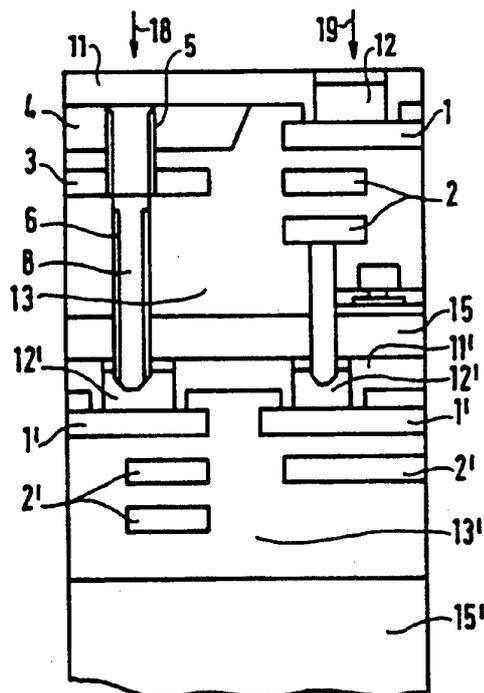
(54) Bezeichnung: KONTAKTSTRUKTURIERUNG FÜR VERTIKALE CHIPVERBINDUNGEN

(57) Abstract

Semiconductor components with a contact structure for vertical contact with other semiconductor components with a substrate (15) having a laminated structure on an upper side with regions to be bonded, in which there is at least one metal pin (8) which pierces said substrate (15) perpendicularly to the laminated structure, whereby the substrate (15) is thinned to such an extent that the metal pin (8) projects beyond the underside of the substrate and where there may be contacts (12) made of a low-melting-point metal on the upper side.

(57) Zusammenfassung

Halbleiterbauelement mit einer Kontaktstrukturierung für vertikale Kontaktierung mit weiteren Halbleiterbauelementen mit einem Substrat (15), das auf einer Oberseite eine Schichtstruktur mit zu kontaktierenden Bereichen aufweist, bei dem mindestens ein Metallstift (8) vorhanden ist, der dieses Substrat (15) senkrecht zu der Schichtstruktur durchbohrt, bei dem das Substrat (15) soweit gedünnt ist, daß der Metallstift (8) die Unterseite des Substrates überragt und bei der ggf. auf der Oberseite Metallkontakte (12) aus niedrig schmelzendem Metall vorhanden sind.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauretanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

Kontaktstrukturierung für vertikale Chipverbindungen

5

Die vorliegende Erfindung betrifft Halbleiterbauelemente mit einer speziellen Kontaktstrukturierung, die für eine vertikale elektrisch leitende Verbindung von mehreren Halbleiterbauelementen vorgesehen ist. Außerdem werden zugehörige Herstellungsverfahren angegeben.

10

Halbleiterschaltungen werden heute in Planartechnik hergestellt. Die erreichbare Komplexität auf einem Chip ist begrenzt durch dessen Größe und die erreichbare Strukturfeinheit. Die Leistungsfähigkeit eines Systems bestehend aus mehreren miteinander verbundenen Halbleiterchips ist bei konventioneller Technik wesentlich begrenzt durch die begrenzte Zahl der möglichen Verbindungen zwischen einzelnen Chips über Anschlußkontakte (Pads), die geringe Geschwindigkeit der Signalübermittlung über solche Verbindungen zwischen verschiedenen Chips (Interface-Schaltung Pad/Leiterplatte), die bei komplexen Chips begrenzte Geschwindigkeit durch weit verzweigte Leiterbahnen und den hohen Leistungsverbrauch der Interface-Schaltungen.

25

Diese aufgezeigten Beschränkungen bei der Verwendung der Planartechnik lassen sich mit dreidimensionalen Techniken der Verschaltung überwinden. Die Anordnung der Funktionsebenen übereinander erlaubt eine parallele Kommunikation dieser Komponenten mit geringem Aufwand elektrisch leitender Verbindungen in einer Ebene, und außerdem werden geschwindigkeitsbegrenzende Interchip-Verbindungen vermieden.

30

Ein bekanntes Verfahren, dreidimensionale IC's herzustellen, beruht darauf, über einer Ebene von Bauelementen eine weitere Halbleiterschicht (z. B. Silizium) abzuscheiden und diese über ein geeignetes Verfahren (z. B. lokale Erwärmung mittels Lasers) zu rekristallisieren und darin eine weitere Bauele-

35

menteebene zu realisieren. Auch diese Technik weist wesentliche Begrenzungen auf, die durch die thermische Belastung der unteren Ebene bei der Rekristallisierung und die durch Defekte begrenzte erreichbare Ausbeute gegeben sind.

5

Ein alternatives Verfahren von NEC stellt die einzelnen Bauelementeebenen getrennt voneinander her. Diese Ebenen werden auf wenige μm gedünnt und mittels wafer bonding miteinander verbunden. Die elektrischen Verbindungen werden in der Weise
10 hergestellt, daß die einzelnen Bauelementeebenen auf der Vorder- und Rückseite mit Kontakten zur Interchip-Verbindung versehen werden. Dieses Verfahren hat folgende Nachteile und Einschränkungen: Die gedünnten Scheiben müssen auf der Vorderseite und auf der Rückseite in technischen Prozessen bearbeitet werden (Lithographie mit Justierung durch die Halbleiterscheibe). Das Testen auf Funktionstüchtigkeit der einzelnen Ebenen vor dem Zusammenfügen ist dadurch erschwert, daß bei diesem Verfahren in jeder Ebene einzelne Bauelemente,
15 aber nicht vollständige Schaltungen realisiert werden. Durch das Dünnen der Scheiben bis auf die Funktionselemente entstehen SOI-ähnliche Bauelementestrukturen, so daß keine mit Standardtechnologien (z. B. Standard-CMOS) vorgefertigten Scheiben verwendet werden können.
20

25 Aufgabe der vorliegenden Erfindung ist es, Halbleiterbauelemente mit einer für dreidimensionale Kontaktierung geeigneten, einfach herstellbaren und gegenüber bisherigen Verdrahtungen verbesserten Kontaktstrukturierung und zugehörige Herstellungsverfahren anzugeben.
30

Diese Aufgabe wird mit den Halbleiterbauelementen mit Kontaktstrukturierung entsprechend den Merkmalen des Anspruches 1 gelöst. Weitere Ausgestaltungen, insbesondere Herstellungsverfahren, ergeben sich aus den abhängigen Ansprüchen.
35

Bei dem erfindungsgemäßen Halbleiterbauelement weist die Kontaktstrukturierung Metallstifte auf, die mit zu kontaktierenden Bereichen einer auf der Oberseite eines Substrates ange-

ordneten Schichtstruktur mit Funktionselementen elektrisch leitend verbunden sind und das Substrat vollständig durchbohren und die gegenüberliegende Unterseite des Substrates so weit überragen, daß eine elektrisch leitende Verbindung dieser Metallstifte mit Metallkontakten auf der Oberseite eines weiteren Halbleiterbauelementes möglich ist. Bei dem erfindungsgemäßen Halbleiterbauelement und dem zugehörigen Herstellungsverfahren können mit Standardtechnologien vorgefertigte Scheiben verwendet werden. Es sind keine Eingriffe in die üblichen Basistechnologien nötig, da die für die vertikale Verbindung nötige Modifikation der Kontaktstrukturierung in Prozeßschritten am Schluß des Herstellungsprozesses vorgenommen werden. Die Herstellung der elektrischen Kontakte auf Vorder- und Rückseite des Bauelementes erfolgt ausschließlich durch Herstellungsverfahren, die von der Vorder- oder Oberseite des Bauelementes her vorgenommen werden. Der erfindungsgemäße Aufbau des Halbleiterbauelementes und die zugehörigen Herstellungsverfahren sind daher besonders dafür geeignet, komplexe Systeme zu realisieren mit hohem Aufwand an elektrischer Verbindung. Die einzelnen vertikal miteinander verbundenen Halbleiterebenen müssen keine reinen Bauelementeebenen sein, sondern sind vorzugsweise ganze Schaltungsebenen, die mit Standardtechnologien (z. B. CMOS, Bipolartechnik oder Speicher mit Mehrlagenverdrahtung) vorgefertigt werden können. Dadurch können die einzelnen Schaltungsebenen vor dem Zusammenfügen vertikal zueinander angeordneter erfindungsgemäßer Halbleiterbauelemente getestet werden, wodurch die Ausbeute erhöht wird, weil nur funktionsfähige Komponenten miteinander kombiniert werden. Es ist auch möglich, Sensoren oder Aktoren in der Form erfindungsgemäßer Halbleiterbauelemente herzustellen. Das erfindungsgemäße Halbleiterbauelement läßt sich besonders einfach unter Anwendung eines Verfahrens (wie z. B. CMOS) herstellen, das geringe Verlustleistung des Chips durch geringe Versorgungsspannung garantiert, planar ist (einschließlich MLV), um ein Verbinden der einzelnen Ebenen mittels wafer bonding zu ermöglichen und keine spezielle und aufwendige nachträgliche Planarisierung zu erzwingen, freie Platzierung der Inter-Layer-Verbindungen ermöglicht,

über Standardverfahren der Mikroelektronik zur Herstellung der Verbindungen verfügt und ggf. die Verwendung spezieller Materialien, wie niedrig schmelzendes Metall, am Ende des Prozesses ermöglicht.

5

Das Herstellungsverfahren dreidimensional integrierter Chips unter Verwendung der erfindungsgemäßen Halbleiterbauelemente ist modular, d. h., daß die einzelnen Ebenen unabhängig voneinander hergestellt, getestet und dann miteinander verbunden werden können. Als Einzelebenen kommen nicht nur CMOS-Schaltungsebenen in Frage, sondern auch in anderen Technologien hergestellte Schaltungsebenen, die den oben aufgezählten Eigenschaften des verwendeten Verfahrens entsprechend aufgebaut sind (z. B. Bipolar oder Speicher wie DRAM, SRAM oder nicht flüchtige Speicher). Es ist auch möglich, zwischen den Teilschaltungsebenen Ebenen ohne aktive Komponenten als reine Verdrahtungsebenen anzuordnen. Nachfolgend werden Ausführungsbeispiele des erfindungsgemäßen Halbleiterbauelementes und der zugehörigen Herstellungsverfahren beschrieben, die leicht abgewandelt und den jeweiligen speziellen Anforderungen angepaßt werden können.

25

Es folgt die Beschreibung der erfindungsgemäßen Bauelemente und der Herstellungsverfahren anhand der Figuren 1 bis 13.

25

Fig. 1 und 2 zeigen im Ausschnitt jeweils einen Querschnitt durch zwei vertikal miteinander verbundene erfindungsgemäße Halbleiterbauelemente.

30

Fig. 3 bis 7 zeigen jeweils im Ausschnitt einen Querschnitt durch ein erfindungsgemäßes Halbleiterbauelement nach verschiedenen Schritten eines zugehörigen Herstellungsverfahrens.

35

Fig. 8 bis 13 zeigen jeweils Ausschnitte aus dem Querschnitt einer anderen Ausführungsform des erfindungsgemäßen Halbleiterbauelementes nach verschiedenen Schritten eines anderen zugehörigen Herstellungsverfahrens.

In Fig. 1 sind ausschnittsweise im Querschnitt zwei vertikal zueinander angeordnete und elektrisch leitend miteinander verbundene erfindungsgemäße Halbleiterbauelemente dargestellt. Es ist im Hinblick auf das Herstellungsverfahren besonders vorteilhaft, wenn für das erfindungsgemäße Bauelement ein dreilagiges Substrat verwendet wird. Bei diesem Substrat sind zwei Halbleiterschichten durch eine Isolatorschicht voneinander getrennt. Es kann sich dabei z. B. um ein SOI-Substrat (silicon on insulator) handeln. Das erfindungsgemäße Halbleiterbauelement trägt die Funktionselemente nur auf einer Seite, der Oberseite, des Substrates. Bei Verwendung von dreilagigen Substraten wird zweckmäßig die der Oberseite gegenüberliegende Halbleiterschicht vollständig abgetragen, so daß die Isolatorschicht auf der Unterseite freigelegt ist.

Damit bei der vertikalen Verbindung verschiedener Halbleiterchips die Funktionselemente nicht durch die jeweils darunter befindliche Ebene beeinträchtigt werden, kann es vorteilhaft sein, wenn die Isolatorschicht wesentlich dicker ist als bei SOI-Substraten üblich. Es kann als Isolatorschicht z. B. eine dicke Oxidschicht vorgesehen sein, wobei das dreilagige Substrat mittels wafer bonding hergestellt sein kann. Bei Verwendung eines SOI-Substrates ist von dem oberen in Fig. 1 dargestellten Halbleiterbauelement nur die Isolatorschicht 22 und die dünne Siliziumschicht 21 übrig. Die Schicht 21 kann aber auch eine auf ein herkömmliches Substrat aufgewachsene Halbleiterschichtstruktur sein. Ebenso kann die Isolatorschicht 22 eine entsprechend dickere Schicht eines mehrlagigen Substrates sein. Die unterste Halbleiterschicht des Substrates ist bei dem unteren Halbleiterbauelement in Fig. 1 ausschnittsweise als Trägerscheibe 20 eines SOI-Substrates dargestellt. In der Siliziumschicht 21 (oder allgemein einer Halbleiterschichtstruktur) ist als Beispiel in diesem Ausführungsbeispiel der Figur 1 ein Feldeffekttransistor ausgebildet. Die Gate-Metallisierung 24 darüber ist ebenfalls eingezeichnet. Diese Schichtstruktur aus Halbleitermaterial kann einlagig oder mehrlagig sein. Verschiedene leitende Bereiche aus Halbleitermaterial können durch dazwischen angeordnete Isolationsbereiche 23 getrennt sein. Außerdem kann eine ein-

oder ebenfalls mehrlagige Metallisierungsschichtstruktur vorhanden sein. In Fig. 1 ist der Übersichtlichkeit halber diese Metallisierungsschichtstruktur auf die Gate-Metallisierung 24 beschränkt. Zwischen dieser Schichtstruktur aus Halbleiter-
5 schicht und Metallisierungsebenen und der für die Leiterbahnen vorgesehene Ebene sind in diesem Ausführungsbeispiel eine erste Dielektrikumschicht 25 und eine zweite Dielektrikumschicht 26 angeordnet. Die Leiterbahnen 10 sind durch eine dritte Dielektrikumschicht 9 voneinander isoliert. Auf den
10 Leiterbahnen 10 befindet sich bei dem Beispiel der Fig. 1 ein Metallkontakt 12 in einer Deckschicht 11 aus Dielektrikum. Dieser Metallkontakt 12 kann z. B. einer elektrischen Kontaktierung mit einem über diesem Bauelement angeordneten weiteren Halbleiterbauelement dienen. Wie diese Kontaktierung in
15 vertikaler Anordnung erfolgt, ist aus der Verbindung des oberen Halbleiterbauelementes mit dem unteren Halbleiterbauelement in Fig. 1 zu entnehmen. Elektrisch leitfähige Kontaktschichten aus Halbleitermaterial, weitere Leiterbahnen oder Metallkontakte in verschiedenen Metallisierungsebenen (in dem
20 Beispiel der Fig. 1 eine Kontaktschicht des FET aus Silizium) werden durch senkrecht zur Substratoberseite verlaufende Metallstifte 8 mit den Leiterbahnen 10 oder den Metallkontakten 12 verbunden. Diese Metallstifte 8 durchbohren das Substrat oder die von dem Substrat übrig gebliebene Isolatorschicht 22
25 und überragen deren Unterseite. An der Unterseite ist ein weiteres Bauelement derart angeordnet, daß beim Zusammenfügen der Chips die Enden der Metallstifte 8 elektrisch leitende Verbindungen mit den entsprechenden Metallkontakten 12' des unteren Bauelementes eingehen. Das untere Bauelement ist ähnlich dem oberen aufgebaut. Auf einem SOI-Substrat 20, 21',
30 22' ist in der Siliziumschicht 21' ein Feldeffekttransistor ausgebildet. Dieser Feldeffekttransistor ist elektrisch leitend mit einer Leiterbahn 10' durch einen entsprechenden Metallstift 8' verbunden. Die Ebene der Leiterbahnen 10' ist
35 von der Ebene der Siliziumschicht 21' wieder durch Schichten aus Dielektrikum 26' getrennt. Auf den Leiterbahnen 10' sind die Metallkontakte 12' für die vertikale leitende Verbindung aufgebracht. Die Deckschicht 11' dient der Planarisierung der

Oberfläche und erleichtert das vertikale Verbinden der beiden Halbleiterbauelemente. Da bei diesem Beispiel das untere Bauelement als unterstes Bauelement vorgesehen ist, ist die Trägerscheibe 20 des Substrates vorhanden und die Isolatorschicht 22' nicht von dem Metallstift 8' durchbohrt.

Analog zu der Darstellung in Fig. 1 sind in Fig. 2 ausschnittsweise im Querschnitt zwei vertikal übereinandergesetzte Halbleiterbauelemente einer weiteren erfindungsgemäßen Ausführungsform dargestellt. Auf einem Substrat 15, das eine einlagige Halbleiterscheibe sein kann oder die Isolatorschicht oder Oxidschicht eines ursprünglich mehrlagigen Substrates sein kann, befindet sich eine Schichtstruktur mit Funktionselementen. Beispielhaft ist in Figur 2 eine epitaktisch aufgewachsene Schichtstruktur für einen Feldeffekttransistor mit einer darauf aufgebracht Gate-Metallisierung eingezeichnet. Auf dem Substrat 15 und den darauf aufgebracht oder darin integrierten Funktionselementen befindet sich eine Zwischenschicht 13 aus Dielektrikum, in der eine oder mehrere Metallisierungsebenen mit Leiterbahnen aufgebracht oder eingebettet sind. In Fig. 2 sind eine obere Metallebene 1 sowie darunter weitere Metallebenen 2 eingezeichnet. Ein das Substrat 15 durchbohrender Metallstift 8 für eine leitende Verbindung der Leiterbahn 3 mit einem vertikal darunter angeordneten Halbleiterbauelement ist von dem Substrat 15 und einem Anteil der Zwischenschicht 13 durch ein Dielektrikum 6 getrennt. Zwischen der Leiterbahn 3 und dem Metallstift 8 befindet sich eine leitende Passivierung 5, die bei der Herstellung des Metallstiftes 8 eine Kontamination des Substrates 15 mit dem Metall der Leiterbahn 3 verhindert. Auf der rechten Seite der Fig. 2 ist ein weiterer Metallstift eingezeichnet. Beide Metallstifte sind mit den Metallkontakten 12' eines darunter angeordneten weiteren Halbleiterbauelementes elektrisch leitend verbunden. Von diesem weiteren Halbleiterbauelement sind eine oberste Metallebene 1' und darunter weitere Metallebenen 2' in einer Zwischenschicht 13' eingezeichnet. Eine Deckschicht 11' aus Dielektrikum planarisiert die dem oberen Bauelement zugewandte Oberseite zwischen den Me-

tallkontakten 12'. Die Zwischenschicht 13 des oberen Halbleiterbauelementes ist in dem dargestellten Beispiel mit einer Planarisierung 4 aus Dielektrikum eingeebnet. Auf der rechten Seite (s. Pfeil 19) befindet sich auf dem oberen Halbleiterbauelement ein Metallkontakt 12 auf der obersten Metallebene 1. Die Oberfläche ist mit einer Deckschicht 11 eingeebnet. Der Metallkontakt 12 ist aus einem Metall mit niedrigerem Schmelzpunkt als das Metall der Leiterbahnen 1. Dieser Metallkontakt 12 dient einer elektrisch leitenden Verbindung mit einem darüber angeordneten Metallstift eines weiteren vertikal zu verbindenden Halbleiterbauelementes. Das Metall des Metallkontaktes 12 hat einen niedrigeren Schmelzpunkt, weil die leitende Verbindung zwischen Metallkontakt 12 und Metallstift 8 durch Erwärmen hergestellt wird und die Reaktionstemperatur dabei so niedrig bleiben soll, daß die Leiterbahnen 1, 2, 3 und restlichen Metallisierungen dadurch nicht beeinträchtigt werden. Bei Leiterbahnen aus Aluminium kann der Metallkontakt 12 z. B. AuIn sein.

Die Details des Ausführungsbeispiels der Fig. 1 werden nachfolgend anhand der Beschreibung eines Herstellungsverfahrens näher erläutert. Als Ausgangsmaterial kann z. B. ein SOI-Substrat mit einer maximal 100 nm dicken Siliziumschicht 21 auf einer Isolatorschicht 22 (z. B. Oxid) auf einer Trägerscheibe 20 (z. B. Silizium) verwendet werden. Ein derartiges SOI-Substrat kann mit bekannten Verfahren wie Waferbonding oder SIMOX hergestellt werden. In der Siliziumschicht 21 werden die Funktionselemente (die aktiven Komponenten dieses Bauelementes) in einer Technologie für niedrige Verlustleistungen, wie z. B. SOI-CMOS für vollständig verarmte (fully depleted) MOSFET's hergestellt. Die einzelnen Funktionselemente wie z. B. diese Feldeffekttransistoren werden durch Isolationsbereiche 23 voneinander getrennt. Diese Isolationsbereiche 23 werden z. B. hergestellt, indem die Siliziumschicht 21 zwischen den Funktionselementen entfernt wird und diese Bereiche mit einem Oxid aufgefüllt wird. Es kann statt dessen eine lokale Oxidation dieser Bereiche oder eine Isolationsimplantierung vorgenommen werden. Eine erforderliche Do-

tierung der Funktionselemente durch Ionenimplantation, z. B. zur Einstellung der Einsatzspannung für MOSFET's, kann anschließend erfolgen. Das Dielektrikum für die Isolation des Gates bei dem MOSFET kann z. B. als thermisches Oxid mittels RTP (Rapid Thermal Processing) erzeugt werden. Erforderliche Metallisierungen, wie z. B. die in Fig. 3 eingezeichnete Gate-Metallisierung 24, aus z. B. dotiertem Polysilizium oder Metall oder Metallsilizid werden anschließend aufgebracht. Nach der Strukturierung des Gates können erneut Dotierungen eindiffundiert werden, um die Bereiche für Source und Drain mittels Ionenimplantation und nachfolgender Aktivierung (Ausheilen) herzustellen. Entsprechend werden auch andere Funktionselemente unter Anwendung der zur Verfügung stehenden Basistechnologie hergestellt. Zusätzlich können auch Halbleiterschichten epitaktisch aufgewachsen werden. In dem ersten Abschnitt des Herstellungsverfahrens wird auf diese Weise eine Schichtstruktur auf der Oberseite des Substrates hergestellt. Diese Schichtstruktur enthält die aktiven Gebiete mit den Funktionselementen und eine oder mehrere Kontaktierungsebenen. Diese Kontaktierungsebenen können z. B. durch Kontaktschichten aus Halbleitermaterial, das hoch für guten niederohmigen Metall-Halbleiter-Kontakt dotiert ist, oder durch eine Metallebene mit durch Dielektrika voneinander isolierten Leiterbahnen oder durch einzeln aufgebrachte Metallkontakte gebildet sein. Zur Vereinfachung ist bei dem Ausführungsbeispiel nur ein MOSFET in dieser Schichtstruktur eingezeichnet. Wie in Fig. 3 dargestellt, wird in einem nachfolgenden Verfahrensschritt eine erste Dielektrikumschicht 25 ganzflächig aufgebracht. In Fig. 4 sind zwei verschiedene Anordnungen für die Metallstifte der herzustellenden Kontaktstrukturierung mit einem linken Pfeil 18 und einem rechten Pfeil 19 bezeichnet. Die Bereiche für den herzustellenden Metallstift werden jeweils ausgeätzt. Dabei ist in dem rechten Beispiel (rechter Pfeil 19) in Fig. 4 das Dielektrikum der ersten Dielektrikumschicht 25, des Isolationsbereiches 23 und der Isolatorschicht 22 wegzuätzen. Es wird dann das Material der Trägerscheibe 20 (z. B. Silizium) wie eingezeichnet ausgeätzt. In dem links gezeichneten Bei-

spiel (linker Pfeil 18) wird bei Verwendung selektiver Ätzen für das Oxid oder sonstige Material der Dielektrikumschichten und für das Silizium oder sonstige Halbleitermaterial der aktiven Gebiete und der Trägerscheibe 20 abwechselnd jeweils ein anderes Ätzmittel eingesetzt. Die Trägerscheibe 20 wird jeweils so ausgeätzt, wie für die Länge des aus dem später gedünnten Substrat ragenden Metallstiftes vorgesehen ist. Die ausgeätzten Bereiche werden dann mit Metall 8 (s. Fig. 5) gefüllt, was z. B. durch ganzflächige Abscheidung des Metalles (z. B. Wolfram) mittels CVD und Zurückätzen des Metalles auf der Oberfläche geschehen kann. Dann wird eine zweite Dielektrikumschicht 26 ganzflächig abgeschieden und planarisiert. Diese Planarisierung geschieht z. B. durch Abscheiden einer planarisierenden Hilfsschicht (wie z. B. spin-on glass) und Rückätzen oder durch chemisch-mechanisches Polieren (chemical mechanical polishing). In diese zweite Dielektrikumschicht 26 werden dann Öffnungen 14 hergestellt oberhalb des eingebrachten Metalles 8.

Die Öffnungen 14 in der zweiten Dielektrikumschicht 26 werden ebenfalls mit Metall aufgefüllt. Auf der zweiten Dielektrikumschicht 26 wird eine Metallebene hergestellt, die z. B. Leiterbahnen oder einzelne Metallkontakte enthält. Die zweite Dielektrikumschicht 26 definiert dabei den Abstand dieser Metallebene von den aktiven Gebieten. Die Metallstifte 8 sind entsprechend bis zur Oberfläche der zweiten Dielektrikumschicht 26 verlängert. Zusätzlich zu den eingezeichneten Öffnungen 14, die den unteren Teil der herzustellenden Metallstifte 8 freilegen, können weitere Öffnungen vorgesehen sein, um einzelne Bereiche der Schichtstruktur von oben kontaktieren zu können. Da für das erfindungsgemäße Halbleiterbauelement primär die Kontaktstrukturierung mit Metallstiften 8 maßgeblich ist, sind weitere Kontaktierungen in den Figuren der Übersichtlichkeit halber nicht eingezeichnet. Auf der zweiten Dielektrikumschicht 26 werden z. B. die Leiterbahnen 10 wie in Fig. 6 gezeichnet so aufgebracht und strukturiert, daß sie wie vorgesehen mit dem Metall in den Kontaktlöchern (in diesem Beispiel die Metallstifte 8) in elektrisch leitend-

der Verbindung sind. Zwischen den Leiterbahnen 10 wird eine dritte Dielektrikumschicht 9 zur Isolation und Planarisierung aufgebracht. Diese dritte Dielektrikumschicht 9 kann auch zuerst auf die zweite Dielektrikumschicht 26 aufgebracht und strukturiert werden. Die für die Leiterbahnen 10 vorgesehenen Bereiche werden aus der dritten Dielektrikumschicht 9 entfernt. Diese Öffnungen der dritten Dielektrikumschicht 9 werden dann wie bei der Herstellung der Metallstifte 8 mit Metall gefüllt, was auch hier durch selektive CVD-Abscheidung (z. B. von Wolfram auf einer Haftschicht) oder durch ganzflächige Abscheidung und Rückätzung mittels RIE (reactive ion etching) oder chemical mechanical polishing geschehen kann. Es können dann weitere Dielektrikumschichten aufgebracht und strukturiert werden, entsprechend der Anzahl der erforderlichen Metallisierungsebenen. Auf diese Weise können mehrere Ebenen von Leiterbahnen und Metallkontakten übereinander angeordnet werden, die jeweils durch dazwischen befindliche Dielektrikumschichten voneinander getrennt sind. Diese Dielektrikumschichten können in den Bereichen der Metallstifte 8 auch jeweils mit Metall weiter aufgefüllt werden, so daß die Metallstifte 8 bis zu weiter oben angeordneten Metallebenen verlängert werden können. Alternativ dazu ist es möglich, eine weiter oben angeordnete Metallebene mit einem Metallstift der erfindungsgemäßen Kontaktstrukturierung zu versehen, wie anhand des Ausführungsbeispiels der Figur 2 weiter unten beschrieben wird. In Fig. 6 ist zusätzlich eine Deckschicht 11 aus Dielektrikum mit einem darin befindlichen Metallkontakt 12 auf der Oberseite eingezeichnet. Dieser Metallkontakt 12 kann z. B. mit üblicher Fotomaskentechnik aufgebracht werden. Statt dessen kann die Deckschicht 11 zuerst ganzflächig aufgebracht und strukturiert werden. Das Metall des Metallkontaktes 12 wird dann durch Aufdampfen oder Sputtern aufgebracht. Dabei wird ein Metall mit einem gegenüber dem Metall der Leiterbahnen niedrigeren Schmelzpunkt aufgebracht. Der Metallkontakt 12 dient einer Verbindung mit einem entsprechenden Metallstift eines weiteren erfindungsgemäßen Bauelementes, das vertikal zu diesem Bauelement angeordnet wird. Eine Verbindung dieses weiteren Metallstiftes 8 mit dem Me-

tallkontakt 12 geschieht durch Erwärmung. Damit die Reaktionstemperatur für diese vertikale Verbindung der Kontaktstrukturen ausreichend gering sein kann, damit die Belastung für die vorhandenen Leiterbahnen und Metallisierungen gering gehalten wird, wird für den Metallkontakt 12 ein Metall mit niedrigerem Schmelzpunkt vorgesehen. Bei Leiterbahnen aus Aluminium kann das Metall des Metallkontaktes 12 z. B. AuIn sein. Überschüssiges Metall, Material der Maske oder im Lift-off-Verfahren verwendete Materialien werden entfernt.

5

10 Eine Haftschrift 16 und eine Trägerscheibe 17 werden wie in Fig. 7 gezeigt aufgebracht. Die Trägerscheibe 17 dient der Stabilisierung des Bauelementes. Das Substrat wird dann von der Rückseite gedünnt, was bei diesem Ausführungsbeispiel dadurch geschieht, daß das Halbleitermaterial (Silizium) der

15 Trägerscheibe 20 selektiv zu dem Material (Oxid) der Isolatorschicht 22 entfernt wird. Das geschieht z. B. durch naßchemisches Rückätzen. Es ergibt sich die Struktur, die in Fig. 7 dargestellt ist. Die Halbleiterscheibe wird mit dieser Stabilisierungsschicht aus Haftschrift 16 und Trägerscheibe

20 17 in Chips zerteilt. Die einzelnen Chips werden auf einen vorbereiteten ersten Chip oder auf einen Stapel mehrerer Chips justiert und bei erhöhter Temperatur mit Druck aufeinander befestigt. Dabei gehen die einzelnen Metallkontakte 12 und Metallstifte 8 aufeinander je eine Verbindung ein. Es ist

25 auch möglich, die Verbindung vor dem Zerteilen der Chips durchzuführen. In diesem Falle ist aber keine Vorselektion funktionsfähiger Chips und damit eine Ausbeuteerhöhung möglich. Bevor auf der Oberseite des Bauelementes ein weiteres Halbleiterbauelement vertikal kontaktiert wird, werden die

30 Haftschrift 16 und die Trägerscheibe 17 darauf entfernt.

In einem Stapel mehrerer übereinander angeordneter erfindungsgemäßer Halbleiterbauelemente sind für die unterste Ebene nur Metallkontakte auf der Oberseite zu erzeugen und

35 das Substrat braucht nicht gedünnt zu werden. Die oberste Ebene wird nur mit Metallstiften 8 versehen, d. h. die erfindungsgemäße Kontaktstrukturierung besitzt keine Metallkontakte 12 auf der Oberseite. Die dazwischen angeordneten Halblei-

terbauelemente besitzen jeweils eine Kontaktstrukturierung mit Metallkontakten auf der Oberseite und aus dem gedünnten Substrat ragenden Metallstiften an der Unterseite.

5 Mit dem erfindungsgemäßen Verfahren lassen sich auch Halbleiterbauelemente ohne aktive Komponenten, d. h. ohne Funktionselemente, realisieren. Derartige Halbleiterbauelemente dienen dann ausschließlich der leitenden Verbindung zwischen vertikal zueinander angeordneten weiteren Bauelementen. Es sind
10 auch Kombinationen mit weiteren Technologien wie die Technologien zur Herstellung von Bipolartransistoren und Speichern möglich. Zur Herstellung entsprechender Bauelemente sind Schichtstrukturen für diese entsprechenden Bauelemente zu realisieren und dann mit der erfindungsgemäßen Kontaktstrukturierung wie beschrieben zu versehen.
15

Bei dem Ausführungsbeispiel der Figur 2 wird von einem Substrat mit einer Schichtstruktur und z. B. mehreren Metallisierungsebenen (z. B. CMOS mit Mehrlagenverdrahtung) und
20 mit Passivierung (z. B. Oxid, Nitrid), bei dem die Passivierung über Testpads geöffnet ist, um eine Selektion zur Ausbeuteerhöhung vornehmen zu können, ausgegangen. In Fig. 8 ist als Beispiel auf dem Substrat 15 eine Schichtfolge 21 aus Halbleitermaterial zur Ausbildung eines FET mit Gate-Metallisierung 24 eingezeichnet. In einer Zwischenschicht 13, die
25 mehrlagig sein kann, ist mindestens eine Metallisierungsebene ausgebildet. In Fig. 8 befindet sich eine oberste Metallebene 1 über weiteren Metallebenen 2. Es kann sich um einzelne Kontakte oder Leiterbahnen handeln. Eine untere dieser weiteren
30 Metallebenen 2 ist bereits mit einem Metallstift 8 der erfindungsgemäßen Kontaktstrukturierung versehen. Dieser Metallstift 8 kann z. B. wie in dem vorhergehenden Ausführungsbeispiel hergestellt sein. Bei dem jetzt beschriebenen Herstellungsverfahren wird ein weiterer Metallstift nachträglich
35 hergestellt, mit dem eine bereits vorhandene noch zu kontaktierende Metallebene 3 in die erfindungsgemäße Kontaktstrukturierung mit einbezogen wird. Falls die Oberfläche des Bauelementes keine ausreichende Planarität aufweist, wird auf

die Zwischenschicht 13 eine Planarisierung 4 aus Dielektrikum (z. B. mittels PECVD abgeschiedenes Oxid) aufgebracht. Ggf. ist dazu eine planarisierende Rückätzung erforderlich. Ausgehend von der Struktur der Fig. 8 wird auf der linken Seite

5 (Pfeil 18) der Metallstift 8 für die vertikale Kontaktierung hergestellt. Dazu wird eine Maske z. B. in Fototechnik aufgebracht und die Zwischenschicht 13 ggf. einschließlich der Passivierung 4 innerhalb der Maskenöffnung selektiv zu dem

10 Metall der zu kontaktierenden Metallebene 3 entfernt. Das Metall wird dann selektiv zu dem Material der Zwischenschicht 13 ebenfalls geätzt. Man erhält so den oberen Teil des für den Metallstift vorgesehenen zylindrischen Bereiches. Dessen Innenseite wird mit einer Passivierung 5 (s. Fig. 9) versehen

15 (z. B. elektrisch leitend dotiertes Polysilizium), um in nachfolgenden Verfahrensschritten das Halbleitermaterial (Silizium) des Substrates 15 gegen eine Kontamination mit Metall aus der zu kontaktierenden Metallebene 3 zu schützen. Die Passivierung 5 wird auf der Oberfläche der Zwischenschicht 13 bzw. der Planarisierung 4 und auf dem Boden des

20 geätzten Bereiches durch anisotrope Ätzung entfernt. Das Material (z. B. Oxid) der Zwischenschicht 13 wird anisotrop und selektiv zu dem Silizium des Substrates 15 bis zu der Oberseite des Substrates 15 geätzt. Danach erfolgt die Ätzung des Substrates 15 bis aus eine definierte Tiefe, die sich aus der

25 vorgesehenen Restdicke des Substrates 15 und der Länge des aus der Unterseite des Substrates später herausragenden Anteiles des Metallstiftes ergibt. Wie in Fig. 10 dargestellt, wird in die geätzte Öffnung ein Dielektrikum 6 abgeschieden (z. B. Oxid mittels PECVD) und anisotrop auf der Oberfläche

30 und auf dem Boden des ausgeätzten Bereiches entfernt. Dieses Dielektrikum 6 wird dann entsprechend Fig. 11 im Bereich der zu kontaktierenden Metallebene 3 entfernt. Das kann z. B. dadurch erfolgen, daß die geätzte Öffnung teilweise, d. h. bis zu einer Höhe unterhalb der zu kontaktierenden Metall-

35 ebene 3 mit einer Maske 7 z. B. aus Lack gefüllt wird und mit einer isotropen Ätzung das Material, z. B. Oxid, dieses Dielektrikums 6 in dem oberhalb dieser Maske 7 befindlichen Bereich entfernt wird. Anschließend wird diese Maske 7 eben-

falls entfernt. Wie in Fig. 11 dargestellt befindet sich das Dielektrikum 6 im unteren Bereich der geätzten Öffnung als Isolation des herzustellenden Metallstiftes 8 gegenüber dem Material des Substrates 15 und der darauf befindlichen Schichtstruktur. Der Kontakt des Metallstiftes 8 mit der zu kontaktierenden Metallebene 3 wird durch die elektrisch leitende Passivierung 5, die von dem Dielektrikum 6 freigelegt ist, ermöglicht. Die geätzte Öffnung wird dann mit dem Metall des Metallstiftes 8 gefüllt, was z. B. durch ganzflächige Abscheidung von Wolfram mittels CVD und Zurückätzen des Wolframs auf der Oberfläche erfolgen kann.

Nachdem die erfindungsgemäße Kontaktstrukturierung aus Metallstiften 8 im unteren Bereich des Bauelementes hergestellt ist, wie in Fig. 12 dargestellt, werden die Metallkontakte 12 auf der Oberseite für die vertikale Kontaktierung mit Metallstiften weiterer Bauelemente hergestellt. Die obere Metallebene 1 wird im rechten Bereich der Fig. 12 (s. Pfeil 19) mit einem derartigen Metallkontakt 12 versehen. Dazu kann z. B. eine Deckschicht 11 aus Dielektrikum ganzflächig abgeschieden und planarisiert werden. Mit den üblichen Verfahren für die Herstellung von Metallkontakten wie Fototechnik und Lift-off-Technik wird dann die Herstellung fortgesetzt. Das Material der Deckschicht 11 wird im Bereich des herzustellenden Metallkontaktes 12 entfernt und das Metall durch Aufdampfen oder Sputtern aufgebracht. Es wird wie in dem vorhergehenden Ausführungsbeispiel Metall mit relativ zu den Leiterbahnen niedrigerem Schmelzpunkt aufgebracht. Die Masken und überschüssiges Metall auf der Oberfläche werden entfernt. Die planare Oberseite kann durch Aufbringen einer Haftschrift 16 und einer Trägerscheibe 17 stabilisiert werden.

Das Substrat 15 wird dann von der Rückseite gedünnt, indem das Halbleitermaterial rückgeätzt wird, z. B. durch chemisch-mechanisches Polieren (CMP), bis die unteren Spitzen der Metallstifte 8 freigelegt sind. Daß dieser Zustand erreicht ist, kann z. B. daran erkannt werden, daß sich die Reibung bei dem chemisch-mechanischen Polieren verändert. Das Materi-

al des Substrates 15 wird dann noch selektiv zu den Metallstiften 8 weiter zurückgeätzt, bis die Enden der Metallstifte 8 in der vorgesehenen Weise über die Unterseite des Substrates 15 hinausragen (s. Fig. 13). Auch bei diesem Ausführungsbeispiel kann dieser letzte Verfahrensschritt dadurch vereinfacht sein, daß ein mehrlagiges Substrat verwendet wird. Zwischen einer mit der Schichtstruktur versehenen oberen Halbleiterschicht und der eigentlichen Trägerscheibe aus Halbleitermaterial befindet sich eine Zwischenschicht (z. B. Oxid), bezüglich der das Halbleitermaterial (z. B. Silizium) der Trägerscheibe selektiv geätzt werden kann. Die Metallstifte 8 werden dann so weit in die Trägerscheibe hineinragend hergestellt, daß in dem letzten Verfahrensschritt nur die Trägerscheibe des Substrates vollständig und selektiv bezüglich der Zwischenschicht entfernt zu werden braucht. Statt eines SOI-Substrates mit einer üblichen dünnen Isolatorschicht kann für das erfindungsgemäße Bauelement ein speziell hergestelltes mehrlagiges Substrat mit einer wesentlich dickeren Isolatorschicht verwendet werden, damit eine ausreichende Isolation der Schichtstruktur mit den Funktionselementen von den Oberflächenschichten eines vertikal darunter angeordneten weiteren Bauelementes gewährleistet ist.

Die weitere Verarbeitung des Halbleiterbauelementes, die Ver-
einzelung in Chips und vertikale Verbindung mit weiteren Bauelementen kann wie in dem zuerst beschriebenen Ausführungsbeispiel erfolgen. Passivierung 5 und Dielektrikum 6 auf den Seitenwänden des für den Metallstift 8 ausgeätzten Loches können auch in dem Herstellungsverfahren der ersten Ausführungsform eingesetzt werden. In diesem ersten Ausführungsbeispiel können die Metallstifte 8 ähnlich wie in dem zweiten Ausführungsbeispiel erst nach dem Aufbringen der Dielektrikumschichten und der Leiterbahnen 10 hergestellt werden. Zweckmäßigerweise erfolgt die Herstellung der oberen Metallkontakte für die Verbindung zu Metallstiften 8 weiterer Bauelemente erst zuletzt auf der obersten Metallebene. Die Metallstifte 8 können auch durch weitere obere Metallebenen hindurch hergestellt werden, wenn in dem für den Metallstift

8 vorgesehenen Bereich in diesen oberen Metallebenen keine
Leiterbahnen oder einzelne Metallkontakte gekreuzt werden,
sondern nur durch das entsprechende Dielektrikum dieser
Schichten hindurch geätzt werden muß. Die Herstellung der er-
5 findungsgemäßen Kontaktstrukturierung läßt sich auf diese
Weise an die jeweilige Schichtstruktur der Bauelemente anpas-
sen, und der Herstellungsprozeß kann entsprechend optimiert
werden. Als Schichtstruktur im Sinne der Ansprüche ist dabei
jeweils eine beliebige Struktur aus Halbleiterschichten
10 und/oder Metallisierungsebenen mit Kontaktschichten aus leit-
fähig dotiertem Halbleitermaterial, Leiterbahnen und/oder
einzelnen Metallkontakten zu verstehen. Die elektrisch lei-
tenden Bereiche sind jeweils voneinander durch isolierendes
Dielektrikum getrennt. Zur Vereinfachung der Herstellungs-
15 technologie kann vorgesehen sein, daß die vertikal miteinan-
der zu verschaltenden Halbleiterbauelemente gleichartig auf-
gebaut sind und die schaltungstechnische Verbindung durch die
spezielle Anordnung der erfindungsgemäßen Kontaktstrukturie-
rung erreicht wird. Jedes Bauelement enthält dann die glei-
20 chen Funktionselemente, die bei der vertikalen Verbindung
aufgrund der Kontaktstrukturierung in der vorgesehenen Weise
zusammengeschaltet werden. Unter einer Planarisierung oder
Deckschicht ist jeweils eine oberste Dielektrikumschicht oder
ein oberster Schichtanteil einer Dielektrikumschicht zu ver-
25 stehen, die bzw. der die Oberseite des Bauelementes einebnet.

Patentansprüche:

1. Halbleiterbauelement mit einer Kontaktstrukturierung für vertikale Kontaktierung mit weiteren Halbleiterbauelementen und mit einem Substrat (15), das auf einer Oberseite eine Schichtstruktur aufweist,
5 bei dem mindestens ein Metallstift (8) vorhanden ist, der dieses Substrat (15) senkrecht zu dieser Oberseite durchbohrt,
10 bei dem dieser Metallstift (8) in elektrischem Kontakt ist mit mindestens einer Kontaktschicht aus Halbleitermaterial oder einer metallischen Leiterbahn (10) oder einem Metallkontakt (12) in dieser Schichtstruktur und
bei dem dieser Metallstift (8) die der Oberseite gegenüber-
15 liegende Unterseite des Substrates (15) so weit überragt, daß er mit einem dafür vorgesehenen Metallkontakt (12') eines weiteren Halbleiterbauelementes elektrisch leitend verbunden werden kann, wenn dieses weitere Halbleiterbauelement mit diesem Metallkontakt (12') zu diesem Metallstift (8) hin an
20 dieser Unterseite ausgerichtet wird.
2. Halbleiterbauelement nach Anspruch 1,
bei dem auf der Schichtstruktur ein Metallkontakt (12) mit niedrigerem Schmelzpunkt als dem von Leiterbahnen vorhanden
25 ist, der für die elektrisch leitende Verbindung mit einem Metallstift an der Unterseite eines weiteren Halbleiterbauelementes vorgesehen ist.
3. Halbleiterbauelement nach Anspruch 2,
30 bei dem mindestens ein Metallstift (8) und mindestens ein Metallkontakt (12) vorhanden sind derart, daß zwei gleichartige, mit dieser Kontaktstrukturierung versehene Halbleiterbauelemente vertikal zueinander so angeordnet werden können, daß dieser Metallstift (8) des einen Halbleiterbauelementes
35 mit diesem Metallkontakt (12') des anderen Halbleiterbauelementes elektrisch leitend verbunden werden kann.
4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3,

bei dem das Substrat eine Oxid-Schicht (22) ist und das Halbleiterbauelement auf der Schichtstruktur mit einer Haftschiicht (16) und einer Trägerscheibe (17) stabilisiert ist.

5 5. Verfahren zur Herstellung einer Kontaktstrukturierung eines Halbleiterbauelementes nach einem der Ansprüche 1 bis 4, bei dem in einem ersten Schritt auf einem Substrat (15; 20, 21, 22) die Schichtstruktur (1, 2, 3; 21, 24) auf der Oberseite soweit hergestellt wird, daß eine mit einem Metallstift
10 zu kontaktierende Kontaktschicht aus Halbleitermaterial oder eine Leiterbahn oder ein Metallkontakt vorhanden ist, bei dem in einem zweiten Schritt unter Verwendung einer Maske in anisotropen Ätzschritten diese Schichtstruktur und das Substrat von der Oberseite zur Unterseite hin im Bereich des
15 herzustellenden Metallstiftes entfernt werden, bei dem in einem dritten Schritt Metall in diesen Bereich eingebracht wird und bei dem in einem vierten Schritt die Unterseite des Substrates (15; 20) soweit entfernt wird, daß der in dem dritten
20 Schritt hergestellte Metallstift (8) diese Unterseite wie vorgesehen überragt.

6. Verfahren nach Anspruch 5,
bei dem in dem ersten Schritt ein Substrat aus zwei durch eine
25 koplanar zur Oberseite angeordnete Isolatorschicht (22) getrennten Schichten (20, 21) aus Halbleitermaterial verwendet wird,
bei dem in dem zweiten Schritt der für den Metallstift vorgesehene Bereich mindestens bis in die Unterseite des
30 Substrates bildende Schicht (20) aus Halbleitermaterial geätzt wird und
bei dem in dem vierten Schritt diese Schicht (20) aus Halbleitermaterial vollständig entfernt wird, indem das Halbleitermaterial selektiv bezüglich dieser Isolatorschicht (22)
35 geätzt wird.

7. Verfahren nach Anspruch 6,
bei dem das Substrat ein SOI-Substrat ist,

- bei dem in dem ersten Schritt vorgesehene Funktionselemente in der dünnen Siliziumschicht dieses Substrates hergestellt werden und dann ganzflächig eine erste Dielektrikumschicht (25) aufgebracht wird,
- 5 bei dem zwischen dem dritten und dem vierten Schritt eine zweite Dielektrikumschicht (26) ganzflächig aufgebracht und planarisiert wird, unter Verwendung von Maskentechnik Öffnungen (14) in dieser zweiten Dielektrikumschicht (26) als Kontaktlöcher hergestellt werden, diese Kontaktlöcher mit Metall
- 10 gefüllt werden und darauf in einer dritten Dielektrikumschicht (9) Leiterbahnen (10) oder Metallkontakte (12) hergestellt werden.
8. Verfahren nach einem der Ansprüche 5 bis 7,
- 15 bei dem ein Metallstift für die Kontaktierung einer Leiterbahn oder eines Metallkontaktes hergestellt wird, indem der zweite Schritt so ausgeführt wird, daß in einem ersten weiteren Schritt eine Planarisierung (4) aus einem Dielektrikum aufgebracht wird,
- 20 in einem zweiten weiteren Schritt unter Verwendung einer Maske der für den Metallstift vorgesehene Bereich bis einschließlich in die Leiterbahn oder den Metallkontakt hinein ausgeätzt wird,
- in einem dritten weiteren Schritt die Seiten dieses ausgeätzten
- 25 Bereiches mit einer Passivierung (5) versehen werden, in einem vierten weiteren Schritt der für den Metallstift vorgesehene Bereich vollständig ausgeätzt wird,
- in einem fünften weiteren Schritt die Seiten des ausgeätzten Bereiches mit einem Dielektrikum (6) beschichtet werden und
- 30 in einem sechsten weiteren Schritt dieses Dielektrikum (6) unter Verwendung einer Maske (7) in dem Bereich der Leiterbahn oder des Metallkontaktes entfernt wird.
9. Verfahren nach einem der Ansprüche 5 bis 8,
- 35 bei dem die Folge der Verfahrensschritte zur Herstellung eines Metallstiftes der Kontaktstrukturierung mehrmals für die Kontaktierung verschiedener Ebenen der Schichtstruktur ausgeführt wird.

1 / 5

FIG 1

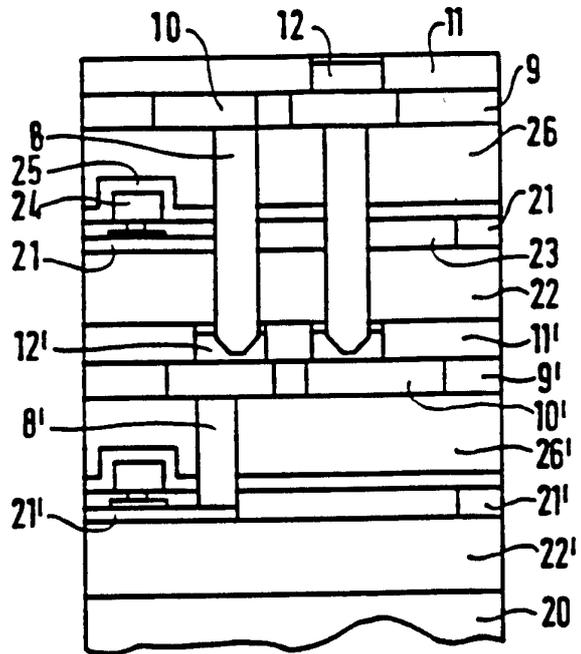


FIG 2

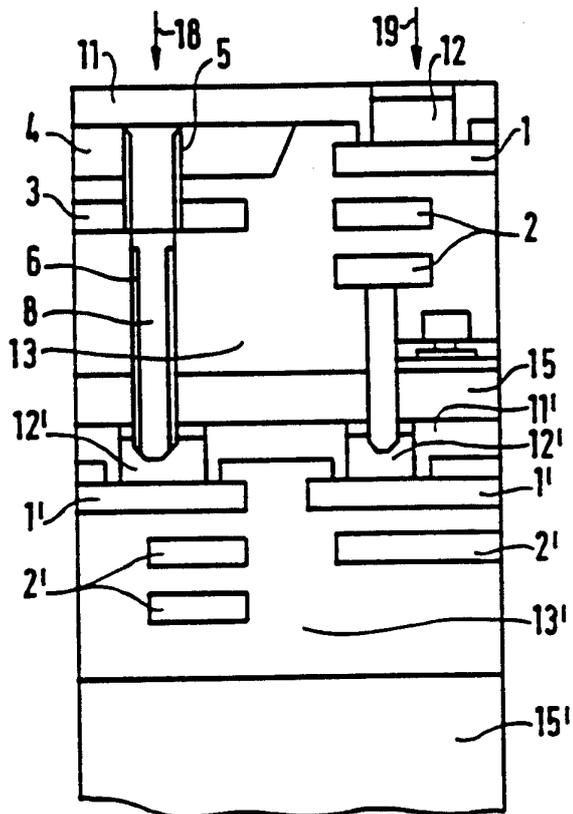


FIG 3

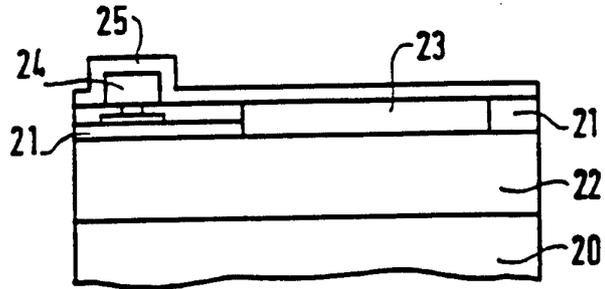


FIG 4

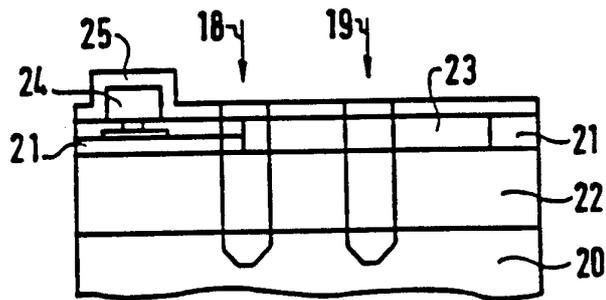


FIG 5

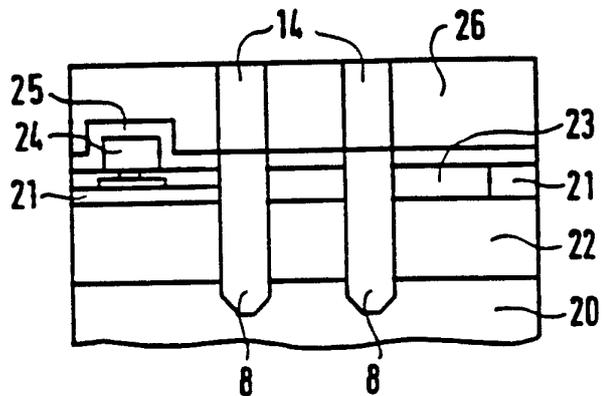


FIG 6

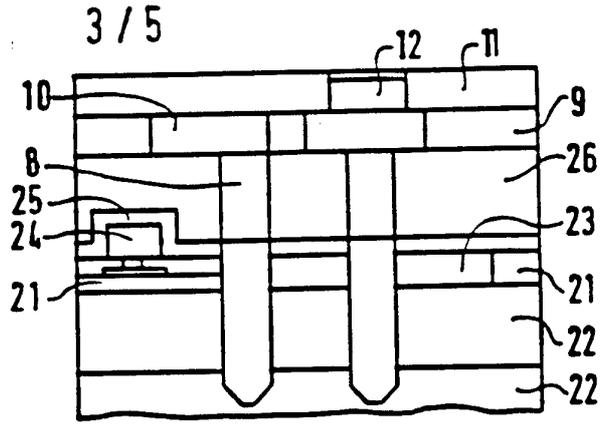


FIG 7

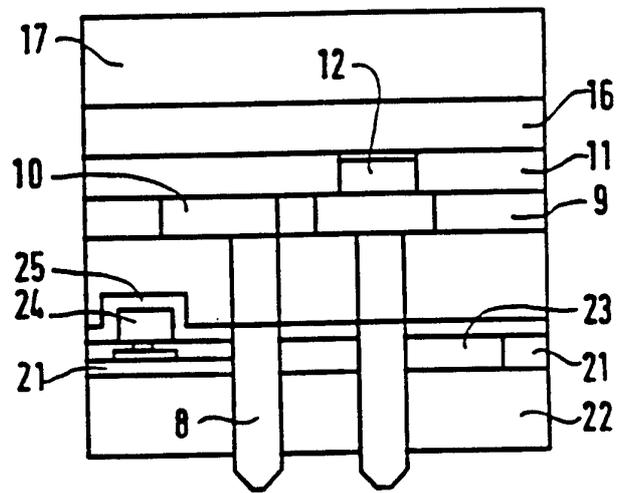
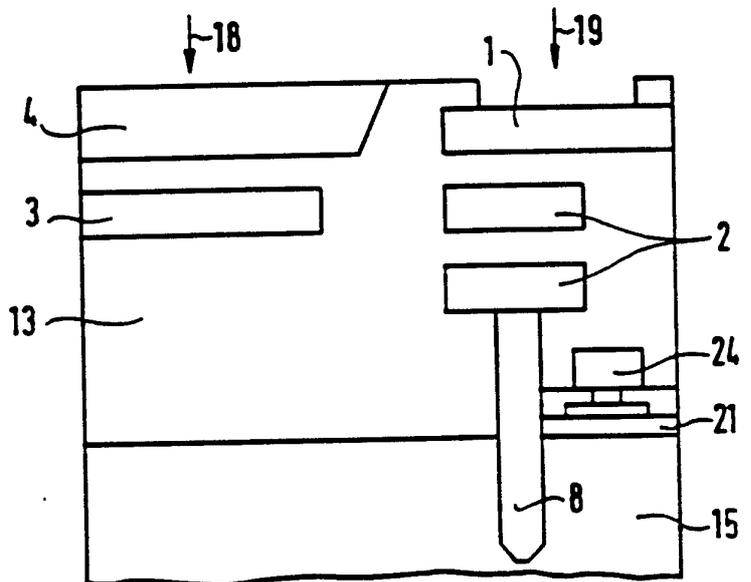


FIG 8



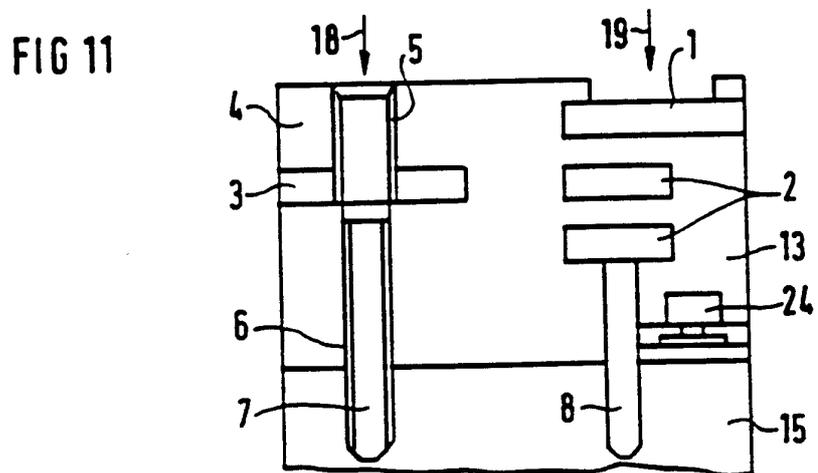
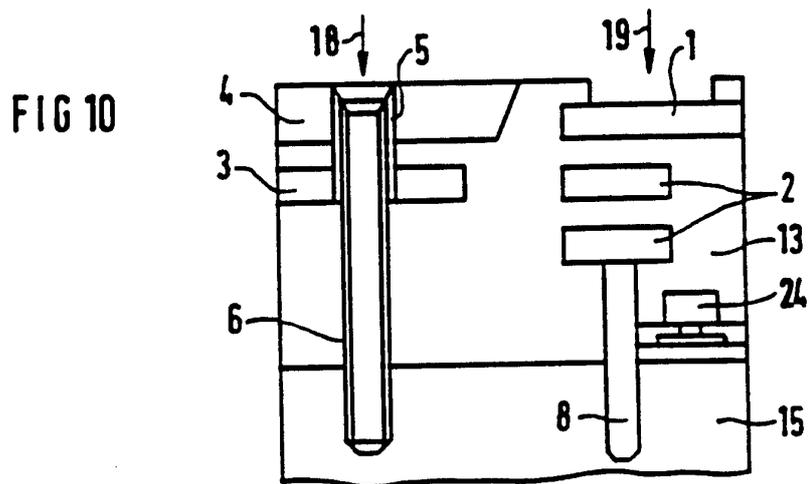
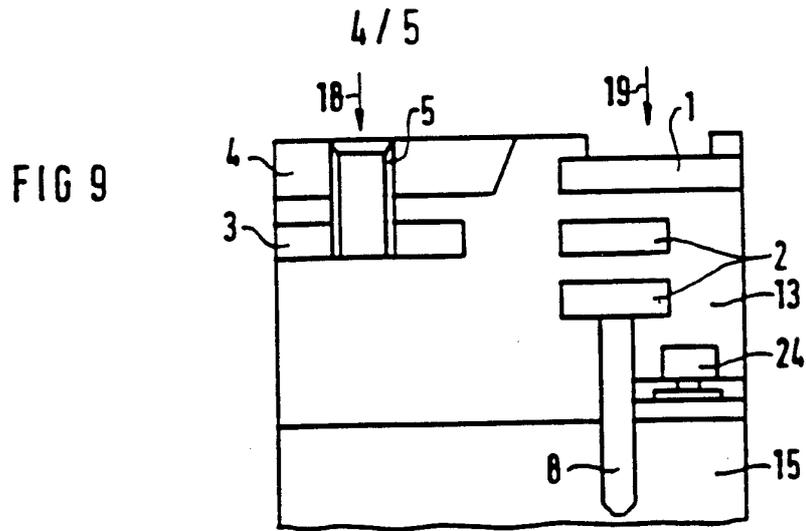


FIG 12

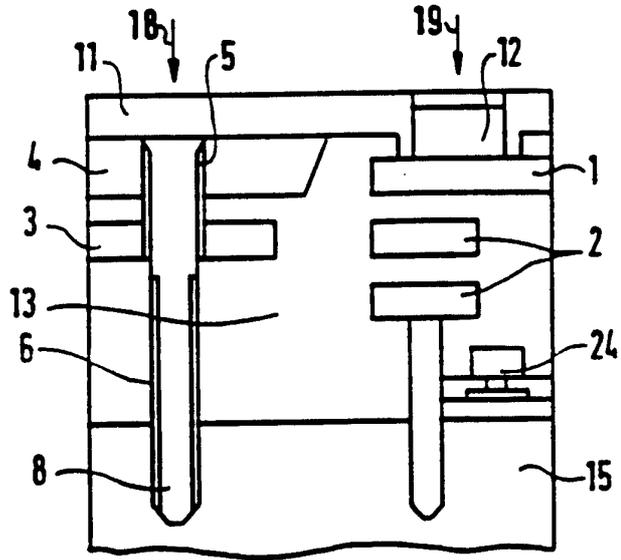
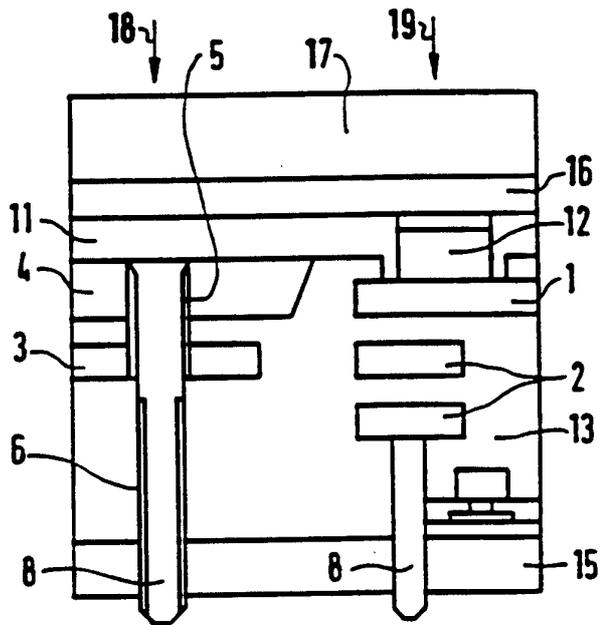


FIG 13



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 94/00492

A. CLASSIFICATION OF SUBJECT MATTER
IPC 5 H01L21/98 H01L25/065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 5 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 238 089 (FUJITSU LTD) 23 September 1987 see page 10, line 55 - page 11, line 22; figures 4H,9B ---	1,5
A	WO,A,92 03848 (LSI LOGIC EUROPE PLC) 5 March 1992 see page 2, line 18 - page 3, line 26 ---	1,5
A	US,A,4 394 712 (ANTHONY) 19 July 1983 see column 3, line 50 - column 5, line 63; figures 2-8 ---	1
A	EP,A,0 270 067 (SHARP KK) 8 June 1988 see column 3, line 29 - column 4, line 4 see column 7, line 25 - line 35 ---	1
	-/--	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

28 July 1994

Date of mailing of the international search report

29. 08. 94

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

Authorized officer

Greene, S

INTERNATIONAL SEARCH REPORT

Internat l Application No
PCT/DE 94/00492

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	WO,A,94 05039 (CAPPS ET AL) 3 March 1994 see page 3, line 1 - page 5, line 9 -----	1

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 94/00492

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0238089	23-09-87	JP-C- 1709516 JP-B- 3074508 JP-A- 62219954 JP-A- 62272556 DE-A- 3778944 US-A- 4939568	11-11-92 27-11-91 28-09-87 26-11-87 17-06-92 03-07-90
WO-A-9203848	05-03-92	NONE	
US-A-4394712	19-07-83	US-A- 4499655	19-02-85
EP-A-0270067	08-06-88	JP-A- 63141356 DE-A- 3781247 US-A- 4818728	13-06-88 24-09-92 04-04-89
WO-A-9405039	03-03-94	AU-B- 5835794	15-03-94

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 5 H01L21/98 H01L25/065

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 5 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^o	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP,A,0 238 089 (FUJITSU LTD) 23. September 1987 siehe Seite 10, Zeile 55 - Seite 11, Zeile 22; Abbildungen 4H,9B ---	1,5
A	WO,A,92 03848 (LSI LOGIC EUROPE PLC) 5. März 1992 siehe Seite 2, Zeile 18 - Seite 3, Zeile 26 ---	1,5
A	US,A,4 394 712 (ANTHONY) 19. Juli 1983 siehe Spalte 3, Zeile 50 - Spalte 5, Zeile 63; Abbildungen 2-8 ---	1
A	EP,A,0 270 067 (SHARP KK) 8. Juni 1988 siehe Spalte 3, Zeile 29 - Spalte 4, Zeile 4 siehe Spalte 7, Zeile 25 - Zeile 35 --- -/--	1

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

28. Juli 1994

Absendedatum des internationalen Recherchenberichts

29. 08. 94

Name und Postanschrift der internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Greene, S

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P,A	WO,A,94 05039 (CAPPS ET AL) 3. März 1994 siehe Seite 3, Zeile 1 - Seite 5, Zeile 9 -----	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 94/00492

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0238089	23-09-87	JP-C- 1709516	11-11-92
		JP-B- 3074508	27-11-91
		JP-A- 62219954	28-09-87
		JP-A- 62272556	26-11-87
		DE-A- 3778944	17-06-92
		US-A- 4939568	03-07-90
-----	-----	-----	-----
WO-A-9203848	05-03-92	KEINE	
-----	-----	-----	-----
US-A-4394712	19-07-83	US-A- 4499655	19-02-85
-----	-----	-----	-----
EP-A-0270067	08-06-88	JP-A- 63141356	13-06-88
		DE-A- 3781247	24-09-92
		US-A- 4818728	04-04-89
-----	-----	-----	-----
WO-A-9405039	03-03-94	AU-B- 5835794	15-03-94
-----	-----	-----	-----