



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I499219 B

(45)公告日：中華民國 104 (2015) 年 09 月 01 日

(21)申請案號：098135519

(22)申請日：中華民國 98 (2009) 年 10 月 20 日

(51)Int. Cl. : **H03M1/12 (2006.01)**

(30)優先權：2008/10/21 美國 12/255,359

(71)申請人：美國亞德諾半導體公司(美國) ANALOG DEVICES, INC. (US)  
美國

(72)發明人：哈瑞爾 克里斯多夫 彼得 HURRELL, CHRISTOPHER PETER (GB)；萊登 科林 G LYDEN, COLIN G. (IE)

(74)代理人：陳長文

(56)參考文獻：

TW	200711318A	US	5675340A
US	6686865B2	US	7129874B2

審查人員：蘇齊賢

申請專利範圍項數：26 項 圖式數：6 共 37 頁

(54)名稱

實施類比至數位轉換之裝置及方法

APPARATUS FOR AND METHOD OF PERFORMING AN ANALOG TO DIGITAL CONVERSION

(57)摘要

本發明揭示一種類比至數位轉換器，該類比至數位轉換器經調適以實施一轉換之一第一(最高有效)部分作為一連續近似式轉換、一管線式轉換或一快閃式轉換，且實施一轉換之一第二(最低有效)部分作為一  $\Sigma$ - $\Delta$  轉換。

An analog to digital converter adapted to perform a first, more significant, part of a conversion as a successive approximation conversion, a pipeline conversion or a flash conversion and a second, least significant, part of a conversion as a sigma-delta conversion.

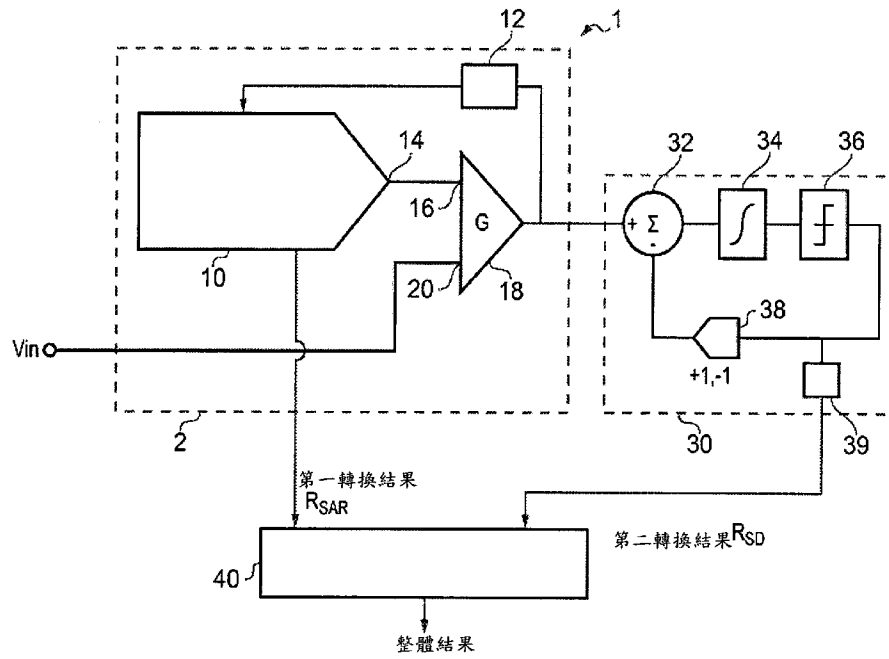


圖 1

- 1 . . . 類比至數位轉換器
- 2 . . . 連續近似式轉換器
- 10 . . . 數位至類比轉換器
- 12 . . . 控制器
- 14 . . . 數位至類比轉換器之輸出
- 16 . . . 差動放大器之第一輸入
- 18 . . . 差動放大器/放大器
- 20 . . . 放大器之第二輸入
- 30 . . .  $\Sigma$ - $\Delta$  轉換器
- 32 . . . 加法器
- 34 . . . 積分器
- 36 . . . 1 位元量化器
- 38 . . . 位元 DAC
- 39 . . . 整數倍降低取樣率濾波器
- 40 . . . 結果處理器

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98135519

※申請日：98.10.20

※IPC 分類：

H03M1/12 (2006.01)

一、發明名稱：(中文/英文)

實施類比至數位轉換之裝置及方法

APPARATUS FOR AND METHOD OF PERFORMING AN ANALOG  
TO DIGITAL CONVERSION

二、中文發明摘要：

本發明揭示一種類比至數位轉換器，該類比至數位轉換器經調適以實施一轉換之一第一(最高有效)部分作為一連續近似式轉換、一管線式轉換或一快閃式轉換，且實施一轉換之一第二(最低有效)部分作為一 $\Sigma$ - $\Delta$ 轉換。

三、英文發明摘要：

An analog to digital converter adapted to perform a first, more significant, part of a conversion as a successive approximation conversion, a pipeline conversion or a flash conversion and a second, least significant, part of a conversion as a sigma-delta conversion.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	類比至數位轉換器
2	連續近似式轉換器
10	數位至類比轉換器
12	控制器
14	數位至類比轉換器之輸出
16	差動放大器之第一輸入
18	差動放大器/放大器
20	放大器之第二輸入
30	$\Sigma$ - $\Delta$ 轉換器
32	加法器
34	積分器
36	1位元量化器
38	位元DAC
39	整數倍降低取樣率濾波器
40	結果處理器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於實施一類比至數位轉換之一裝置及方法。

### 【先前技術】

將類比信號轉換為數位域之需要已導致多種類比至數位轉換器技術。大多數成功例子中之一者已為切換式電容陣列連續近似式轉換器。此轉換器之最普通變體透過一搜尋空間實施一二進位搜尋。轉換器透過搜尋空間非常快速地搜尋，但是需要對該轉換器提供多重電容器，且需要對該等電容器相對於彼此仔細地加權。需小心地維持線性。

已發現有利(尤其在音訊應用中)之另一轉換器類型係 $\Sigma$ - $\Delta$ 轉換器。此經常使用一單位元數位至類比轉換器以提供一粗信號，該粗信號自待轉換之類比信號減去，而所得之差值信號被積分且通常藉由一1位元量化器量化積分信號，該1位元量化器之輸出係數位至類比轉換器或用於驅動數位至類比轉換器。因僅使用一單位元DAC，則相較於一連續近似轉換器，歸因於內部失配之誤差減少許多。缺點為對於一給定Nyquist頻率， $\Sigma$ - $\Delta$ 轉換器必須更加快速地時控。

已指出，因連續近似式常式(SAR)轉換接近最低有效位元，則雜訊與量化誤差可變得明顯。WO 2007/021600描述完成下列全轉換之一SAR轉換器，重做最後一些位元試驗(每一位元作為一獨立SAR轉換)且對結果求平均。在重做SAR轉換之每一者中，轉換係有效地獨立於任何先前或後

續轉換。如此，若在SAR作決定鏈中存在任何積分器，對每一位元試驗重設該或每一積分器。

### 【發明內容】

根據本發明之一第一樣態，提供一種類比至數位轉換器，該轉換器經調適以實施一轉換之一第一(最高有效)部分作為一連續近似式轉換、管線式轉換或一快閃式轉換且實施一轉換之一第二(最低有效)部分實施作為一 $\Sigma$ - $\Delta$ 轉換。

如此可提供一類比至數位轉換器，該類比至數位轉換器展現(例如)一連續近似式轉換器之快速搜索效能及一 $\Sigma$ - $\Delta$ 轉換器所提供之雜訊存在下的優越效能。

在一較佳實施例中，類比至數位轉換器包括至少一切換式電容器陣列。該切換式電容器陣列被認作為一數位至類比轉換器(DAC)。熟悉此項技術者熟知切換式電容器陣列，且該等切換式電容器陣列通常(但並不必要)包括二進位加權電容器。電容器可選擇性地切換至一參考電壓以在切換式電容器陣列之一輸出節點處的電壓在逐一位元試驗之基礎上變化。所得電壓可與一參考電壓相比較，以便決定在研究下之位元權重是應保持或拒絕。一旦已實施一位元試驗，轉換器移至具有先前位元之有效值的一半的下一位元且下一電容器(其電容係先前電容器的一半)連接至參考電壓等等。電容器陣列與其相關聯之開關係真實組件，且因而係熱雜訊之源。同樣地，轉換器可接收在其電源及/或電壓參考線上之雜訊。雜訊可對由類比至數位轉

換器作出之決定產生負面影響。

有優勢的是，提供一積分器以用於接收來自該切換式電容器陣列之輸出及用於對該輸出積分。使用一積分器之優點係其可改良該轉換器之雜訊效能。

有優勢的是，積分器之輸出提供至一比較器或一鎖存器之一輸入，該比較器或鎖存器作用以在一給定時刻決定被試驗為位元試驗之部分的位元應被保持或丟棄。

在先前技術之連續近似式轉換器中，積分器總是重設為從一位元試驗至下一位元試驗之進展的部分。發明者意識到只要在一 $\Sigma$ - $\Delta$ 方案中，當從一試驗移至下一試驗時，如果不重設積分器，可在一 $\Sigma$ - $\Delta$ 轉換方案中再次使用積分器及比較器/鎖存器，以容許待由用於連續近似式轉換而提供之相同硬體所實施之一第二轉換。如之前所指出，此使得電路組合如可由一連續近似式轉換器給出之一快速轉換的優點與一 $\Sigma$ - $\Delta$ 轉換器之經改良的雜訊效能。

有優勢的是，當使用切換式電容器陣列作為 $\Sigma$ - $\Delta$ 轉換之部分時，在每一試驗中使用相同大小之位元(舉例來說，電容器中之相同者)。使用電容器之一者之一優點是在 $\Sigma$ - $\Delta$ 模式中，(例如)切換式電容器陣列之最低有效電容器確保連續近似式轉換與 $\Sigma$ - $\Delta$ 轉換之間的匹配。

切換式電容器陣列宜係一分段陣列。熟悉此項技術者已知分段陣列之使用，且分段陣列之使用使得代表最高有效位元(MSB)與最低有效位元(LSB)之最大與最小電容器之間的按比例縮放變得更容易達成。因為LSB電容器相對較

大，所以此方法之一缺點是切換LSB電容器來作為 $\Sigma$ - $\Delta$ 轉換階段之部分可為一誤差源。切換該LSB電容器可經由電壓參考而耦合切換暫態且擾動積分器。此係因為電壓參考對於藉由電容器之切換引進的暫態具有一有限的阻抗。藉由切換LSB電容器引進之暫態電壓可經由電壓參考耦合至代表更有效位元之分段陣列的部分上，然而若電壓參考具有零阻抗，則在最壞情況下任何暫態會被位於分段陣列之該等段之間之一耦合電容器變小。可在此等切換暫態可能引起無法接受之誤差時的週期期間，藉由抑制積分器而明顯減少此擾動之影響。此可藉由多種方法達成，諸如透過在積分器中之一電流源修改電流或使用電流操縱，以在抑制積分時之一週期期間停止在一積分電容器上的電流累積。

一額外或替代方法係限制暫態可經由參考線透過電路傳播之程度。有優勢的是，分段陣列之第一與第二子陣列具有各自參考電壓供應，例如至少一或多個各自緩衝器器件驅動子陣列之每一者。此意味著任何振鈴或暫態並不透過參考線傳播回去。同樣地，透過將子陣列耦合在一起之耦合電容器傳播的任何暫態由該電容器變小。

在一替代實施例中，一分離數位至類比轉換器提供為 $\Sigma$ - $\Delta$ 轉換器之部分。此具有使量化器及/或1位元DAC最佳化用於 $\Sigma$ - $\Delta$ 轉換器及獨立於針對SAR轉換器所做出之設計考慮或電容器選擇。接著可將數位至類比轉換器之輸出與從切換式電容器連續近似式轉換器輸出之一殘餘值相加且接



著積分。

較佳的是，在切換式電容器陣列之輸出處提供一增益級，以便在提供殘餘電壓至 $\Sigma$ - $\Delta$ 轉換器之前放大該殘餘電壓。

根據本發明之一第二態樣，提供實施一類比至數位轉換之一方法，該方法包括以下步驟：

- a) 使用一連續近似式轉換程序、一管線式轉換程序或一快閃式轉換程序而實施該轉換之一第一部分以獲得一第一結果；
- b) 使用一 $\Sigma$ - $\Delta$ 程序而實施該轉換之一第二部分以獲得一第二結果；及
- c) 組合該第一結果與第二結果以產生一輸出值。

根據本發明之一第三態樣係提供一積分器，該積分器包括：

一第一電路，該第一電路回應於一第一輸入信號而回應一第一轉換器殘數以形成該電路之第一與第二節點之間的一斜坡電壓差值，及

一電流操縱電路，該電流操縱電路在一 $\Sigma$ - $\Delta$ 類比至數位轉換模式期間可操作以致可修改介於該電路之該第一節點與第二節點之間的該斜坡電壓差值的梯度。

### 【實施方式】

現在將僅藉由非限制性實施例、參考附圖而描述本發明之較佳實施例。

發明者已注意到類比至數位轉換器技術已經演變成不同

流派。此等流派之實例係快閃式轉換器、連續近似式轉換器、管線式轉換器及 $\Sigma$ - $\Delta$ 轉換器。快閃式轉換器係快速的，但相較於連續近似式常式(SAR)轉換器及 $\Sigma$ - $\Delta$ 轉換器卻展現低解析度。對於較高解析度(舉例來說14位元或以上)，SAR及 $\Sigma$ - $\Delta$ 技術係所選之技術。

熟悉此項技術者熟知此等轉換器技術二者且無須在本文中詳細描述。

廣泛而言，SAR相對於 $\Sigma$ - $\Delta$ 之選擇可基於許多參數，諸如線性、雜訊存在下之效能、轉換率及時脈頻率。SAR轉換器需要許多較短之時脈循環以得出一結果，且因此依據轉換率及時脈頻率係較佳的。當考慮在雜訊存在下之效能時，決定並不清楚。通常，若由雜訊限制精確度之限度，則 $\Sigma$ - $\Delta$ 轉換器最終傳遞最佳效能。若雜訊並不是限制因素，則SAR轉換器可能係一較佳技術。

發明者意識到組合SAR轉換器及一 $\Sigma$ - $\Delta$ 轉換器可為有利的。可開發SAR轉換器以在類比至數位轉換中轉換最有效位元且代表被轉換之類比值與一在連續近似式常式程序中獲得的一「經轉換」值之間的一差值的一殘數則傳送至一 $\Sigma$ - $\Delta$ 轉換器，致使亦可轉換殘數。接著此等結果可經組合以產生一最終答案。

圖1示意性地說明本發明之一第一實施例。圖1之類比至數位轉換器1包括一連續近似式轉換器2，該連續近似式轉換器2接收一輸入信號 $V_{in}$ 及實施一第一轉換，該第一轉換在類比至數位轉換器1之整個操作的背景中可被認為尋

找轉換結果之最有效位元。

雖然如隨後將描述，切換式電容器陣列係有優勢的，但 SAR轉換器2並不需限於任何特定SAR技術

SAR轉換器2可被視為包括回應於一控制器12之一數位至類比轉換器10。數位至類比轉換器10之一輸出14提供至一差動放大器18之一第一輸入16。放大器18之一第二輸入20接收待轉換之信號 $V_{in}$ 。有利的是 $V_{in}$ 已由一取樣及保持電路擷取(未繪示)。在控制器12之使用中，藉由將DAC設定為半全標度(即對於一8位元設定DAC為1000 0000)而開始SAR演算法。

假設 $V_{in}$ 係全標度之60%，且第一輸入16係一非反向輸入且第二輸入係一反向輸入。在一第一位元試驗比較步驟， $V_{in}$ 係大於DAC 10之輸出，所以來自放大器之輸出係負的。控制器12指出此，且結果是保持第一位元(MSB)。對於下一試驗，設定第2位元及保持第1位元，所以得到1100 0000(全標度之3/4)。現在，在一比較步驟，DAC輸出大於 $V_{in}$ 。放大器之輸出係正的且控制器12使用此資訊以指出應拒絕位元2。可以看出僅檢查放大器之輸出的符號，使得至控制器之輸入係一有效數位信號。如此迄今知悉比較結果係10XX XXXX，其中X代表仍待試驗之位元。試驗開始1010 0000之第三位元試驗，此係全標度之5/8(62.5%)，所以將不保持位元3，且持續如此，直至SAR轉換器2中已實施了DAC 10之所有位元試驗。

可檢查控制器12及/或DAC 10以獲得一第一轉換結果，

該第一轉換結果係代表在DAC 10之輸出14處之輸出電壓 $V_{SAR}$ 的一數位字 $R_{SAR}$ 。

即使轉換程序係無瑕疵，但由於結果係經量化之固有事實，在 $V_{in}$ 與 $V_{SAR}$ 之間可能存在一差值。真實器件係人為產物，此意味著轉換程序並非無瑕疵的且將在隨後描述此。

可以看出，隨著完成SAR轉換，放大器18形成一差值 $G(V_{SAR}-V_{in})$ ，其中 $G$ 係放大器之增益(其可為1)且已知為一殘數之此值傳送至一 $\Sigma$ - $\Delta$ 轉換器30，該 $\Sigma$ - $\Delta$ 轉換器30運作以形成指示由類比至數位轉換器1提供之一整體轉換結果中最低有效部分之一第二轉換結果。

$\Sigma$ - $\Delta$ 轉換器30包括一加法器32，該加法器32在其一加法輸入處接收殘數。加法器32之一輸出提供至一積分器34，在此實例中，該積分器34之輸出提供至一1位元量化器36之一輸入。具有多位元量化器之 $\Sigma$ - $\Delta$ 轉換器及較高階轉換器係已知的且可在本文中使用的，但是單位元量化器將被描述為其代表一 $\Sigma$ - $\Delta$ 轉換器之最簡單形式。在此實施例中，量化器36之輸出提供至一位元DAC 38，該位元DAC 38具有連接至加法器32之一減法輸入的一輸出。

在使用中， $\Sigma$ - $\Delta$ 轉換器30係時控以迫使量化器作出決定，且此導致一在每一時脈來自量化器之1或0輸出。量化器之多重時控產生可由一整數倍降低取樣率濾波器39處理之一位元流以產生一非常精確之結果 $R_{SD}$ 。亦使用「1」及「0」流以控制DAC 38產生熟悉此項技術者已知之 $+V$ 或 $-V$

輸出。來自 $\Sigma$ - $\Delta$ 轉換器之此結果可被認作為一第二轉換結果 $R_{SD}$ ，該第二轉換結果 $R_{SD}$ 可與第一轉換結果組合以在一結果處理器40處獲得一整體結果。來自 $\Sigma$ - $\Delta$ 轉換器之結果可簡單地與SAR結果相加以獲得一最終結果。

如之前指出，在SAR轉換器2內之一切換式電容器架構係一較佳實施方案。此係因為相同切換式電容器陣列(切換式電容器陣列之一實例顯示於圖2中)可用作為一DAC、一取樣及保持器件及一差值計算器以找到 $V_{in}$ 與 $V_{SAR}$ 之間的差值。

圖2示意性地說明一分段切換式電容器陣列。雖然應瞭解更多電容器提供於SAR轉換器中會具有大於10位元之精確度，但為簡單起見，陣列60僅包括10位元試驗電容器C1至C10。

在此10位元實例中，C1代表最低有效位元及C10代表最高有效位元。位元權重係二進位加權，但請注意二進位加權(即基數=2)並非必要的且已知及可使用具有基數 $<2$ (舉例來說1.7或1.8)之轉換器技術。

若轉換器並不分段，則C10將會係 $2^{10}=1024$ 乘以C1。此按比例縮放隨著更高精度之SAR轉換器而變得明顯更糟。然而藉由將切換式電容器陣列60分段為分別由一耦合電容器66分離之一第一及第二子陣列62及64，則每一陣列可重新比例縮放致使C1=(電容之)1個單位、C2=2個單位、C3=4個單位、C4=8個單位、C5=16個單位，接著C6=1個單位、C7=2個單位、C8=4個單位等等。此明顯在簡化SAR轉

換器之製造而仍保持位元試驗之相對權重，即  $MSB=2^{10}$  LSB。

電容器 C1 至 C10 可被認作為具有「頂板」及「底板」。C1 至 C5 之頂板連接至導體 70，而 C6 至 C10 之頂板連接至導體 72。導體 70 及 72 經由耦合電容器 66 耦合在一起，及一輸出節點 74 連接至導體 72。一取樣開關 76 亦連接至導體 72 且其可用於保持導體 72，且從而在一獲取(經常稱作取樣)階段 C6 至 C10 之頂板連接至一參考電壓(諸如接地)。

底板之每一者與一各自的開關 S1 至 S10 相關聯，該等開關 S1 至 S10 之實現係由熟悉此項技術者熟知之電晶體形成。

開關 S1 至 S5 係可選擇性地使用以將其等相關聯之電容器的底板連接至一第一參考電壓 Ref 1 或一第二參考電壓 Ref 2 的二位置開關。通常此等開關 S1 至 S5 之一者係接地(0 伏特)。

開關 S6 至 S10 係可選擇性地使用以連接至底板至第一參考電壓 Ref 1、第二參考電壓 Ref 2 或至  $V_{in}$  的三位置開關，後者在一獲取階段(諸如取樣輸入)期間係一選項。

此陣列之作用係熟知的，所以本文中將僅提供一簡單綜述。在一獲取/取樣階段，取樣開關 76 閉合且開關 S6 至 S10 經設定以連接其等各自電容器之底板至  $V_{in}$ 。開關 S1 至 S5 通常設定為參考電壓之一者(諸如 Ref 2)，其中 Ref 2 相對應於接地。對電容器 C6 至 C10 充電，致使其等橫跨其等端子具有  $V_{in}$ 。接著取樣開關 76 斷開以擷取在電容器 C6 至 C10 上

之電荷。

在一位元試驗階段，所有電容器開關設定為Ref 2(0伏特)，接著S10設定為Ref 1且在一沈降時間之後，在節點74處之電壓經比較為0伏特。開關電容器陣列之電荷再分佈本質致使每一試驗形成介於 $V_{in}$ 與 $V_{DAC}$ 之間的一差值，其中 $V_{DAC}$ 係呈現至作為一數位至類比轉換器之電容器陣列60的試驗字之值。如此，陣列自動形成其自身之殘數。位元試驗隨著被設定、繼而測試之每一位元而進行，且作為節點74處之電壓的測試結果，保持或拒絕在試驗下之位元。

此程序持續直至電容器C10至C1之所有位元試驗已完成。所得之值給定代表 $V_{in}$ 之值的SAR字。

通常輸出節點74並不直接饋送至一比較器，而是如在圖3中所顯示作為一輸入提供至可重設積分器80，使用該積分器80以在一短週期時間內對節點74之輸出積分。接著將可重設積分器80之輸出提供至比較器82，該比較器82之輸出提供至SAR控制器12。積分器之重設亦可藉由改變其時間常數及使積分器「洩漏」而達成。此可視為低通濾波在輸出節點74處之信號。

積分器80提供經改良對雜訊免疫之SAR轉換器。在SAR常式期間的某些點， $V_{DAC}$ 及 $V_{in}$ 將彼此非常接近。因為此情況取決於 $V_{in}$ 之值，其可在位元試驗之任何一者上發生。在此時間之雜訊可增加一位元被錯誤地保持或錯誤地拒絕之風險。簡單而言，將來自切換式電容器陣列60之輸出提供至比較器82可顯現易受在決定瞬時於比較器處之瞬

時雜訊功率影響的結果。一積分器 80 之供應因由積分器 80 提供之平均及增益而減少此風險。每一位元試驗要求積分器實質上忽略之前位元試驗的結果，且因而在比較器做出決定之後重設積分器，或積分器之時間常數設定為足夠高致使得由積分器在一位元試驗開始保持之初始值在位元試驗結束時衰退至一足夠小的值以不擾動 SAR 轉換器之操作。

發明者指出積分器 80 及比較器 82 在概念上類似於  $\Sigma$ - $\Delta$  轉換器之積分器及 1 位元量化器。發明者亦意識到若  $\Sigma$ - $\Delta$  轉換器引擎控制一切換式電容器陣列，則切換式電容器陣列亦可作為 DAC 及  $\Sigma$ - $\Delta$  轉換器之加法器。

因此，可建造一組合之 SAR 及  $\Sigma$ - $\Delta$  類比至數位轉換器以再次利用已經提供於 SAR 轉換器內之組件。如此，可獲得經改良之雜訊效能而無須在一積體電路內形成大量額外電路，該積體電路其內具有一類比至數位轉換器。

在數位側，控制器 12 需要經修改以便一旦 SAR 轉換已完成，可執行一  $\Sigma$ - $\Delta$  轉換，且在類比側，積分器 80 需要一微小修改以在  $\Sigma$ - $\Delta$  模式中時，使該積分器 80 停止重設或洩漏積分結果。

返回圖 3，在一轉換之一第一階段，切換式電容器陣列受控於控制器 12 以對於轉換之最高有效位元實施一連續近似式轉換。在此實例中，此可為切換式電容器陣列之位元 1 至 10 (位元 1 係 MSB，位元 10 係 LSB，如分別由電容器 C10 至 C1 代表)。在每一 SAR 試驗期間，對來自陣列 60 之輸出



積分，其中積分器自在積分器洩漏之一重設條件(或幾乎重設)開始，且在積分週期之後，比較器82作出是否保持或丟棄該位元的決定。在一第二階段，控制器12驅動電路以實施關於SAR轉換之後留在切換式電容器陣列上之殘數值的一 $\Sigma$ - $\Delta$ 轉換。在由 $\Sigma$ - $\Delta$ 轉換器轉換之前，殘數可受到增益及位準偏移。

在 $\Sigma$ - $\Delta$ 方案中，控制器12驅動最低有效位元之一或多個(舉例來說相對應於陣列之C1或C2的位元9及/或10)。如此，C1或C2作為一 $\Sigma$ - $\Delta$ 轉換器之一回饋DAC，用於將一電壓回饋至加法器之目的。為了得到相對應於量化器之輸出之一者的「負」值，可能有必要在陣列中合成一負位元權重。例如，此可由在取樣瞬時使C1連接至Ref 1(而非Ref 2)或藉由製造一另一電容器以藉由在取樣用時連接至另一參考電壓而合成負權重來完成。

在一雙端器件中(即具有兩個切換式電容器陣列的一器件，一個切換式電容器陣列經由積分器或一差動積分器連接至比較器之反向輸入及另一切換式電容器陣列經由積分器或一差動積分器連接至非反向輸入)，則在一陣列上建立一「負」權重可藉由在另一陣列上增加權重而達成。如此，無須採取任何步驟在此一器件中合成「負」位元權重，此係因為全部可藉由修改在控制器12處之轉換常式而處置。

在每一 $\Sigma$ - $\Delta$ 試驗，控制最低有效位元以輸出+1或-1(所有其他位元保留與SAR結果不變)，且現在由積分器80對節點

74處之輸出電壓積分，但從一位元試驗移動至下一個時，積分器之重設被抑制(或明顯增加積分器之時間常數)，致使積分器將整個 $\Sigma$ - $\Delta$ 試驗積分。在每一位元試驗結束時，比較器82作出積分器輸出電壓相較於參考電壓之一比較且此決定對下一次試驗，LSB係設定為給定+1或-1。在 $\Sigma$ - $\Delta$ 試驗中，設計者並不限於使用LSB，且其可選擇使用一不同位元權重(諸如2 LSB、4 LSB等等)。

在本發明之一實施例中，每次比較器(82)輸出回覆一邏輯高時，一電容器(諸如LSB電容器)之驅動節點自一參考電壓切換至另一參考電壓，以便以一特定極性將在積分器輸入處之類比值改變一固定數量。相反，每次比較器輸出回覆一邏輯低，一電容器經切換以在相反極性之積分器輸入處建立一改變。由比較器及切換式電容器提供之回饋的意義作用以保持積分器輸出在值之一範圍內來確保積分器之跨導保持可接受地恒定。

在本發明之一第二實施例中，用於一單位元 $\Sigma$ - $\Delta$ 之電容器切換配置會導致對於一特定轉換之積分器輸入電壓通常在僅2個電壓位準之間切換。在電容器切換配置之最簡單配置中(雖然此可以多於一個電容器而達成)，當比較器回覆一邏輯1時，一單電容器切換至一參考位準，且當比較器回覆一邏輯0時，一單電容器切換至一不同參考電壓。

在避免最低有效位元位準處之一「負」權重之形成的一替代方法中，控制器12可遞增或遞減在電容器子陣列上之整個字。此亦起作用，但因電容器係真實組件，故可引起

在節點74處之不需要的暫態。

分段陣列之絕對本質引起C1與其在位元試驗中之大小相比較實際較大。在 $\Sigma$ - $\Delta$ 試驗中之C1的切換可使振鈴或暫態切換雜訊經由參考電壓線Ref 1及介於節點74與Ref 1之間連接的第一子陣列62之電容器傳播至節點74。

發明者意識到此在 $\Sigma$ - $\Delta$ 轉換階段引起一明顯振鈴問題。克服此問題之一方法顯示於圖4中。此處提供緩衝器100與102以使在子陣列62與64中之參考電壓彼此隔離。若需要，緩衝器102可省略。圖4亦顯示具有一開關之一額外1 LSB電容器C1'的形成，使得該電容器C1'在取樣階段連接至Ref 1而非Ref 2。此容許1 LSB之一負權重被合成。

請注意，如在圖1中所示，作為一替代方法，可提供一回饋DAC單純用於 $\Sigma$ - $\Delta$ 轉換器中。

處理暫態之一替代或額外方法係在暫態週期抑制積分器積分。此可藉由使一輸入器件或多個器件缺乏電流或操縱輸入器件或多個器件之一輸出遠離一積分節點或元件而在一差動積分器中達成。

將 $\Sigma$ - $\Delta$ 轉換器級實施於SAR轉換器之現有硬體上的一較佳方法係將來自一電流操縱數位至類比轉換器之一信號應用至積分器。圖5顯示用於如此進行的一電路的一實施例。

如此 $\Sigma$ - $\Delta$ 轉換器使用與由切換式電容器陣列60形成之DAC分離的一數位至類比轉換器。

積分器(大體上指為130)可視情況由一差動增益級132先

行進行。此外，在增益級附近之一回饋路徑中的電晶體 133a 與 133b 的相加可在增益級輸入處建立一虛擬接地，可使用該虛擬接地以在獲取階段界定在圖 2 中之取樣電容器之非驅動端子(節點 72)上之電壓。斷開開關 133a 及 133b 以將輸入電壓取樣至輸入電容器上。使用此配置應可省略在圖 2 中之開關 76。如熟知使用此一配置，在取樣時此增益級之偏移及  $1/f$  雜訊被取樣於輸入電容器及/或陣列上，以避免分離地自動調零增益級 132 的任何需要。積分器 130 包括連接為一長尾對的一對場效電晶體 134、136(即其等源極連接在一起)，且該對場效電晶體 134、136 接收來自一電流源 40 之電流。電晶體 134、136 之汲極端子連接至各自負載 142 及 144，該等負載 142 及 144 如所顯示可為被動(電阻性)負載或主動負載。

一電容器 150 在電晶體 134 與 136 之汲極端子之間延伸，且由在電晶體 134 與 136 之閘極(閘極連接至放大器 132 之各自輸出)電壓中之差值產生的通過電晶體 134 與 136 的電流不平衡使一電流流動通過電容器，以便平衡通過負載 142 及 144 的電流。從而，橫跨電容器之電壓代表隨著時間積分之電流不平衡。因為存在於電路中之此位置處的寄生電容通常已足夠，所以在一積體電路中不需要製造一電容器。

電晶體 152 與電容器 150 平行，且該電晶體 152 可切換至一導電狀態中以便容許電容器「短路」，或容許至少在該電容器上之電荷再分佈，以便重設積分器 130。電晶體 152

可與電阻器 153 串聯。當電晶體 152 斷開時，可用以使積分器「洩漏」。因此，與具有一嚴格與明確重設不同，積分器之值可以電容器 150 (無論電容器係提供為一特定組件或僅為一寄生組件) 之電容及電阻器 153 形成之時間常數界定之一速率洩漏。因為 (例如) 主動負載 142 及 144 不可能為理想組件，所以當電晶體不導電時，由於橫跨電容器所見之高電阻 (並非無限大)，積分器將具有一第二時間常數。因此，積分器適於在一 SAR 轉換器級以及一  $\Sigma$ - $\Delta$  級中使用。亦可看出，若 (例如) 電晶體 134 及 136 之閘極短路在一起，則無電流不平衡發生，且從而橫跨電容器之電壓並不隨著時間經過兒改變，以此可抑制積分器積分。因此，可看出，若振鈴係一問題，則可提供一額外電晶體，以在一振鈴週期期間將電晶體 134 及 136 之閘極連接在一起，以便在振鈴/暫態週期期間抑制發生積分。

積分器 130 (且更明確言之，其電容器 150) 亦可對接收自一電流操縱 DAC 170 之電流積分。通過 DAC 之電流受控於一電流源 172。可使用積體電路內之電流鏡的匹配性質，以確保良好地控制由用於形成電流源 140 及 172 之電流鏡引進的電流比率。如熟悉此項技術者熟知，若提供主動負載，則此等亦可形成為電流鏡。在 SAR 轉換期間，可藉由切斷電流源 172 或藉由提供一交流電路徑 (例如另一電晶體) 而切斷 DAC 170，以操縱電流遠離電容器。

由於程序變動，可能需要控制介於電流操縱 DAC 170 之分支 174 與 176 之間之電流分割的相對比率。為了達成此，

提供場效電晶體 178 及 180，其中其等源極連接在一起，且連接至電流源 172。電晶體 178 之一閘極端子連接至一電阻器 182 之一端，而電晶體 180 之一閘極端子連接至電阻器 182 之另一端。電阻器 182 在由介於一參考電壓與接地之間延伸之電阻器 182、184 及 186 形成之一三電阻器電位分壓器中係中間電阻器。因此，電晶體 178 與 180 之閘極可藉由電阻器值與參考電壓之適當選擇而保持於不同電位，致使介於在分支 174 與 176 中流動之電流之間的電流不平衡可被小心地控制或甚至改變(若參考電壓藉由一 DAC 提供(未顯示)或「ref」節點連接至一可控制電流源)。

來自電流源 172 之電流及如由電晶體 178 與 180 賦予之電流的分離可回應於由量化器 36 提供之一控制信號「操縱」，經由合宜地實施為 FET 之操縱開關 190、192、194 及 196 操縱。回應於量化器輸出係「1」，則接通電晶體 190，斷開 192，接通 194 及斷開 196。如所顯示，電晶體 190 作為介於電晶體 178 之汲極與一節點 198 之間延伸的一開關，該節點 198 與電容器之一第一板連接。電晶體 192 自電晶體 178 延伸至一節點 200，該節點 200 連接至電容器 150 之一第二板。同樣地，開關 194 及 196 分別在電晶體 180 之汲極與節點 200 及 198 之間連接。大多數 DAC 電流流經分支 176。當操縱係「1」時，電流之大部分引導至節點 198，且當操縱係「0」時，電流之大部分引導至節點 200。如此，將來自 DAC 130 之電流與流經電晶體 134 及 136 之電流相加且在電容器上積分。

在 SAR 模式期間，斷開電流源 172 或移除參考電壓，致使 DAC 170 對 SAR 結果無影響。在每一位元試驗，使電晶體 152 短暫地導電以重設積分器。或者，其中電阻器 153 具有一非零值，積分器之時間常數可藉由切換電阻器 153 成為在節點 198 與 200 之間導電而減少。在此較佳實施方案中，電晶體 134、136、178 及 180 由操作彼此相同之電流密度的匹配器件形成。

在  $\Sigma$ - $\Delta$  操作模式期間，打開電流源 172 及參考電壓，但是保持電晶體 152 不導電，致使積分器載送來自在一位元試驗進入後續位元試驗期間實施之一積分的結果。

如此，在一  $\Sigma$ - $\Delta$  轉換階段使用之一分離 DAC 可僅以組件計數的一非常適度之增加而形成且與已經為 SAR 轉換器提供之積分器合併。在此方法中，在  $\Sigma$ - $\Delta$  轉換中之位元試驗的大小可藉由改變電阻器值或參考電壓，或在當前服務中之電流數量而修改。此容許在待達成之速率與解決方案之間的一折衷。

切換式電容器陣列作用為一儲存裝置(一電荷取樣至該儲存裝置上)。有優勢的是，在取樣階段減少雜訊。如在 WO 2005/107077 中所揭示，此可藉由控制雜訊之頻譜密度而完成。此處，一取樣電路係經調適以將一信號取樣至一電容器上。在取樣程序期間，熱雜訊  $s$  亦取樣至電容器上，但取樣電路建構為致使取樣至電容器上之熱雜訊(通常係指雜訊功率)之平方的電壓小於環境溫度與 Boltzmann 常數之乘積除以取樣電容器之電容。此文件教示一電路建

構為致使支配熱雜訊頻譜密度之電路的部分具有一有效阻抗  $Z_{NSD}$ ，且支配熱雜訊頻寬之部分具有一有效阻抗  $Z_{BW}$ 。若  $Z_{NSD} < Z_{BW}$ ，則取樣之熱雜訊功率小於  $\frac{kT}{C}$ ，其中  $k$  係 Boltzmann 常數， $T$  係以 Kelvin 計算之溫度且  $C$  係電容。

圖 6 繪示一取樣及保持電路之一實施例，其中可控制切換方塊，致使在其中的放大器決定取樣電路之頻譜雜訊密度。讀者係參考用於進一步討論減少熱雜訊之 WO 2005/107077，且此文件之教示以引用的方式併入本文中。電容器 200 在圖 2 或 4 之切換式電容器陣列中代表 C5 至 C10。開關 202 藉由開關 S6 至 S10 實施，且開關 204 藉由開關 S1 至 S10 實施。如在 WO 2005/107077 中更完全地描述，可使用電路 206 以在取樣期間形成一虛擬接地，但因為在放大器 208 附近之回饋電路的頻寬限制，則可限制熱雜訊頻寬。在一較佳實施例中，增益級 132 根據 WO 2005/107077 之教示建構。

因此可提供一經改良之類比至數位轉換器。

### 【圖式簡單說明】

圖 1 係構成本發明之一第一實施例之一類比至數位轉換器之一示意圖；

圖 2 顯示用於本發明之一實施例中的一切換式電容器陣列；

圖 3 顯示在切換式電容器 DAC 之後提供之一 SAR 轉換器的組件；

圖 4 顯示一經修改之切換式電容器陣列；



圖5顯示可在本發明之一實施例之一 $\Sigma$ - $\Delta$ 轉換器級中使用的一積分器及電流操縱DAC；及

圖6示意性地顯示可連同切換式電容器使用以減少取樣雜訊的一電路。

**【主要元件符號說明】**

1	類比至數位轉換器
2	連續近似式/SAR轉換器
10	數位至類比轉換器
12	控制器
14	數位至類比轉換器之輸出
16	差動放大器之第一輸入
18	差動放大器/放大器
20	放大器之第二輸入
30	$\Sigma$ - $\Delta$ 轉換器
32	加法器
34	積分器
36	1位元量化器
38	位元DAC
39	整數倍降低取樣率濾波器
40	結果處理器
60	切換式電容器陣列/陣列
62	第一子陣列
64	第二子陣列
66	耦合電容器

70	導體
72	導體
74	節點
76	開關
80	重設積分器
82	比較器
100	緩衝器
102	緩衝器
130	積分器
132	差動增益級
134	場效電晶體
136	場效電晶體
140	電流源
142	負載
144	負載
150	電容器
152	電晶體
153	電阻器
170	電流操縱DAC
172	電流源
174	分支
176	分支
178	場效電晶體
180	場效電晶體

182	電阻器
184	電阻器
186	電阻器
190	開關
192	開關
194	開關
196	開關
198	節點
200	節點
202	開關
204	開關
206	電路
208	放大器
C1-C10	電容器
C1'	電容器
S1-S10	開關

## 七、申請專利範圍：

104年3月10日修正替換頁

### 1. 一種類比至數位轉換器，其包含

一第一轉換器，其經調適以實施一轉換之一第一、最高有效部分作為一連續近似式轉換、一管線式轉換或一快閃式轉換以產生一第一轉換結果及一殘餘值；

一第二轉換器，其經調適以實施該轉換之一第二、最低有效部分作為藉由取樣該殘餘值之一 $\Sigma$ - $\Delta$ 轉換以產生一第二轉換結果；及

一處理器，其經調適以結合該第一轉換結果及該第二轉換結果以產生一最終轉換結果。

### 2. 如請求項1之類比至數位轉換器，其包括一第一切換式電容器陣列，該第一切換式電容器陣列回應於一控制器用於實施該轉換之該第一部分，該陣列具有用於提供一輸出信號之一輸出節點，該輸出信號經低通濾波、積分或平均，且藉由一比較器而與一臨限值相比較。

### 3. 如請求項2之類比至數位轉換器，其中在該轉換之該第二部分期間實施複數個試驗，其中當從一試驗進行一緊接之後續試驗時，向前進位由該積分器、濾波器或平均器保持之一積分、濾波或平均值。

### 4. 如請求項1之類比至數位轉換器，其中該轉換器在已發生以下條件之至少一者之後，從實施該連續近似式轉換搜尋切換至實施一 $\Sigma$ - $\Delta$ 轉換：

(a) 已試驗在該位元試驗序列中之一預定位元；

(b) 已在該連續近似式模式中實施一預定數量之位元試

驗；或

- (c) 在該連續漸近式搜尋中，用於取樣一輸入信號及用於實施位元試驗之一切換式電容器陣列之一輸出節點處之一信號的大小係低於一變換臨限值。
5. 如請求項2之類比至數位轉換器，其中一控制器回應於該比較器以於適當時將該轉換之該第二部分決定之一值加上或減去從該轉換之該第一部分中決定之一第一轉換結果。
  6. 如請求項2之類比至數位轉換器，其中在該轉換之該第二部分期間，該控制器切換該切換式電容器陣列中之該等電容器的至少一者。
  7. 如請求項2之類比至數位轉換器，其中在該轉換之該第二部分期間，該控制器切換一電容器或控制與在該轉換之該第二部分期間使用之一積分器相關聯之一數位至類比轉換器。
  8. 如請求項1之類比至數位轉換器，其中傳送一信號至一轉換該信號作為該轉換之該第二部分的 $\Sigma$ - $\Delta$ 轉換器，該信號係來自實施該轉換之該第一部分之該連續近似式、管線式或快閃式類比至數位轉換器之一殘數的函數，且一算術單元將來自該連續近似式、管線式或快閃式轉換器及該 $\Sigma$ - $\Delta$ 轉換器之轉換結果組合以產生一轉換結果。
  9. 如請求項2之類比至數位轉換器，進一步包括一積分器，該積分器經配置以接收該輸出信號、對其積分及供應一經積分之信號至一比較器之一第一比較器輸入或一

鎖存電路，且其中該積分器具有用於重設該積分器之一重設電路，且當實施一連續近似式轉換而從一位元試驗移至一後續位元試驗時，重設該積分器，且當實施該 $\Sigma$ - $\Delta$ 轉換而從一試驗移至一後續試驗時，不重設該積分器。

10. 如請求項2之類比至數位轉換器，該類比至數位轉換器進一步包括一積分器或一低通濾波器，其等經配置以接收該輸出信號、對其積分或將其低通濾波，及供應該經積分或經低通濾波之信號至一比較器或一鎖存器之一輸入，且該積分器或該低通濾波器經配置以於實施該轉換之該第一部分時具有一第一時間常數，及於實施該 $\Sigma$ - $\Delta$ 轉換時具有一第二時間常數，且其中該第一時間常數小於該第二時間常數。
11. 如請求項2之類比至數位轉換器，其中該第一切換式電容器陣列係由至少一第一子陣列及一第二子陣列形成，其中該第一子陣列電容性地耦合至該第二子陣列，且其中在該第一子陣列中之電容器可選擇性地連接至第一或第二參考電壓，且在該第二子陣列中之電容器可選擇性地連接至第三或第四參考電壓。
12. 如請求項1之類比至數位轉換器，進一步包括回應於一控制器之一切換式電容器陣列、一積分器、低通濾波器或一平均器及一比較器，其中該控制器經配置以在切換該陣列中之一電容器之後之一週期期間，抑制該積分器、該低通濾波器或該平均器。

13. 如請求項2之類比至數位轉換器，進一步包括一數位至類比轉換器，該數位至類比轉換器回應於一比較器以用於產生待供應至該積分器之一輸入的複數個信號值。
14. 如請求項1之類比至數位轉換器，進一步包括一電路，該電路在一溫度下將電荷取樣至一電容器上，其中該熱雜訊亦係取樣至該電容器上，且該電路經建構使得取樣至該電容器上之該熱雜訊之平方之該雜訊電壓小於該溫度與Boltzmann常數之乘積除以該電容器之一電容。
15. 如請求項1之類比至數位轉換器，其中當以該 $\Sigma$ - $\Delta$ 模式操作時，該類比至數位轉換器係一第一階或更高階之 $\Sigma$ - $\Delta$ 轉換器。
16. 如請求項1之類比至數位轉換器，其中該第二轉換器對該殘餘值取樣複數次以產生複數個臨時值，該複數個臨時值經平均以產生該第二轉換結果。
17. 一種類比至數位轉換器，其包括具有不同權重之複數個電容器之一切換式電容器陣列、一控制器、一積分器及一比較器，且其中在一第一階段中，該控制器經調適以操作該切換式電容器陣列，以便實施一連續近似式搜尋，其中當從位元試驗移至一後續試驗時，容許該積分器中之該值衰退，且接著在一第二階段中，該控制器經調適以對每一位元試驗使用相同之電容器大小來實施多重位元試驗，且其中當從一位元試驗移至一後續試驗時，該積分器中之該值實質上被載送至該後續位元試驗中。

18. 一種實施一類比至數位轉換的方法，該方法包括以下步驟：

(a) 使用一連續近似式轉換程序、一管線式轉換程序或一快閃式轉換程序來實施該轉換之一第一部分以獲得一第一結果及一殘餘值；

(b) 使用一 $\Sigma$ - $\Delta$ 程序來實施該轉換之一第二部分以藉由取樣該殘餘值獲得一第二結果；及

(c) 組合該第一結果與該第二結果以產生一輸出值。

19. 如請求項18之方法，其中該轉換包括複數個試驗且每一位元試驗包含一比較步驟，該比較步驟用於將由該連續近似式轉換或該 $\Sigma$ - $\Delta$ 轉換所得之一試驗值與一試驗臨限值相比較，且其中對於該連續近似式轉換，在一第一積分週期內對該試驗值積分，及容許該試驗值衰退或重設該試驗值以用於一後續試驗，且在該 $\Sigma$ - $\Delta$ 轉換期間，來自一試驗之該積分被載送至一後續試驗中。

20. 如請求項18之方法，其中該殘餘值被取樣複數次以產生複數個臨時值，該複數個臨時值經平均以獲得該第二結果。

21. 一種積分器，其包括：

一第一電路，其回應於一第一輸入信號，形成該電路之第一與第二節點之間之一斜坡電壓差值以回應一第一轉換器殘數，及

一電流操縱電路，其可在一 $\Sigma$ - $\Delta$ 類比至數位轉換模式期間操作，以可修改介於該電路之該第一節點與該第二



節點之間之該斜坡電壓差值的梯度。

22. 如請求項21之積分器，其中該第一電路具有第一與第二輸入，且沿著第一與第二路徑導引該操縱電路中之一電流，該電流實質上與該第一輸入之一信號及該第二輸入之一信號之間之一差值成比例。
23. 如請求項21之積分器，其中一電可控阻抗連接於該等第一與第二節點之間，使得可改變該積分器之一時間常數。
24. 如請求項21之積分器，其中一電容存在於該等第一與第二節點之間，且在該等節點之間流動的電流產生介於該等節點之間之一電壓差值，該電壓差值代表該積分器之一輸出。
25. 如請求項21之積分器，其中該第二電流操縱電路回應於來自一比較器或鎖存器之一數位信號，使得該積分器輸出斜坡之該梯度回應於該數位信號而改變。
26. 如請求項21之積分器，其中在該轉換之一第一連續轉換部分期間，抑制至該電流操縱電路之邏輯輸入及/或修改該電流操縱電路之操作，使得該電流操縱電路之輸出電流保持固定或成為零。

八、圖式：

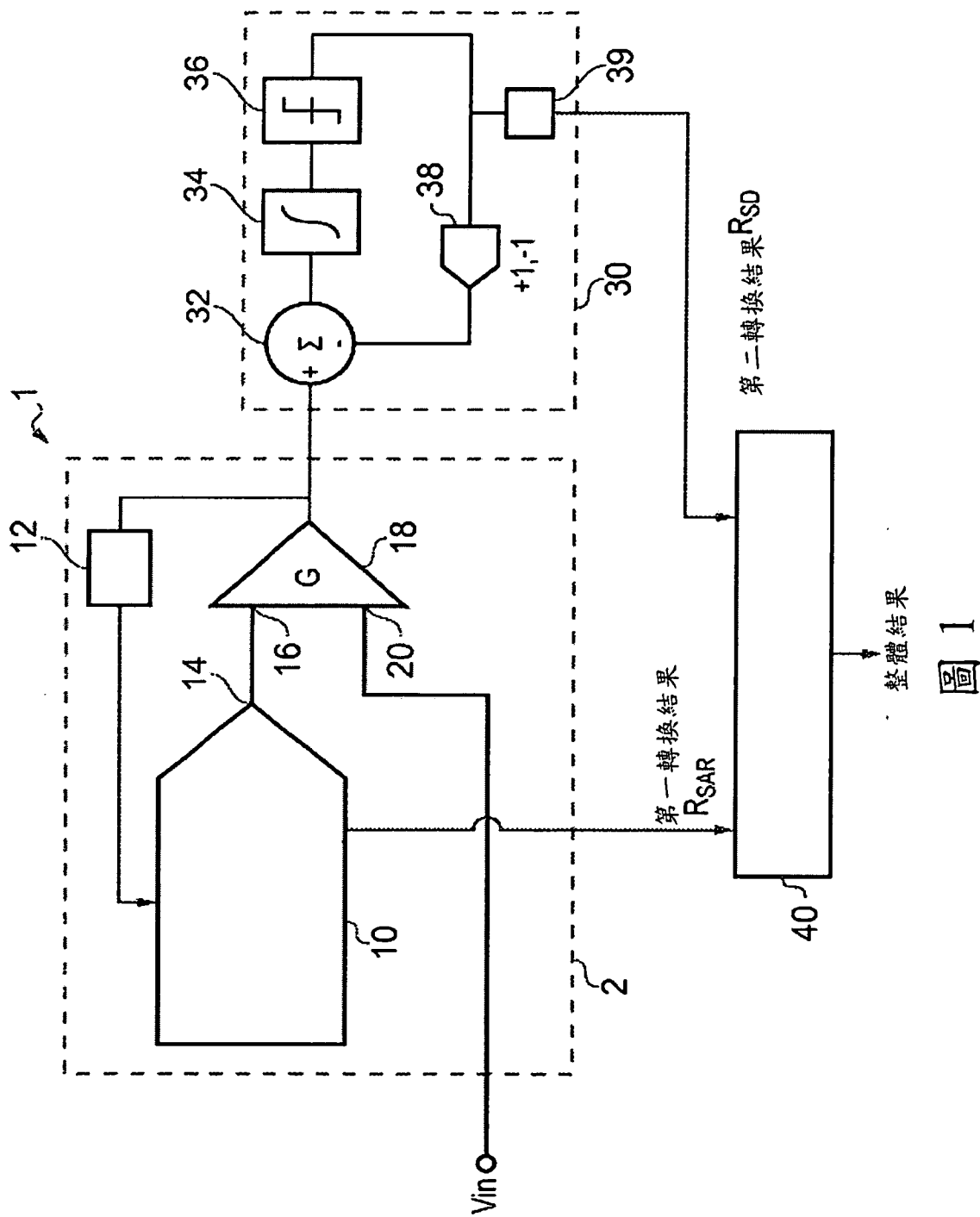


圖 1

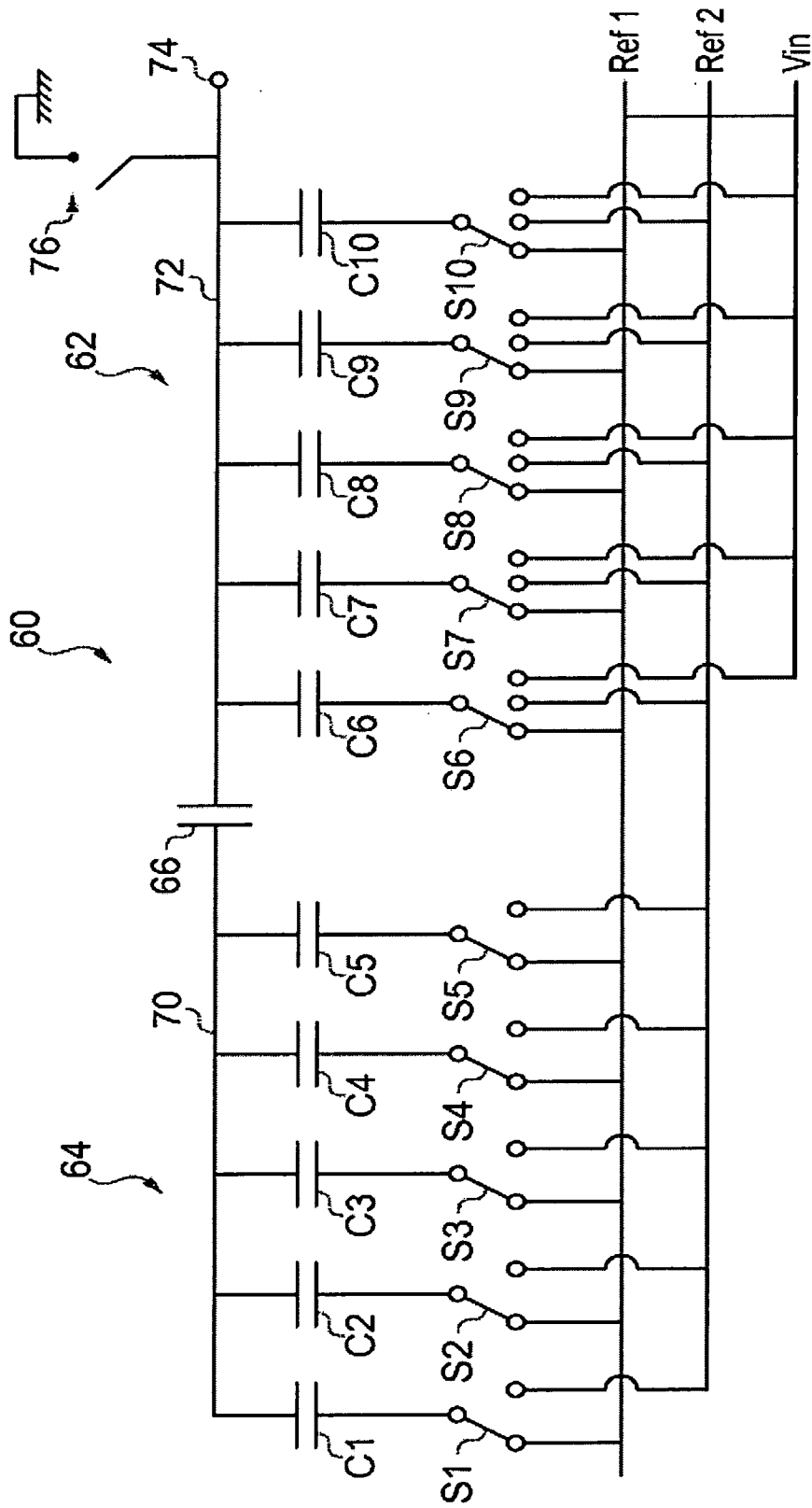


圖 2

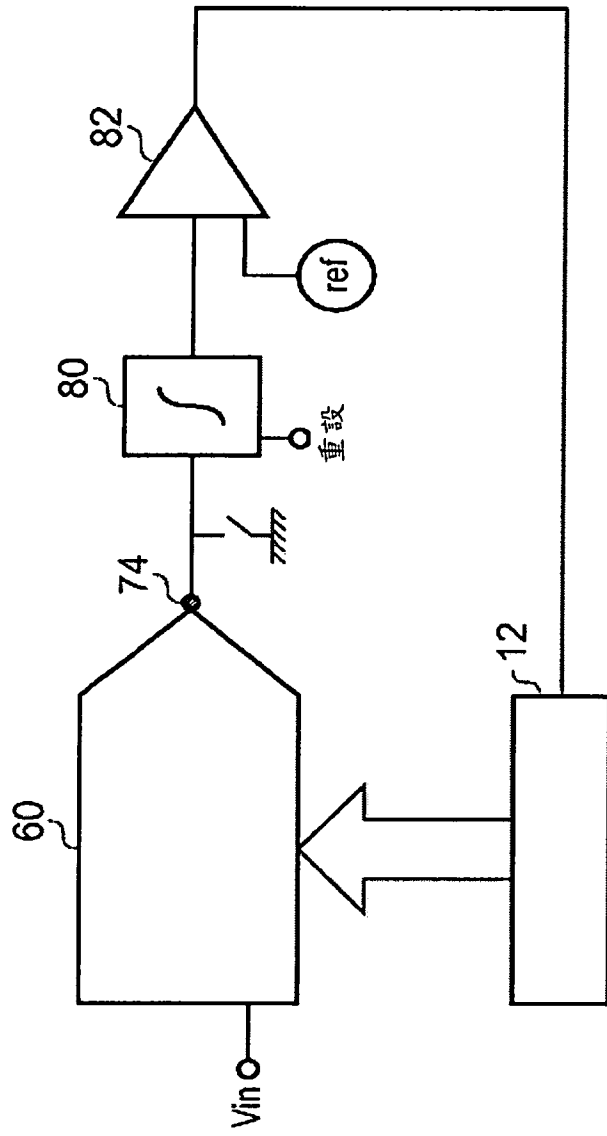


圖 3

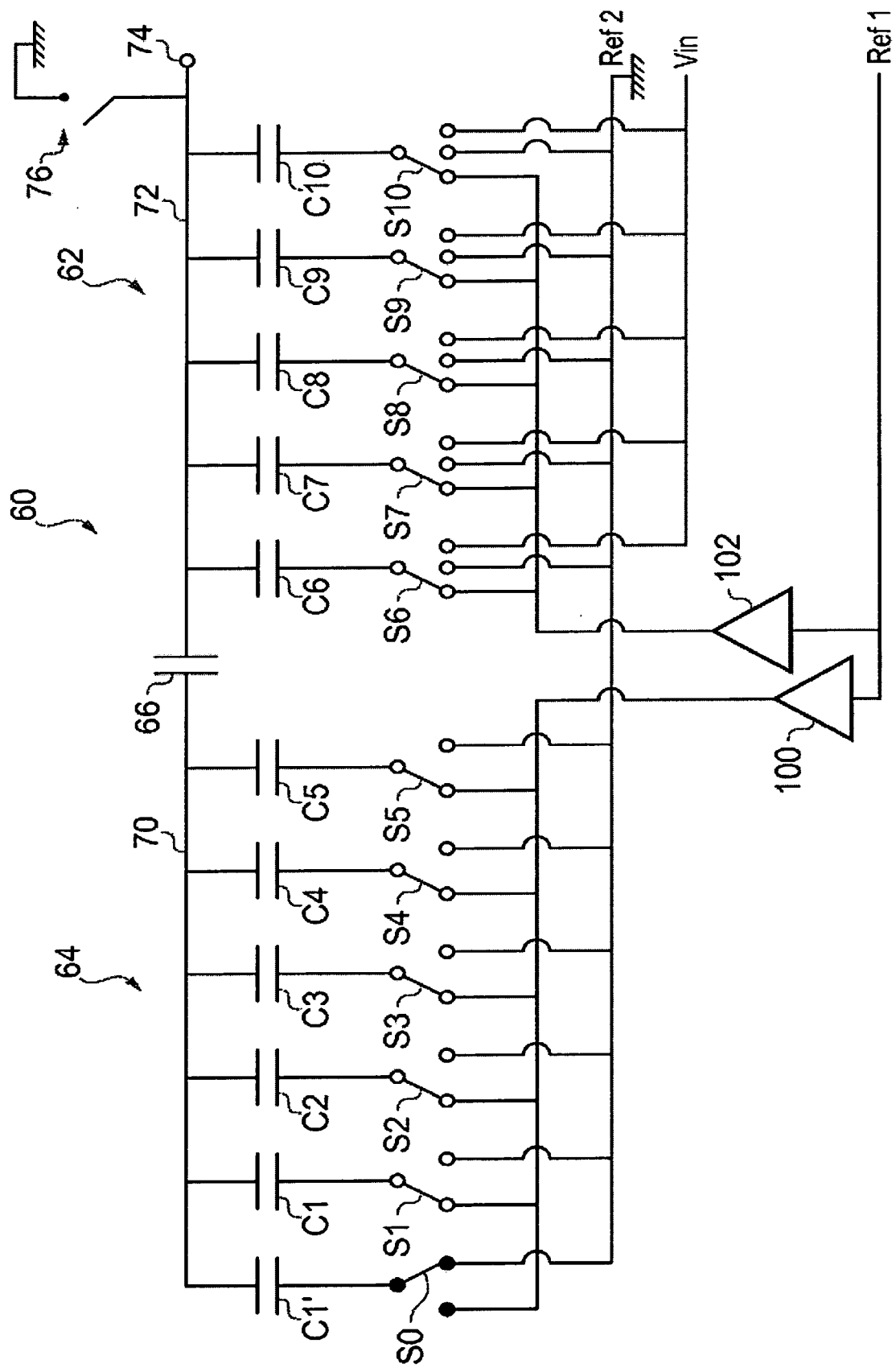


圖 4

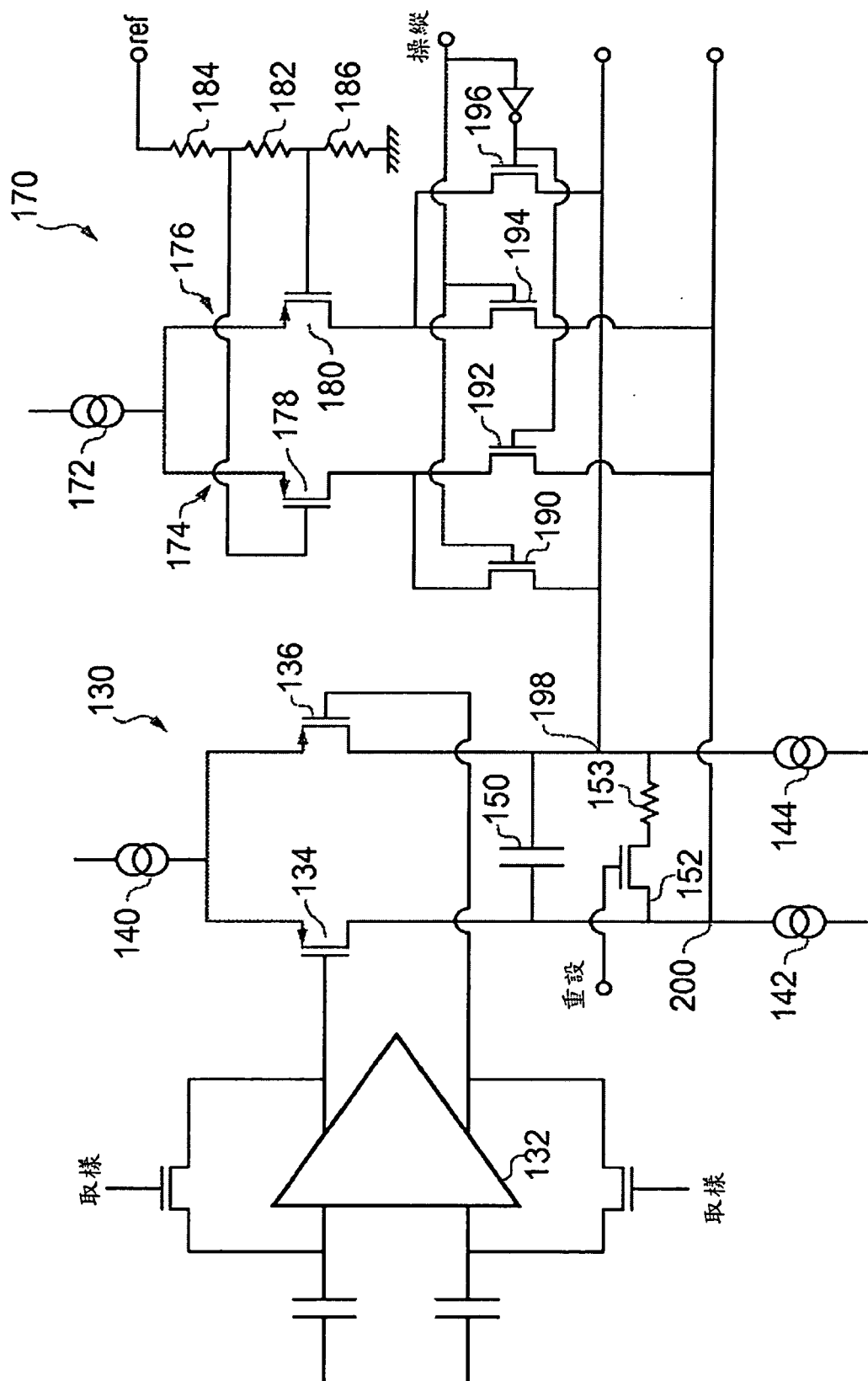


圖 5

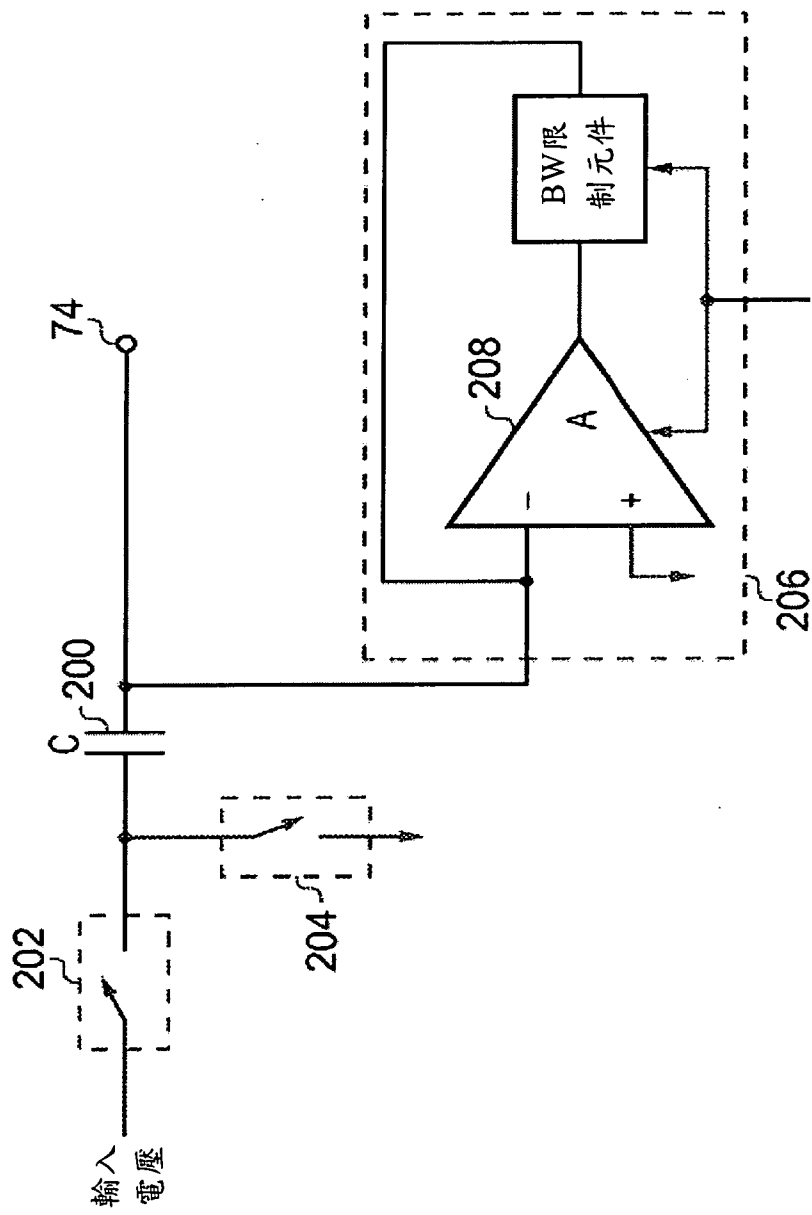


圖 6