



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월25일
(11) 등록번호 10-1157759
(24) 등록일자 2012년06월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/331 (2006.01) H01L 29/737 (2006.01)
(21) 출원번호 10-2010-0079694
(22) 출원일자 2010년08월18일
심사청구일자 2010년08월18일
(65) 공개번호 10-2011-0019710
(43) 공개일자 2011년02월28일
(30) 우선권주장
12/583,426 2009년08월20일 미국(US)
(56) 선행기술조사문헌
JP2004357496 A

(73) 특허권자
파워 인티그레이션즈, 인크.
미국 95138 캘리포니아주 산호세 헤일러 애비뉴 5245
(72) 발명자
배너제, 수지트
미국 캘리포니아 95125 산 조세 혁슬리 코트 51901
파싸사라시, 비제이
미국 캘리포니아 94040 마운틴 뷰 보니다 애비뉴 1055
(74) 대리인
백만기, 정은진, 양영준

전체 청구항 수 : 총 27 항

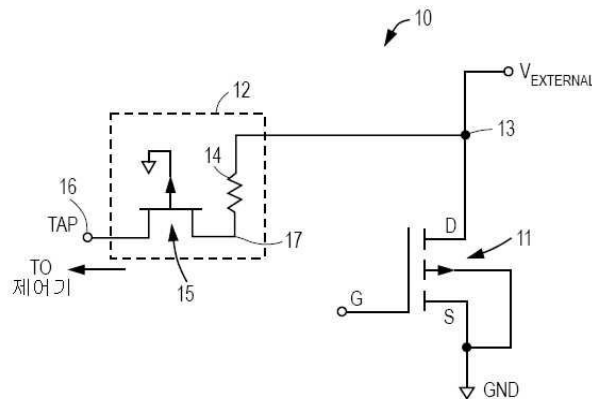
심사관 : 김상택

(54) 발명의 명칭 집적 레지스터를 가진 고전압 트랜지스터 장치

(57) 요약

고전압 장치 구조가 구조 중 JFET를 포함하는 탭 트랜지스터에 결합된 레지스터를 포함하고, JFET의 터미널에 제공된 전압은 외부 전압이 JFET의 핀치-오프 전압보다 작을 때 외부 전압에 실질적으로 비례한다. 터미널에 제공된 전압은 외부 전압이 핀치-오프 전압보다 클 때 실질적으로 일정하다. 레지스터의 일단은 외부 전압이 핀치-오프 전압보다 클 때 실질적으로 외부 전압에 있다. 외부 전압이 음일 때, 레지스터는 기판에 주입되는 전류를 제한한다. 상기 요약은 검색자 또는 다른 독자가 본 기술 개시의 주제를 빠르게 확인하도록 요약을 규정하는 규칙에 부합하게 제공되었음을 강조한다.

대표도 - 도1



특허청구의 범위

청구항 1

고전압 장치로서,

제1 도전 타입의 기관(31);

상기 기관(31)에 배치된 제2 도전 타입의 웰(well) 영역(33);

상기 웰 영역에 배치된 제2 도전 타입의 +영역들(36, 37) - 상기 +영역들(36, 37)은 상기 웰 영역의 한 구역에 의해 분리됨 -;

상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 제1 도전 타입의 하나 이상의 매립 영역(35) - 상기 매립 영역(35)은 상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내에 도전 채널들을 정의하고, 상기 하나 이상의 매립 영역(35)은 상기 두 개의 +영역(36, 37)으로부터 이격됨 -;

상기 웰 영역(33)의 다른 구역 내 배치된 제1 도전 타입의 하나 이상의 다른 매립 영역(34) - 상기 웰 영역(33)의 또 다른 구역이 상기 두 개의 +영역 중 하나의 +영역으로부터 상기 하나 이상의 다른 매립 영역(34)을 분리시킴 -;

상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 매립 영역들과 상기 웰 영역의 상기 다른 구역 내에 배치된 매립 영역들 상에 형성된 유전층(38);

상기 또 다른 구역의 바로 위의 상기 유전층(38) 상에 형성된 레지스터층(39) - 상기 레지스터층(39)은 제1 단부 및 제2 단부를 가짐 -;

상기 레지스터층(39)의 상기 제1 단부 및 제2 단부에 각각 전기적으로 연결된 제1 터미널(41) 및 제2 터미널(42) - 상기 제2 터미널(42)은 또한 상기 두 개의 +영역(36, 37) 중 하나의 +영역(36)에 전기적으로 연결되는데, 상기 웰 영역(33)의 상기 다른 구역 내 배치된 상기 하나 이상의 다른 매립 영역(34)은 상기 웰 영역의 상기 또 다른 구역에 의해 그 하나의 +영역(36)으로부터 분리됨 -;

상기 두 개의 +영역(36, 37) 중 다른 +영역(37)에 전기적으로 연결되는 탭 터미널(43); 및

상기 +영역들과 상기 웰 영역(33)의 상기 다른 구역 내 배치된 상기 다른 매립 영역들(34)을 분리하는, 상기 기관(31)과 상기 웰 영역(33)의 상기 한 구역 내 배치된 상기 하나 이상의 매립 영역(35)에 전기적으로 연결되는 제4 터미널 - 상기 탭 터미널(43)에 공급되는 전압은 상기 제1 터미널(41)과 상기 제4 터미널 사이의 전압차가 고전압 장치의 핀치-오프(pinch-off) 전압보다 작을 때 그 전압차에 실질적으로 비례하고, 상기 탭 터미널(43)에 공급되는 전압은 상기 전압차가 핀치-오프 전압보다 클 때 실질적으로 일정하며, 상기 레지스터층(39)은 상기 전압차가 핀치-오프 전압보다 클 때 상기 전압차와 실질적으로 동일한 전위에서 플로팅(floating)함을 -

을 포함하는 고전압 장치.

청구항 2

제1항에 있어서,

상기 웰 영역(33)의 상기 또 다른 구역은 상기 제1 도전 타입의 매립 영역이 없는 고전압 장치.

청구항 3

제1항에 있어서,

상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 상기 하나 이상의 매립 영역(35)은 상기 제1 도전 타입의 수직 방향으로 이격된 복수의 매립 영역을 포함하는 고전압 장치.

청구항 4

제3항에 있어서,

상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 상기 하나 이상의 매립 영역(35)의 최상부 영역은 상기 유전층(38)에 인접하는 고전압 장치.

청구항 5

제3항에 있어서,

상기 도전 채널들은, 상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 상기 매립 영역들(35) 각각의 사이와, 상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 상기 매립 영역들(35)의 최하부 영역과 상기 기판(31) 사이에 정의되는 고전압 장치.

청구항 6

제1항에 있어서,

상기 +영역들을 분리하는 상기 웰 영역(33)의 상기 한 구역 내 배치된 상기 하나 이상의 매립 영역(35)은, 상기 제1 도전 타입의 단일의 매립 영역(35)을 포함하고, 상기 단일의 매립 영역(35)의 상부와 하부에 상기 도전 채널들이 정의되는 고전압 장치.

청구항 7

제1항에 있어서,

상기 웰 영역(33)의 상기 다른 구역 내 배치된 상기 하나 이상의 다른 매립 영역(34)은 상기 제1 도전 타입의 수직 방향으로 이격된 복수의 다른 매립 영역(34)을 포함하는 고전압 장치.

청구항 8

제7항에 있어서,

상기 웰 영역(33)의 상기 다른 구역 내 배치된 상기 다른 매립 영역(34)의 최상부 영역은 상기 유전층(38)에 인접하는 고전압 장치.

청구항 9

제1항에 있어서,

상기 웰 영역(33)의 상기 다른 구역 내 배치된 상기 하나 이상의 다른 매립 영역(34)은 상기 제1 도전 타입의 단일의 다른 매립 영역(34)을 포함하는 고전압 장치.

청구항 10

파워 집적 회로(IC)로서,

드레인을 갖는 제1 트랜지스터(11) 소자; 및

제2 트랜지스터 소자

를 포함하고,

상기 제2 트랜지스터 소자는,

제1 도전 타입의 웰 영역(33)의 한 구역 내 형성된 접합 전계-효과 트랜지스터(JFET: Junction Field-Effect Transistor) - 상기 웰 영역(33)은 제2 도전 타입의 기판(31)에 배치되고, 상기 JFET는 상기 웰 영역(33)에 배치된 상기 제1 도전 타입의 +영역들(36, 37)을 가지며, 상기 +영역들은 상기 제2 도전 타입의 하나 이상의 매립 영역(35)에 의해 정의된 복수의 도전 채널에 의해 분리됨 -;

상기 웰 영역(33)의 다른 구역 상에 형성된 레지스터(39) - 상기 레지스터(39)는 유전층(38)에 의해 상기 웰 영역(33)의 상기 다른 구역으로부터 절연되고, 상기 웰 영역(33)의 상기 다른 구역은 상기 +영역들(36, 37) 중 제1 +영역(36)에 인접하며, 상기 레지스터(39)는 제1 단부 및 제2 단부를 갖고, 상기 제2 단부는 상기 JFET의 상기 +영역들(36, 37) 중 상기 제1 +영역(36)에 전기적으로 연결됨 -; 및

상기 레지스터(39)의 제1 단부와 상기 제1 트랜지스터(11)의 드레인에 전기적으로 연결된 제1 전극(41), 상기

JFET의 상기 +영역들(36, 37) 중 제2 +영역(37)에 전기적으로 연결된 탭 전극(43), 및 상기 기관(31)과 상기 매립 영역들(35)에 전기적으로 연결된 제3 전극

을 포함하고,

상기 탭 전극(43)에 공급되는 전압은 상기 제1 전극(41)과 상기 제3 전극 사이의 전압차가 상기 JFET의 핀치-오프 전압보다 작을 때 그 전압차에 실질적으로 비례하고, 상기 탭 전극(43)에 공급되는 전압은 상기 전압차가 핀치-오프 전압보다 클 때 실질적으로 일정하고, 상기 레지스터(39)는 상기 전압차가 핀치-오프 전압보다 클 때 상기 전압차와 실질적으로 동일한 전위에서 플로팅하는, 파워 IC.

청구항 11

제10항에 있어서,

상기 탭 전극에 결합되는 제어 소자를 더 포함하는 파워 IC.

청구항 12

제11항에 있어서,

상기 제어 회로는 상기 제1 트랜지스터(11)의 게이트에 결합되고, 상기 제어 회로는 상기 제1 트랜지스터(11)를 스위치 온 및 스위치 오프하도록 동작가능한 파워 IC.

청구항 13

제10항에 있어서,

외부 핀을 더 포함하고, 상기 제1 트랜지스터(11)는 수직 고전압 출력 트랜지스터를 포함하고, 상기 드레인은 상기 외부 핀에 전기적으로 연결되는 파워 IC.

청구항 14

제10항에 있어서,

상기 하나 이상의 매립 영역은 수직 방향으로 이격된 복수의 매립 영역을 포함하는 파워 IC.

청구항 15

제13항에 있어서,

상기 레지스터(39)는 출력 핀이 상기 기관(31)에 대해 네가티브 전위일 때 상기 기관(31)에 투입되는 전류를 제한하도록 기능하는 파워 IC.

청구항 16

제10항에 있어서,

상기 웰 영역은 상기 다른 구역에 인접하는 또 다른 구역을 포함하고, 상기 또 다른 구역은 상기 제2 도전 타입의 하나 이상의 매립 영역을 포함하는 파워 IC.

청구항 17

제16항에 있어서,

상기 웰 영역(33)의 상기 또 다른 구역은 상기 제2 도전 타입의 매립 영역이 없는 파워 IC.

청구항 18

고전압 장치로서,

제1 도전 타입의 기관(31);

상기 기관(31)에 배치된 제2 도전 타입의 웰 영역(33) - 상기 웰 영역(33)은 구역들을 갖고, 상기 구역들 중 제1 구역은 상기 구역들 중 제2 구역에 수평 방향으로 인접하며, 상기 구역들 중 상기 제2 구역은 상기 구역

들 중 제3 구역에 수평 방향으로 인접함 -;

상기 웰 영역(33)의 상기 구역들 중 상기 제1 구역에 배치된 상기 제2 도전 타입의 +영역들(36, 37);

상기 구역들 중 상기 제1 구역에 배치된 상기 제1 도전 타입의 하나 이상의 매립 영역(35) - 상기 구역들 중 상기 제1 구역에 배치된 상기 하나 이상의 매립 영역(35)은 복수의 도전 채널을 정의하고, 상기 +영역들(36, 37)은 각각 상기 구역들 중 상기 제1 구역에 배치된 상기 하나 이상의 매립 영역(35)으로부터 수평 방향으로 분리되며, 상기 +영역들(36, 37) 중 제1 +영역(37)은 상기 도전 채널들의 일단에 배치되고, 상기 +영역들(36, 37) 중 제2 +영역(36)은 상기 도전 채널들의 반대 단부에 배치됨 -;

상기 웰 영역(33)의 상기 구역들 중 상기 제3 구역에 배치되는 상기 제1 도전 타입의 하나 이상의 다른 매립 영역;

상기 웰 영역(33)의 상기 구역들 중 적어도 상기 제2 구역 상에 형성된 유전층(38);

상기 구역들 중 상기 제2 구역의 바로 위의 상기 유전층(38) 상에 형성된 레지스터층(39) - 상기 레지스터층(39)은 제1 단부 및 제2 단부를 가짐 -;

상기 레지스터층(39)의 상기 제1 단부 및 제2 단부에 각각 전기적으로 연결된 제1 전극(41) 및 제2 전극(42) - 상기 제2 전극(42)은 상기 +영역들(36, 37) 중 상기 제2 +영역(36)에 전기적으로 연결됨 -;

상기 +영역들(36, 37) 중 상기 제1 +영역(37)에 전기적으로 연결된 탭 전극(43); 및

상기 기관(31)과, 상기 하나 이상의 매립 영역(35) 및 다른 매립 영역(34)에 전기적으로 연결된 제4 전극 - 상기 탭 전극(43)에 공급되는 전압은 상기 제1 전극(41)과 제4 전극 사이의 전압차가 상기 고전압 장치의 핀치-오프 전압보다 작을 때 그 전압차에 실질적으로 비례하고, 상기 탭 전극(43)에 공급되는 전압은 상기 전압차가 핀치-오프 전압보다 클 때 실질적으로 일정하며, 상기 제2 전극(42)은 상기 전압차가 핀치-오프 전압보다 클 때 상기 전압차와 실질적으로 동일한 전압 전위로 되어 있음 -

을 포함하는 고전압 장치.

청구항 19

제18항에 있어서,

상기 구역들 중 상기 제1 구역에 배치된 상기 하나 이상의 매립 영역(35)은 수직 방향으로 이격된 복수의 매립 영역을 포함하는 고전압 장치.

청구항 20

제18항에 있어서,

상기 하나 이상의 다른 매립 영역(34)은 수직 방향으로 이격된 복수의 매립 영역을 포함하는 고전압 장치.

청구항 21

제18항에 있어서,

상기 웰 영역(33)의 상기 구역들 중 상기 제2 구역은 상기 제2 도전 타입의 매립 영역이 없는 고전압 장치.

청구항 22

과워 집적 회로(IC)로서,

외부 전압을 수용하는 핀에 연결된 드레인을 갖는 출력 트랜지스터(11);

상기 출력 트랜지스터(11)를 구동하는 제어 회로; 및

트랜지스터 소자

를 포함하고,

상기 트랜지스터 소자는,

제1 도전 타입의 웰 영역(33)에 형성된 접합 전계-효과 트랜지스터(JFET; Junction Field-Effect Transistor)

- 상기 웰 영역(33)은 제2 도전 타입의 기판(31)에 배치되고, 상기 JFET는 상기 웰 영역(33)에 배치된 제1 도전 타입의 +영역들(36, 37)을 가지며, 상기 +영역들(36, 37)은 상기 제2 도전 타입의 하나 이상의 매립 영역(35)에 의해 정의되는 복수의 도전 채널에 의해 분리됨 -;

상기 웰 영역(33) 위에 배치된 유전층(38) 상에 레지스터(39)를 형성하는 물질층 - 상기 레지스터(39)는 제1 단부 및 제2 단부를 갖고, 상기 제2 단부는 상기 JFET의 상기 +영역들(36, 37) 중 제1 +영역(36)에 전기적으로 연결됨 -; 및

상기 레지스터(39)의 상기 제1 단부와 상기 출력 트랜지스터(11)의 드레인에 전기적으로 연결된 제1 전극(41), 상기 JFET의 상기 +영역들 중 제2 +영역(37)과 상기 제어 회로에 전기적으로 연결된 탭 전극(43), 및 상기 기판(31)과 또한 상기 매립 영역들(35)에 전기적으로 연결된 제3 전극

을 포함하고,

상기 탭 전극(43)에 공급되는 내부 전압은 상기 제3 전극이 접지되고 상기 외부 전압이 상기 JFET의 핀치-오프 전압보다 작을 때 상기 외부 전압에 실질적으로 비례하고, 상기 탭 전극(43)에 공급되는 내부 전압은 상기 제3 전극이 접지되고 상기 외부 전압이 상기 핀치-오프 전압보다 클 때 실질적으로 일정하며, 상기 레지스터(39)의 제2 단부는 상기 외부 전압이 상기 핀치-오프 전압보다 크고 상기 제3 전극이 접지될 때 실질적으로 상기 외부 전압으로 되어 있는 파워 IC.

청구항 23

제22항에 있어서,

상기 출력 트랜지스터(11)는 수직 고전압 전계 효과 트랜지스터를 포함하는 파워 IC.

청구항 24

제22항에 있어서,

상기 유전층(38)은 이산화규소를 포함하는 파워 IC.

청구항 25

제22항에 있어서,

상기 물질층은 폴리실리콘을 포함하는 파워 IC.

청구항 26

제22항에 있어서,

상기 레지스터(39)는 상기 JFET의 상기 +영역들(36, 37) 중 상기 제1 영역(36)에 수평 방향으로 인접하는 상기 웰 영역(33)의 한 구역 상에 형성되고, 상기 한 구역은 상기 제2 도전 타입의 매립 영역이 없는 파워 IC.

청구항 27

제26항에 있어서,

상기 웰 영역(33)의 다른 구역에 배치된 상기 제2 도전 타입의 하나 이상의 추가 매립 영역을 더 포함하고, 상기 다른 구역은 상기 한 구역에 수평 방향으로 인접하고 상기 한 구역에 의해 상기 +영역들(36, 37) 중 제1 +영역(36)으로부터 분리되는 파워 IC.

명세서

기술분야

[0001] 본 개시는 일반적으로 고전압 장치 구조의 분야에 관한 것이다.

배경기술

[0002] 고전압, 전계-효과 트랜지스터(HVFETs; High-Voltage, Field-Effect Transistor)는 반도체 분야에 잘 알려져 있다. 많은 HVFETs는 장치가 "오프(off) 상태"에 있을 때 적용된 고전압(예, 200V 또는 그 이상)을 지지하거

나 "차단(block)"하는 확장된 드레인 영역을 포함하는 장치 구조를 채용한다. 상기 타입의 HVFETs는 오프라인 전원, 모터 제어 등등을 위한 AC/DC 변환기(converter)와 같은 파워 변환 애플리케이션에서 주로 사용된다. 상기 장치는 고전압에서 스위치될 수 있고, "온(on)" 상태에서 레지스터가 흐르는 전류를 최소화하는 반면 오프 상태에서 고 차단 전압을 달성할 수 있다. 전형적인 HVFET의 확장된 드레인 영역은 일반적으로 장치가 오프일 때 드레인에 적용되는 고전압을 지지하기에 약하게 도핑된다. 확장된 드레인 영역의 길이는 더 넓은 구역에 전기장을 펼치는 전형적인 저전압 MOSFET에 비해 증가되어, 상기 장치는 고전압을 지탱할 수 있다. 상기 장치가 온(즉 도전성)일 때, 전류는 확장된 드레인 영역을 통해 흐른다.

[0003] 수직 HVFET 구조에서, 반도체 물질의 메사(mesa)는 온 상태의 전류 흐름을 위한 연장된 드레인(drain) 또는 드리프트(drift) 영역을 형성한다. 트렌치 게이트(trench gate) 구조는 몸체 영역이 배치된 메사의 측벽 영역에 인접한, 기판의 정상 가까이 형성된다. 게이트에 대한 적절한 전압 전위(potential)의 적용은, 전류가 반도체 물질, 즉 소스 영역이 배치된 기판의 정상 표면(top surface)으로부터 드레인 영역이 위치한 기판의 바닥까지를 통하여 수직 방향으로 흐르도록, 도전 채널을 몸체 영역의 수직 측벽 부분을 따라 형성되게 한다.

[0004] 전형적인 파워 집적 회로(IC; Integrated Circuit) 장치는 트랜지스터의 드레인이 외부 핀에 직접 결합되는 구조의 큰 수직 고전압 출력 트랜지스터를 종종 채용한다. IC는 반도체 다이(semiconductor die) 또는 고전압 출력 트랜지스터를 포함하는 반도체 다이로부터 분리된 칩 상에 형성되는 제어기 회로를 포함한다. 두 개의 반도체 칩(제어기 및 출력 트랜지스터)는 동일 IC 패키지에 일반적으로 수용된다. IC의 제어기 회로를 위한 시동 전류(start-up)를 제공하기 위해, 외부 고전압이 외부 핀에 적용될 수 있다. 제어기는 접합 전계-효과 트랜지스터(JFET; Junction Field-Effect Transistor) "탭(tap)" 구조에 의해 제한되는 외부-적용 고전압으로부터 전형적으로 보호된다. 예를 들어, 고전압 출력 트랜지스터의 드레인이 550V가 취해지면, 탭 트랜지스터는 제어기에 결합되는 최대 전압을 대략 50V로 제한하여 장치의 시동을 위한 작은 전류(2-3mA)를 제공한다. 하지만, 상기 형태의 회로 배치의 문제는 어떤 전원 배치에서 일반적으로 일어나는 바와 같이, 드레인 핀이 음(negative)으로 갈 때 발생한다. 수직 출력 HVFET의 드레인 상의 음의 스윙(negative swing)은 다량의 소수 캐리어를 기판에 주입할 수 있는데, 이는 제어기의 잠금(latch-up)을 초래할 수 있다.

발명의 내용

해결하려는 과제

[0005] 다음의 설명에서 본 발명의 명료한 이해를 제공하기 위해, 물질 타입, 크기, 구조 특징, 프로세싱 단계 등과 같은 구체적인 상세를 설명한다. 하지만, 본 기술 분야에 당업자는 상기 구체적인 상세가 설명된 실시예를 실행하는데 필요하지 않을 수도 있다는 것을 이해할 것이다.

[0006] 도면의 구성요소는 표시를 위한 것이며 명확성의 관점에서 치수를 맞춘 것은 아님을 이해해야 한다. 비록 IC 이용 N-채널 트랜지스터 장치가 개시되더라도, P-채널 트랜지스터가 모든 적합한 도핑된 영역을 위한 반대의 도전성 타입을 이용함으로써 제작될 수도 있다는 것이 이해된다. 또한, 고전압 반도체 장치의 당업자는 도면에 예시로 보인 것들과 같은 트랜지스터 구조가 다른 트랜지스터 장치 구조와 집적되거나 상이한 장치가 공통 연결과 반도체 영역(예, N-웰(well), 기판 등)을 공유하도록 제작될 수 있다.

과제의 해결 수단

[0007] 본 출원의 본문에서, 고전압 또는 파워 트랜지스터는 "오프" 상태 또는 조건에서 대략 150V 또는 그 이상을 지지할 수 있는 반도체 트랜지스터 구조이다. 일 실시예에서, 고전압 출력 트랜지스터는 소스와 드레인 영역 사이에 제공되는 고전압을 가지는 N-채널 금속-산화물-반도체 전계-효과 트랜지스터(MOSFET; Metal-Oxide-Semiconductor Field-Effect Transistor)로서 도시된다. 다른 실시예에서, 고전압 출력 트랜지스터는 쌍극 접합 트랜지스터(BJT; Bipolar Junction Transistor), 절연 게이트 전계 효과 트랜지스터(IGFET; Insulated Gate Field Effect Transistor) 또는 트랜지스터 기능을 제공하는 다른 장치 구조를 포함할 수 있다.

[0008] 상기 개시의 목적으로, "접지(ground)" 또는 "접지 전위(ground potential)"는 회로 또는 IC의 모든 다른 전압 또는 전위가 정의되거나 측정되는데 대한 참조 전압 또는 전위를 말한다.

[0009] 본 개시의 본문에서, 탭 트랜지스터는, 적용된 전압이 트랜지스터 장치의 핀치-오프 전압(pinch-off voltage)보다 작을 때, 제1 또는 탭 터미널에서 전압이 상기 제2 및 제3 터미널을 가로질러 적용되는 전압에 실질적으로 비례하는 트랜지스터 장치 구조이다. 상기 제2 및 제3 터미널을 가로질러 적용된 전압이 핀치 오프 전압을 초과할 때, 탭 터미널에 제공된 전압은 증가된 적용 전압에 대해 실질적으로 일정하거나 변화하지 않는다. 일

실시예에서, 탭 트랜지스터는 접합 전계 효과 트랜지스터(JFET)를 포함한다.

발명의 효과

[0010] 본 발명의 일 실시예에서 탭 트랜지스터는, 적용된 전압이 트랜지스터 장치의 핀치-오프 전압(pinch-off voltage) 보다 작을 때, 제1 또는 탭 터미널에서 전압이 상기 제2 및 제3 터미널을 가로질러 적용되는 전압에 실질적으로 비례하는 트랜지스터 장치 구조이다. 상기 제2 및 제3 터미널을 가로질러 적용된 전압이 핀치 오프 전압을 초과할 때, 탭 터미널에 제공된 전압은 증가된 적용 전압에 대해 실질적으로 일정하거나 변화하지 않는다. 일 실시예에서, 탭 트랜지스터는 접합 전계 효과 트랜지스터(JFET)를 포함한다.

도면의 간단한 설명

[0011] 본 발명은 첨부 도면에 의해 제한되지 않으며 실시예에 의해 설명된다.

도 1은 파워 집적 회로(IC)의 출력 섹션의 예시적 회로의 개략도를 보인다.

도 2는 도 1의 파워 IC의 사용을 위한 대체적 집적 고전압 장치 구조의 예시적 균등 회로 개략도를 보인다.

도 3은 도 1&2에 도시된 집적 고전압 장치 구조의 예시적 단면을 보인다.

도 4는 도 3에 도시된 집적 고전압 장치 구조의 예시적 정상(top), 배치도를 보인다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1은 게이트, 접지된 소스 및, 외부 핀 또는 노드(V_{EXTERNAL})(13)에 결합된 드레인을 가진 큰, 수직 N-채널 HVFET(11)을 포함하는 파워 집적 회로(IC)의 출력 섹션(10)의 예시적 회로의 개략도를 보인다. 게이트에 적용된 제어 전압은 노드(13)에서 전압 상태(예, 높거나 낮음)를 결정한다. 전류는 HVFET(11)가 도전성, 즉 온-상태에 있을 때 노드(13)에 연결되는 하나 또는 그 이상의 외부 로드(load)에 흐를 수 있다. 스위치 모드에서, 전원 IC, 예를 들어 출력 트랜지스터(11)는 트랜스포머의 제1와인딩을 통해 전류를 제어할 수 있어, 전원에 의해 전달되는 파워를 제어한다.

[0013] 도 1은 접지된 게이트를 가지는 탭 트랜지스터(15)와 집적 고전압 레지스터(14)에 결합된 그 드레인(노드 17)을 포함하는, 도시된 실시예에서, 집적 고전압 장치 구조(12)를 보인다. 탭 트랜지스터(15)의 소스(노드 16)는 일 실시예에 따라 대략 50V에 제한될 수 있는 IC의 내부 제어기에 탭 전압을 제공한다. 내부 제어기 회로(미도시)와 장치 구조(12)는 출력 트랜지스터(11)를 포함하는 반도체 다이(die)로부터 분리된 반도체 다이 상에 형성될 수 있다.

[0014] 도 1의 예에서, 레지스터(14)는 탭 트랜지스터(15)를 포함하는 고전압 장치 구조 내 집적된 작은(예, ~100 ohm) 레지스터를 포함한다. 레지스터(14)는 필드 산화물의 두꺼운 층의 정상(top)에 형성된 폴리실리콘으로 이루어진다. 고전압을 견디기 위하여, 레지스터(14)는 탭 트랜지스터(15)의 N-웰 영역 바로 위의 필드 산화물 상에 배치된다(도 3 참조). 탭 트랜지스터(15)의 드레인 패드 금속은 레지스터(14)의 일단, 즉 노드(17)에 연결되고, 레지스터(14)의 타단은 HVFET(11)의 드레인, 즉 노드(13)에 연결된다.

[0015] 파워 IC 장치의 조작 중, 수직 HVFET(11)의 드레인(노드 13)이 음의 전압으로 전환될 때, 레지스터(14)는 제어기로 흐르는 전류를 제한하여, 내부 제어기 회로의 잠금(latch-up)을 방지한다. 레지스터(14)의 값은 잠금이 일어나기 전 IC의 제어기 섹션에 허용할 수 있는 최대 전류에 기반하여 결정될 수 있다. 예를 들어, 파워 IC 장치가 10mA에 달하도록 전류를 허용할 수 있다면, 그리고 HVFET(11)의 드레인이 약 -1V의 음의 전압으로 전환할 수 있다는 최악의 케이스 시나리오를 가정하면, 레지스터(14)는 100 ohms의 저항값을 가져야 한다.

[0016] 본 기술 분야의 실시자(practitioner)는 노드(13)가 양의 전압, 즉 550V로 전환될 때, 레지스터(14)의 두 터미널 단부(즉, 노드 13 & 17)이 실질적으로 동일한 고전압 레벨로 상승하는 것을 이해할 것이다. 즉, 단지 비교적 작은 전압 전위 차이만 노드 13 및 17 사이의 레지스터(14)를 가로질러 나타난다. 예를 들어 노드(13)에 결합된 레지스터(14)의 일단은 550V 일 수 있다; 반면 노드(17)에 결합된 레지스터(14)의 타단은 약 549.8V 일 수 있다. HVFET(11)의 드레인 금속 전극과 기저(underlying) 탭 트랜지스터 구조의 N-웰은 또한 노드(13)에 결합된 레지스터(14)의 단부와 실질적으로 동일한 전위이다. 상기 상태(즉, 오프-상태)에서, N-웰 하부 기판과 탭 트랜지스터의 게이트는 접지 전위에 또는 접지 전위에 가까이 있다.

[0017] 제어 회로는 탭 트랜지스터(15)와 레지스터(14)를 통과하여 노드(13)으로부터 시동 전류(예, ~2mA)를 이끈다. 이것이 일어날 때, 레지스터(14)(100 ohm 저항으로 가정)를 가로질러 떨어지는 전압은 약 0.2V 이고, 이는 이

용가능한 전압에 비해 무시할 정도이다.

- [0018] 도 2는 대체 집적 장치 구조(20)의 예시적 동등 회로의 개략도를 보인다. 장치 구조(20)는 도 1의 파워 IC 중 장치 구조(12)에 대한 대체안으로서 사용될 수 있다. 장치 구조(20)는 도 1에 도시된 동일 기본 회로 구조 중 집적 레지스터(14)를 가진 노드(17)에 연결되는 탭 트랜지스터(15)를 포함한다. 노드(16)은 트랜지스터(15)의 소스이고, 파워 IC의 제어기 섹션에 탭 전압을 제공한다. 노드(17)은 탭 트랜지스터(15)의 드레인이고, 이것은 레지스터(14)의 일단에 연결된다.
- [0019] 또한 노드(17)에 연결된 것은 고전압 MOSFET(22)의 드레인으로서, 이것은 그 소스, 바디 영역(body region) 및 접지 게이트가 배치된 것으로 도시된다. 정상 작동 조건에서, 트랜지스터(22)는 오프, 즉 비전도성(non-conducting)이다. 일 실시예에서, 고전압 MOSFET(22)와 탭 트랜지스터(15)는 두 장치가 P-타입 기판에 형성된 동일 N-웰 영역을 공유하도록 제작된다. 도 2의 실시예에서, 트랜지스터(15), 레지스터(14) 및, 전압 MOSFET(22)가 출력 트랜지스터(11)를 포함하는 반도체 다이로부터 분리된 반도체 다이 상에 배치된다는 것이 이해되어야 한다.
- [0020] 도 3은 도 1 & 2에 도시된 집적 고전압 장치 구조의 예시적 횡단면(30)을 보인다. 상기 실시예에서, 탭 트랜지스터는 고전압 레지스터(39)로 집적되고, 후자는 P-타입 매립 영역(buried region)을 포함하지 않는 N-웰 영역(33)의 구역을 덮는 필드 산화물 영역(38)의 섹션 상에 형성된 폴리실리콘층을 포함한다. 즉, 레지스터(39)는 P-타입 매립 영역이 결여된 N-웰(33)의 영역 상에 직접 배치된다. 상기 구조 배열은, 고전압 전위가 고전압 출력 트랜지스터(11)의 드레인에 결합되는, 전극 또는 터미널(41)에 적용될 때, 레지스터(39)의 바로 아래 필드 산화물(38)을 가로질러 나타나는 전압을 제한한다.
- [0021] 도시된 대로, 실질적으로 평행한 이격된 복수의 P-타입 매립 영역(34)은 레지스터(39)의 바로 아래 구역에 수평 방향으로 인접한 N-웰(33)의 왼쪽 구역에 배치되는 것으로 보인다. 최상부 매립 영역(34)은 필드 산화물 영역(38)과 일치하는 것으로 보인다. N-웰(33)의 오른쪽 구역은 탭 JFET 구조를 포함하고, 이것은 N+ 영역(36 및 37) 사이에 형성된 필드 산화물 영역(38)의 섹션 아래 배치된 실질적으로 평행하게 이격된 복수의 P-타입 매립 영역(35)을 포함한다.
- [0022] 상기 실시예에서, P-타입 매립 영역(34 및 35)는 N+ 영역(36 및 37) 아래로 연장하지 않는다는 것을 유의한다. 중간층 유전층(40)은 필드 산화물 영역(38)과 레지스터층(39)의 부분에 형성된다. 전극(41)은 중간층 유전층(40)을 통해 층(39)의 일단에 전기적 연결을 제공한다. 중간층 유전층(40)의 개방을 통해(Via opening) 전극(32)이 층(39)의 일단과 또한 N+ 영역(36)(도 1 & 2의 노드 17)에 전기적으로 연결되는 것을 허용한다. 전극(43)은 중간층 유전층(40)과 필드 산화물 영역(38) 내 개방을 통해 N+ 영역(37)(노드 16)에 전기적 연결을 제공한다.
- [0023] 반도체 분야의 실시자는 P 타입 매립 영역(35)이 JFET 구조의 게이트를 포함하는 것을 이해할 것이다. 깊은 임플란트(implant)(미도시) 또는 다른 타입의 균등 구조는 각 매립 영역(35)의 일단에 전기적으로 연결하는데 사용될 수 있다. 예를 들어, 도 3에서, P 타입 매립 영역(35)의 좌측 최단부가 접지된다. 유사한 구조가 매립 영역(34)의 각각에 전기적으로 연결되는데 사용될 수 있다. 이것은 탭 트랜지스터를 포함하는 JFET 구조의 게이트가, 도 1 & 2에 도시된 접지에서의 전위 또는 접지에 가까운 전위에 전기적으로 연결되는 것을 허용한다.
- [0024] 오프 상태에서, 접지되지 않은 P 타입 매립 영역(35)의 각 단부(즉 영역(37)에 가장 근접한 단부)는 최대 전압, 예를 들어 출력 트랜지스터(11)의 드레인인 전극(43)에 나타나는 실질적으로 동일한 전압까지 상승한다. 상기 배치에서, 노드(13)에 적용되는 외부 고전압은 P 타입 매립층(35)의 각각을 수평 방향으로 가로질러 떨어진다. 따라서, JFET 게이트(P 타입 매립 영역)의 실제 전압은 JFET 구조의 드레인(영역 37)로부터 소스(영역 36)까지 수평 방향으로 변한다.
- [0025] 도 3에 도시된 장치 구조의 일 실시예에서, 필드 산화물(38)은 N-웰 영역(33)과 P-기판 영역(31)에 걸쳐 대략 5000-10000 angstroms 의 두께로 형성된다. 본 기술 분야의 실시자는 폴리실리콘 레지스터층(39)이 전극(41)에서 적용된 최대 고전압 전위(>500V)까지 상승할 때, 필드 산화물(38)의 두께는 장기간 전압을 신뢰성있게 지지하기에 부족하다는 것을 이해할 것이다. 폴리실리콘층(39)이 고전압(예, 500-700V)에 있을 때, 기저 P 기판 영역(31)은 전형적으로 접지되는 것이 더 이해된다. 상기 상태에서, 폴리실리콘 레지스터 아래 N-웰 영역(33)이 폴리실리콘 레지스터층(39)의 전압 전위와 실질적으로 동일한 전압 전위까지 상승하도록, 전압은 P 타입 매립층(34 & 35)를 가로질러 떨어진다. 이것은 필드 산화물(폴리실리콘층(39)과 기저 N-웰 영역(33) 사이)을 가로질러 전압 전위가 비교적 작은 것을 보장한다.

- [0026] 도 3의 횡단면 예에서, 전극 또는 터미널(41, 42 및 43)은 도 1 및 2의 노드(13, 17 및 16)에 각각 대응한다. 상술한 바와 같이, P 기관(31)과 P 매립 영역(34 & 35)이 접지되고, 전극(43)(탭)에서의 전압은 어떤 핀치-오프 전압까지 전극(42)에서의 전압에 비례한다. 만약 전극(42)에서의 전압이 핀치-오프 전압을 초과하면, 전극(43)에서의 전압은 전극(41 및 42)에 나타날 수 있는 최대 전압보다 상당히 작은 탭 전위에서 비교적 일정하게 유지된다. 이런 식으로, 도 3에 도시된 집적 고전압 장치 구조는 파워 트랜지스터 IC의 저전압 전기망(예, 제어기 섹션)을 전극(41)에서 나타나는 고전압으로부터 보호한다.
- [0027] 반도체 분야의 당업자는 도 3에 도시된 집적 고전압 장치 구조의 탭 트랜지스터 부분은 드레인(전극(42)에 연결된 N+ 영역(36)), 전형적으로 접지되는(연결을 통한, 미도시) 게이트(P 타입 매립 영역(35) 및 P 기관(31)) 및, P-기관(31)에 배치된 다른 전기망에 전압을 제공하는, 탭 터미널 또는 노드로서 작동하는 소스(전극(43)에 연결된 N+ 영역(37))을 가지는 접합 전계 효과 트랜지스터(JFET)를 포함한다는 것을 이해할 것이다. 도 2에 도시된 실시예에서, 탭 트랜지스터(15)를 포함하는 JFET는 고전압 MOSFET(22)로 집적된다; 즉, 탭 트랜지스터(15)와 고전압 MOSFET(22)는 공통 N-웰 영역을 공유한다.
- [0028] 도 3의 예시적 실시예에 계속하여, P-타입 매립 영역(34 및 35)의 각각의 최상부는 기관의 표면에서 N-웰(33) 내 임베드, 즉 필드 산화물(38)과 일치하거나 인접하는 것으로 도시된다. P-타입 매립 영역(34 & 35)의 잔여분의 각각은 N-웰(33) 내 복수의 JFET 도전 채널을 생성하도록 수직 방향으로 분리된다. 도 3의 실시예에서, JFET 채널수는 P-타입 매립 영역(35)의 수와 같다.
- [0029] 영역(34 & 35)는 예를 들어 고에너지 이온 임플란테이션(implantation)에 의해 형성될 수 있다. 이것은 P-매립 영역(34)(층(39) 아래)과 P 매립 영역(35)(N+ 영역(36 & 37) 사이)와 인터리브된(interleave) 복수의 JFET 도전 채널로 나뉘는 N-웰 영역(33)을 만든다. N-웰(33)은 또한 고에너지 이온 임플란테이션에 의해 형성될 수 있다는 것이 이해된다. 에벌란치 브레이크다운(avalanche breakdown)이 일어나는 임계 전기장(critical electric field) 아래 N-웰 P 매립층 접합에서 최대 전기장을 유지하기 위해, 임플란트 에너지와 양(dose)이 선택될 수 있다. 일 실시예에서, P 매립 영역(34 & 35)와 각 JFET 채널에서의 최대 전하는 약 $1-2 \times 10^{12} / \text{cm}^2$ 이다. 당업자는 복수의 JFET 도전 채널을 가진 N-웰 영역(33)을 형성하기 위해, N-웰 및 복수의 P 매립 영역의 도핑과 임플란트 에너지가 상술한 전하 레벨에 근사하기 위해 선택될 수 있다는 것을 이해할 것이다.
- [0030] 도 1의 파워 IC의 정상 조작 중, 전극(42 & 43) 사이의 전압차가 작을 때, 전류는 터미널(42)로부터 N-웰(33) 내 JFET 도전 채널을 통해 터미널(43)까지 흐른다. 터미널(43)에서의 전압이 증가할 때, N-웰(33)의 자유 전하 캐리어 농도(concentration)는 P-타입 기관(31)과 P-타입 매립 영역(35)까지 역 바이어스에 의해 크게 감소된다(deplete). 전극(42)과 P-타입 기관(31) 사이의 전압차가 어떤 전압(즉 핀치-오프 전압)에 도달할 때, JFET 도전 채널은 역 바이어스에 의해 자유 전하 캐리어가 완전히 없어진다. 상기 핀치-오프 전압을 넘어서면, 전극(42 및 43) 사이의 N-웰(33)의 저항은 크게 증가하여, 전극(43)에서의 전압은 핀치-오프 전압에서 실질적으로 고정된다. 일 실시예에서, 핀치-오프는 약 40-50V 에서 일어난다.
- [0031] 전극(41)이 고전압, 즉 550V 이면, 폴리실리콘 레지스터층(39)(즉 전극(41 및 42))의 양 단부는 실질적으로 동일한 고전압까지 상승한다. 예를 들어, 550V 전압이 전극(41)에 나타날 때, 전극(42)은 레지스터층(39)의 저항값에 의존하여 약 549.8V의 전압 전위에 있을 수 있고, 전류는 레지스터층(39) 및 트랜지스터(15)를 통해 흐른다. 레지스터층(39)의 바로 아래 N-웰 영역(33)은 전극(42)과 실질적으로 동일한 고전위에 있다. IC의 제어기 섹션이 시동 전류(예, 2mA)를 전극(41)으로부터 이끌 때, 작은 무시할만한 전압 강하(예, ~0.2V)가 전극(41 & 42) 사이의 레지스터층(39)을 가로질러 일어난다.
- [0032] 비록 최상부의 P-타입 매립 영역(34 & 35)가 N-웰 영역(33)의 상부면에 배치된 대로 도 3에 도시되어 있지만, 다른 실시예에서 최상부 P-타입 매립 영역은 N-웰 영역(33)의 상부면의 바로 아래에 형성될 수 있어서, 필드 산화물(38)의 바로 아래 표면에서 JFET 도전 채널을 생성한다.
- [0033] 다른 실시예에서, 복수의 P-타입 매립 영역을 가지는 대신, 단지 단일 P-타입 매립 영역(34)과 단일 P-타입 매립 영역(35)이 N-웰(33)의 반대쪽에 형성된다.
- [0034] 일 실시예에서, 필드 산화물 영역(38)은 열성장(thermal growth)과 화학 기상 증착법(chemical vapor deposition)을 포함하는 다양한 공지의 방법을 사용하여 형성된 이산화규소(silicon dioxide)를 포함한다. 다른 실시예에서 필드 산화물 영역(38)은 질화규소(silicon nitride) 또는 다른 적합한 유전 물질을 포함할 수 있다. 유사하게 중간층 유전층(40)은 이산화규소, 질화규소 또는 다른 적합한 유전 물질을 포함할 수 있다.
- [0035] 도 4는 도 3에 도시된 집적 고전압 장치 구조의 예시적 정상(top), 배치도를 보인다. 레지스터(39)가 터미널

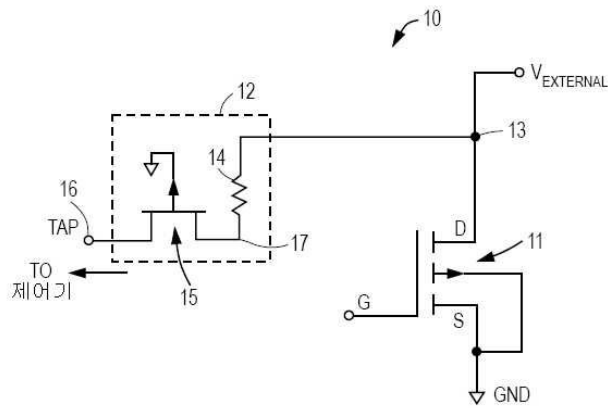
(41 & 42) 사이의 간격을 최소화하는 서펜타인(serpentine) 배치로 형성되는 것에 유의한다.

[0036]

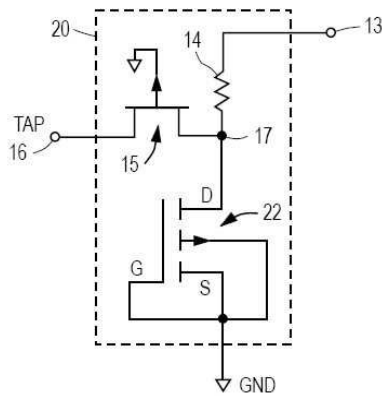
비록 본 발명이 특정 실시예와 연결하여 설명되어졌으나, 본 기술분야의 당업자는 많은 수정예와 변형예가 본 발명의 범위에서 잘 이루어질 수 있음을 이해할 것이다. 따라서, 명세서와 도면은 제한의 의미가 아닌 도시의 의미로 이해되어야 한다.

도면

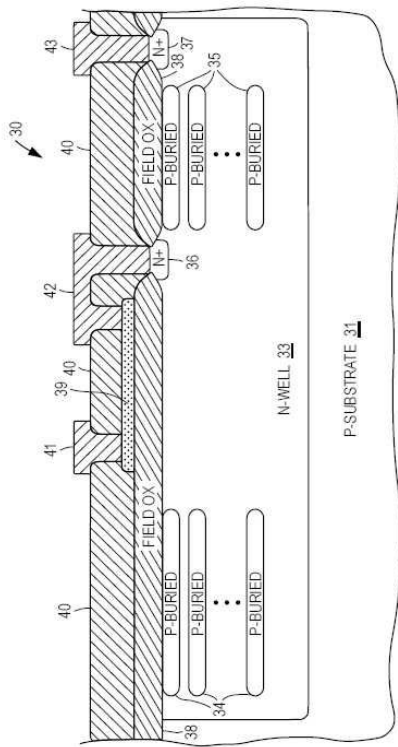
도면1



도면2



도면3



도면4

