

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-63574

(P2004-63574A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl.⁷

H01L 21/336
H01L 21/26
H01L 21/265
H01L 29/78

F I

H01L 29/78 3O1P
H01L 21/265 6O2A
H01L 21/265 6O2B
H01L 21/265 6O2C
H01L 21/265 6O4G

テマコード(参考)

5F140

審査請求 未請求 請求項の数 21 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願2002-216807(P2002-216807)

(22) 出願日

平成14年7月25日(2002.7.25)

(71) 出願人

000003078
株式会社東芝
東京都港区芝浦一丁目1番1号

(74) 代理人

100083806
弁理士 三好 秀和

(74) 代理人

100068342
弁理士 三好 保男

(74) 代理人

100100712
弁理士 岩▲崎▼ 幸邦

(74) 代理人

100100929
弁理士 川又 澄雄

(74) 代理人

100108707
弁理士 中村 友之

(74) 代理人

100095500
弁理士 伊藤 正和

最終頁に続く

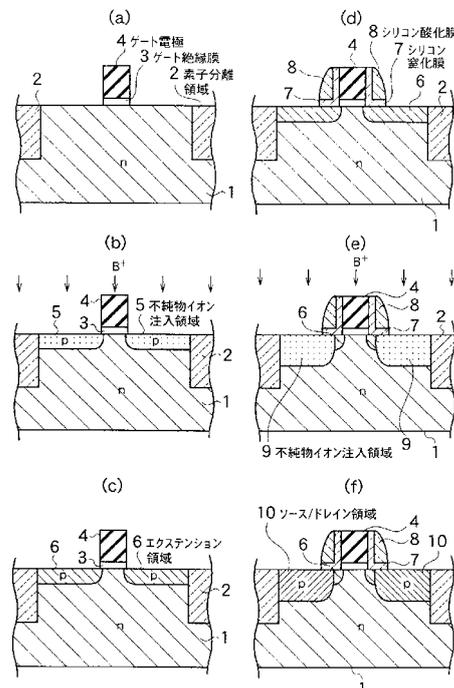
(54) 【発明の名称】 半導体装置の製造方法およびアニール装置

(57) 【要約】

【課題】ゲート電極中の不純物拡散不足による空乏化を防止し、かつ低抵抗で浅い不純物拡散層を持つMOSトランジスタを提供する。

【解決手段】単結晶の半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に多結晶導電膜からなるゲート電極を形成する工程と、ゲート電極中及びゲート電極に隣接あるいは離間した半導体基板の表面層中に不純物を注入する工程と、主にゲート電極中に注入された不純物を拡散させるとともに半導体基板の表面層中に注入された不純物の拡散を抑制する温度で、熱処理を行う第1熱処理工程と、半導体基板中に注入された不純物を活性化する温度で、第1熱処理より高温短時間で熱処理を行う第2熱処理工程とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

単結晶の半導体基板上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に多結晶導電膜からなるゲート電極を形成する工程と、
前記ゲート電極中及び前記ゲート電極に隣接あるいは離間した前記半導体基板の表面層中に不純物を注入する工程と、
主に前記ゲート電極中に注入された不純物を拡散させるとともに前記半導体基板の表面層中に注入された不純物の拡散を抑制する温度で、熱処理を行う第 1 熱処理工程と、
前記半導体基板中に注入された不純物を活性化する温度で、前記第 1 熱処理より高温短時間で熱処理を行う第 2 熱処理工程と
を有することを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記不純物を注入する工程は、
前記ゲート電極に隣接する領域の半導体基板の表面層にイオン注入を行い、第 1 不純物イオン注入領域を形成する第 1 イオン注入工程と、
前記ゲート電極に離間する領域の半導体基板の表面層にイオン注入を行い、前記第 1 不純物イオン注入領域より深い第 2 不純物イオン注入領域を形成する第 2 イオン注入工程とを有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

さらに、
前記第 1 イオン注入工程後、前記第 2 イオン注入工程前に、
前記第 2 熱処理工程と同一条件の、第 3 熱処理工程を有することを特徴とする請求項 2 に記載の半導体装置の製造方法。

20

【請求項 4】

前記多結晶導電膜は、多結晶 Si 膜であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 熱処理工程は、アニール温度が 600 以上 950 以下、および温度条件に応じてアニール時間が 1 時間から 5 秒間の条件で行うことを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置の製造方法。

30

【請求項 6】

前記第 1 熱処理工程は、赤外線ランプあるいはホットプレートを用いて実施されることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記赤外線ランプは、ハロゲンランプである請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 2 熱処理工程は、熱処理時間が 100 ms 以下であることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 熱処理工程は、照射時間が 100 ms 以下に調整可能な光源を使用して実施されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

40

【請求項 10】

前記第 2 熱処理工程は、照射エネルギー密度が $10 \sim 60 \text{ J/cm}^2$ である光源を使用することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記光源は、Xe フラッシュランプであることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記 Xe フラッシュランプの照射時間が 10 ms 以下であることを特徴とする請求項 11 に記載の半導体装置の製造方法。

50

【請求項 13】

前記光源は、エキシマレーザもしくは YAGレーザであることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 14】

前記第 2 熱処理工程は、

予め、前記半導体基板を前記第 1 熱処理工程での熱処理温度より低い温度で、予備加熱した状態で行なうことを特徴とする請求項 1 ~ 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 15】

前記予備加熱の温度は、200 ~ 600 であることを特徴とする請求項 14 に記載の半導体装置の製造方法。 10

【請求項 16】

前記予備加熱は、赤外ランプ、あるいはホットプレートを使用して実施することを特徴とする請求項 14 又は 15 に記載の半導体装置の製造方法。

【請求項 17】

前記第 1 の熱処理工程と、前記第 2 の熱処理工程とは、単一のアニール装置を用いて、同一のチャンバー内で連続に実行されることを特徴とする請求項 1 ~ 16 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 18】

前記アニール装置は、基板を密閉収納するチャンバーと 20

前記チャンバー内に備えられた、照射時間が 100ms 以下、照射エネルギー密度が 10 ~ 60 J/cm² である光源を持つ第 1 の加熱源と、ハロゲンランプあるいはホットプレートからなる第 2 の加熱源とを有することを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】

前記第 1 の加熱源は、Xeフラッシュランプであることを特徴とする請求項 18 に記載の半導体装置の製造方法。

【請求項 20】

基板を密閉収納するチャンバーと

前記チャンバー内に備えられた、照射時間が 100ms 以下、照射エネルギー密度が 10 30

~ 60 J/cm² である光源を持つ第 1 の加熱源と、

ハロゲンランプあるいはホットプレートからなる第 2 の加熱源と

を有するアニール装置。

【請求項 21】

前記第 1 の加熱源は、Xeフラッシュランプであることを特徴とする請求項 20 に記載のアニール装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に不純物の拡散および活性化工程に必要な熱 40 処理に関する。

【0002】

【従来の技術】

近年、LSI (Large Scale Integrated Circuit) の性能向上は、集積度を高めること、すなわち LSI を構成する素子の微細化により達成されてきている。しかし、素子の微細化に伴い、寄生抵抗やショートチャネル効果が発生しやすくなるため、これらの発生を防止するため、低抵抗で浅い p n 接合を形成することが重要になっている。

【0003】

浅い p n 接合、すなわちウエルに浅い不純物拡散層 (ソース/ドレイン領域) を形成する 50

方法としては、低加速エネルギーでイオン注入を行い、その後のアニール処理（熱処理）を短時間化することで、拡散深さを浅く調整する方法が一般に使用されている。例えば、短時間のアニール処理方法としては、ハロゲンランプを用いた秒単位の短時間熱処理（R T A : R a p i d T h e r m a l A n n e a l）が使用されている。

【0004】

しかし、微細化の要請とともに、p n接合の深さもさらなるシャロー化が求められており、20nm未満の極めて浅い接合の形成が求められるようになってきている。現在、p型不純物としてはボロン（B）、n型不純物としてはリン（P）あるいは砒素（As）が主として用いられているが、B、PあるいはAsといった不純物のシリコン（Si）基板中での拡散係数は比較的大きいため、R T Aを使用しても、20nm未満の深さの極めて浅いp n接合の形成は困難である。

10

【0005】

また、ハロゲンランプを使用する場合は、発光時間を数百ms以下に調整することは困難であり、アニール処理の短時間化に限界がある。一方、不純物拡散を抑制するためにアニール温度、すなわち発光エネルギー強度を下げると、不純物の活性化率が大きく低下し、不純物拡散層の抵抗が上昇してしまう。従って、ハロゲンランプを用いたR T A処理では、低抵抗でしかも深さ20nm以下の浅い不純物拡散層を形成することは困難である。

【0006】

最近、本件発明者等は、従来のハロゲンランプを使用したR T A処理方法にかえて、キセノン（Xe）フラッシュランプを用いたフラッシュランプアニール法の採用を検討している。Xeフラッシュランプは、可視域から近赤外線域に至る広い範囲に発光波長を有する白色光であり、しかも数100 μ s~10msという極めて短時間の発光が可能な光源である。このXeフラッシュランプによるフラッシュランプアニール法を採用することで、高温での瞬時アニールが可能となり、その結果、イオン注入された不純物の拡散を伴わずに、不純物を活性化させることができ、浅くかつ低抵抗のp n接合の形成が可能になる。

20

【0007】

【発明が解決しようとする課題】

一般に、多結晶シリコンゲート（ポリSiゲート）電極を用いたM O Sトランジスタの製造工程では、ゲート電極を低抵抗化するため、半導体基板に不純物をイオン注入するとき、あわせてゲート電極にも不純物をイオン注入し、アニール工程で半導体基板中に注入された不純物を活性化させるとともに、ゲート電極層中の不純物をゲート電極全体に拡散させ、活性化させることで低抵抗化を図っている。

30

【0008】

Xeフラッシュランプを用いたアニール方法は、ランプの発光時間が極めて短いため、極短時間アニール処理が可能であり、半導体基板中の不純物を拡散させることなく活性化することができるので、浅いソース/ドレイン領域の形成が可能である。しかし、その一方でアニール時間が極端に短いため、ゲート電極内に注入された不純物がゲート電極全体に拡散できず、ゲート電極中に不純物拡散が不足する領域が残ってしまう。この不純物不足領域が空乏化し、容量の低下を引き起こし、結果的にトランジスタの駆動力の低下を招く。

40

【0009】

このように、Xeフラッシュランプを用いたアニール方法は、低抵抗かつ浅い接合をもつ不純物拡散層（ソース/ドレイン領域）を形成することはできるが、ゲート電極中に空乏層を残すため、微細なトランジスタを形成しても、微細化に伴う高性能のトランジスタ特性を得ることができない。

【0010】

本発明の目的は、上述する従来の課題に鑑み、低抵抗かつ浅い接合をもつ不純物拡散層と、良好な駆動力を備えたトランジスタを作製できる半導体装置の製造方法とこの製造方法に使用するアニール装置を提供することである。

【0011】

50

【課題を解決するための手段】

本発明の半導体装置の製造方法の特徴は、単結晶の半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に多結晶導電膜からなるゲート電極を形成する工程と、ゲート電極中及びゲート電極に隣接あるいは離間した半導体基板の表面層中に不純物を注入する工程と、主にゲート電極中に注入された不純物を拡散させるとともに半導体基板の表面層中に注入された不純物の拡散を抑制する温度で、熱処理を行う第1熱処理工程と、半導体基板中に注入された不純物を活性化する温度で、第1熱処理より高温短時間で熱処理を行う第2熱処理工程とを有することである。

【0012】

上記本発明の特徴によれば、単結晶の半導体基板中より多結晶のゲート電極中で、不純物がより低温で拡散しやすい性質を利用し、まず、第1熱処理工程によって、半導体基板中の不純物拡散は抑制されるので、ゲート電極中の不純物を選択的に拡散させ、ゲート電極全体に不純物を拡散させ、拡散不足によるゲート電極底部の空乏化を防止する。次に、第2熱処理工程の高温短時間熱処理によって、半導体基板中およびゲート電極中の不純物を活性化する。この第2熱処理は高温短時間で行うので不純物をほとんど拡散させることなく活性化できる。従って、半導体基板中に形成される不純物拡散層は、この二段階の熱処理によっても接合深さが浅い状態を維持できる。より微細で、より浅い接合を有するトランジスタ等の半導体装置を、ゲート電極の空乏化の問題を伴わずに作製できる。

【0013】

上記半導体装置の製造方法において、不純物を注入する工程は、ゲート電極に隣接する領域の半導体基板の表面層にイオン注入を行い、第1不純物イオン注入領域を形成する第1イオン注入工程と、ゲート電極に離間する領域の半導体基板の表面層にイオン注入を行い、第1不純物イオン注入領域より深い第2不純物イオン注入領域を形成する第2イオン注入工程とを有していてもよい。

【0014】

この場合は、より浅い不純物拡散領域、すなわちエクステンション領域をゲート電極に隣接する半導体基板の表面層に形成できる。従って、より微細なトランジスタを作製する場合に発生する短チャネル効果を抑制できる。

【0015】

また、第1イオン注入工程後、第2イオン注入工程前に、上記第2熱処理工程と同一条件の、第3熱処理工程を有してもよい。

【0016】

この場合は、第1イオン注入工程後に行う第3熱処理工程において、第2熱処理工程と同様、高温短時間熱処理を行うので浅い接合を持つエクステンション領域を得ることができる。

【0017】

上記多結晶導電膜としては、多結晶Si膜が挙げられる。

【0018】

上記第1熱処理工程は、アニール温度が600以上950以下、および温度条件に応じてアニール時間が1時間から5秒間の条件で行うことが好ましい。

【0019】

また、上記第1熱処理工程は、赤外線ランプあるいはホットプレートを用いて実施することができる。ここで、赤外線ランプとしては、ハロゲンランプを挙げることができる。

【0020】

上記第2熱処理工程は、熱処理時間が100ms以下であることが望ましい。また、上記第2熱処理工程は、照射時間が100ms以下に調整可能な光源を使用して実施できる。また、この光源は、照射エネルギー密度が10~60J/cm²である光源を使用することが望ましい。例えば、この光源としては、Xeフラッシュランプを挙げることができる。また、Xeフラッシュランプの照射時間は10ms以下であることがさらに望ましい。また、Xeフラッシュランプ以外にも、エキシマレーザーもしくはYAGレーザー等を用いる

こともできる。

【0021】

上記第2熱処理工程は、予め、半導体基板を第1熱処理工程での熱処理温度より低い温度で、予備加熱した状態で行うことが望ましい。

【0022】

予備加熱を行うことにより、短時間高温熱処理による急激な基板温度上昇に伴う基板へのダメージの発生を防止できる。

【0023】

上記予備加熱温度は、200～600であることが望ましい。また、上記予備加熱は、赤外線ランプ、あるいはホットプレートを使用して実施することができる。

10

【0024】

上記第1の熱処理工程と、第2の熱処理工程とは、単一のアニール装置を用いて、同一のチャンバー内で連続に実行してもよい。

【0025】

この場合は、第1の熱処理工程と第2の熱処理工程との間の基板の出し入れや前処理による手間を省くことができ、二段階の熱処理によりスループットを犠牲にすることがない。

【0026】

上記アニール装置としては、基板を密閉収納するチャンバーと、チャンバー内に備えられた、照射時間が100ms以下、照射エネルギー密度が10～60J/cm²である光源を持つ第1の加熱源と、ハロゲンランプあるいはホットプレートからなる第2の加熱源とを有するものを使用できる。なお、第1の加熱源は、Xeフラッシュランプであることが望ましい。

20

【0027】

本発明のアニール装置の特徴は、基板を密閉収納するチャンバーと、チャンバー内に備えられた、照射時間が100ms以下、照射エネルギー密度が10～60J/cm²である光源を持つ第1の加熱源と、ハロゲンランプあるいはホットプレートからなる第2の加熱源とを有することである。なお、上記第1の加熱源は、Xeフラッシュランプであることがより望ましい。

【0028】

上記本発明のアニール装置によれば、上記本発明の半導体装置の製造方法における第1熱処理工程と第2熱処理工程からなる二段階熱処理を同一チャンバー内で連続して行うことができるので、スループットを犠牲にせず、上記本発明の半導体装置の製造方法を実施できる。

30

【0029】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【0030】

(実施の形態)

図1(a)～図1(f)は、本発明の実施の形態に係る半導体装置の製造方法を示す工程図である。ここでは、LOGIC回路やメモリ領域に形成される微細なp型MOSトランジスタの製造工程を例に取り、説明する。

40

【0031】

本実施の形態における製造方法の主な特徴は、ソース/ドレイン領域形成のために行っていた、イオン注入工程後のアニール処理を、プレアニール工程(第1熱処理工程)とフラッシュランプアニール工程(第2熱処理工程)の二段階で行うことである。以下、図面を参照しながら、具体的にこの製造方法について説明する。

【0032】

まず、図1(a)に示すように、通常のp型MOSトランジスタの製造方法に従って、活性化領域を画定するためn型単結晶、あるいはp型単結晶の表面領域にn型不純物をドーピングしたシリコン(Si)基板1に素子分離領域2を形成する。この素子分離領域2は

50

、図示するように、STI (Shallow Trench Isolation) とすることが好ましい。STI構造は、シリコン基板1に溝を形成し、この溝をSiO₂膜等の絶縁膜で埋め込み、表面を平坦化することで得られる。この後、ゲート絶縁膜3として、約3nm未満の薄い絶縁膜、例えばSiO₂膜を形成し、さらにゲート絶縁膜3上に、厚さ約175nmの多結晶Si膜を形成し、選択的なエッチングにより、多結晶Si膜からなるゲート電極4を形成する。

【0033】

次に、図1(b)に示すように、ソース/ドレインのエクステンション領域を形成するため、ゲート電極4をイオン注入マスクとして用い、Si基板1の表面層に、ボロン(B⁺)をイオン注入する。イオン注入の条件は、例えば加速エネルギー0.2keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入により、ゲート電極4に隣接したSi基板1の表面層に浅い不純物イオン注入領域5が形成される。

10

【0034】

次に、この不純物イオン注入領域5中の不純物イオンを活性化すべく、アニール処理を行う。このアニール処理は、従来のハロゲンランプを用いたRTA処理でも良いが、好ましくはキセノン(Xe)フラッシュランプを用いた高温短時間のフラッシュランプアニール処理を行う。なお、このフラッシュランプアニール処理は、後述するソース/ドレイン領域形成のための第2熱処理工程条件と同様な条件で行う。

【0035】

図2は、このフラッシュランプアニール処理条件を示すグラフである。同図に示すように、フラッシュランプアニール処理では、予めSi基板1をホットプレートやその他のヒータを用いて、400程度の温度に加熱した後、Xeフラッシュランプの光を、極めて短時間、例えば約1ms、Si基板1全面に照射する。このときXeフラッシュランプの照射エネルギー密度は、例えば約35J/cm²とする。Si基板1表面は、この短時間のXeフラッシュランプの照射により、イオン注入された不純物元素が十分に活性化される温度、例えば1100以上に達する。

20

【0036】

Xeフラッシュランプを用いたフラッシュランプアニール処理では、従来のハロゲンランプを用いたRTAよりさらに短い極短時間のアニール処理を行うため、不純物イオン注入領域の結晶欠陥を回復し、活性化できるとともに、注入された不純物イオンは、深さ方向にほとんど拡散することがない。この結果、図1(c)に示すように、深さ約10nm程度の極めて浅く、しかも低抵抗のエクステンション領域6が形成される。

30

【0037】

なお、フラッシュランプアニール処理の代わりに、ハロゲンランプを用いたRTAを行う場合は、基板温度は800以下、加熱時間は10秒程度が望ましい。このRTAによっても、不純物が基板深くまで拡散されることなく、不純物元素が活性化されるとともに、不純物イオン注入領域5の結晶欠陥を回復させ、ソース/ドレインのエクステンション領域6を形成することができる。

【0038】

次に、図1(d)に示すように、ゲート電極4の側壁に多層構造の側壁スペーサを形成する。シリコン窒化膜(SiN膜)7及びシリコン酸化膜(SiO₂膜)8をCVD法を用いて、順次堆積し、続いて、RIE(Reactive Ion Etching)法により、異方性エッチングを行うことで、ゲート電極4の側壁のみにSiN膜7及びSiO₂膜8を選択的に残置し、同図に示すような、多層構造の側壁スペーサを得ることができる。

40

【0039】

図1(e)に示すように、ゲート電極4及びSiN膜7及びSiO₂膜8からなる側壁スペーサをイオン注入マスクとして用いて、p型不純物であるB⁺を再びイオン注入する。イオン注入条件は、例えば加速エネルギー5keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入により、ゲート電極4の端部から離間した、Si基板1の表面層に深

50

い不純物イオン注入領域 9 が形成される。このとき多結晶 Si からなるゲート電極 4 中にも相当量の不純物イオン B⁺ が注入される。

【0040】

次に、不純物イオン注入領域 9 の活性化およびゲート電極中に注入したイオンの拡散を図るため、アニール処理を行う。ここで、本実施の形態では、このアニール処理を、従来とは異なり、第 1 熱処理工程と第 2 熱処理工程の二段階で行う。

【0041】

まず、ハロゲンランプを用いた R T A によって第 1 熱処理 (プレアニール) を行う。図 3 に、プレアニール条件を示す。同図に示すように、プレアニール条件としては、例えば、基板温度 900 、アニール時間を 20 秒とする。

【0042】

一般に、多結晶材料に注入された不純物と単結晶材料中に注入された不純物とを比較すると、多結晶材料に注入された不純物のほうがより低温で拡散しやすい。これは、多結晶材料には、不純物が拡散しやすい結晶粒界が存在するためである。この不純物拡散の特性に基づき、上記プレアニール温度条件のように、多結晶ゲート電極中の不純物は拡散するが、単結晶半導体基板中の不純物の拡散は抑制される温度条件とする。多結晶 Si からなるゲート電極 4 中に注入された B は濃度勾配に従い、深さ方向に拡散し、厚み約 175 nm のゲート電極 4 の層全体に行き渡るが、単結晶である Si 基板 1 に注入された B は、ほとんど拡散することなくイオン注入領域 9 内に留まる。こうして、ゲート電極 4 中の B の拡散のみを促進するとともに、すでに形成されているエクステンション領域 6 の不純物 B については、拡散することなく浅い接合深さを維持できる。

【0043】

続けて、Xe フラッシュランプを用いて、第 2 熱処理を行う。この第 2 熱処理、即ち不純物拡散領域の活性化のためのフラッシュランプアニール条件は、先にエクステンション領域 6 の形成のために行ったフラッシュランプアニール条件とほぼ同様の条件を用いることができる。図 2 に示すように、基板を予め例えば 400 程度の温度に加熱した状態で、Xe フラッシュランプの光を基板全面に照射する。照射時間、照射エネルギー密度は、例えば約 1 ms、35 J/cm² とし、瞬間的に基板表面層の温度を不純物イオンが注入された領域の結晶欠陥を回復し、注入イオンが活性化する、このときの基板到達温度は 1100 以上となる。

【0044】

このフラッシュランプアニールにより、図 1 (f) に示すように、イオン注入された不純物が活性化されるとともに、不純物イオン注入領域 9 の結晶欠陥が回復し、ゲート電極 4 の端部から離間した深いソース/ドレイン領域 10 が得られる。また、極めて短時間のアニール処理であるため、エクステンション領域 6 の不純物の拡散は抑制され、接合深さを浅く維持できる。

【0045】

この後の工程は図示しないが、一般的な MOS トランジスタの製造方法に従って、例えば常圧 CVD 法により成膜温度 400 で、全面に層間絶縁膜として SiO₂ 膜を形成する。その後、層間絶縁膜にコンタクトホールを開口し、ソース/ドレイン領域 10 及びゲート電極 4 それぞれに、必要な引出し配線を形成する。

【0046】

このように、本実施の形態に係る半導体装置の製造方法では、ソース/ドレイン領域の形成に用いるアニール処理工程が、単結晶の Si 基板 1 中に注入された不純物の拡散を抑制するとともに、多結晶 Si からなるゲート電極 4 中に注入された不純物の拡散を促進できる温度条件でプレアニールする工程 (第 1 熱処理工程) と、単結晶の Si 基板 1 中に注入された不純物を活性化できる条件で、極めて短時間のフラッシュランプアニールを行う工程 (第 2 熱処理工程) とを有するため、トランジスタの特性の改善と 20 nm 以下の極めて浅い接合の形成を両立させることができる。

【0047】

10

20

30

40

50

(検討 1)

本実施の形態の製造方法を用いて得られたゲート電極の特性を調べるため、上述した実施の形態に示す製造方法と同じ条件を用いて、図4(a)に示す構造を持つMOSキャパシタ(以下、実施例のキャパシタという。)を作製し、C-V特性を測定した。また、第1の比較例として、プレアニール(第1熱処理工程)を行わず、フラッシュランプアニール(第2熱処理工程)のみを行い、他の条件は実施の形態に係る製造方法と同じ条件を用いて、同様なMOSキャパシタ(以下、比較例1のキャパシタという)を作製した。また、第2の比較例として、従来方法である1015、10秒の条件でRTAのみを行い、他の条件は実施例と同様の条件でMOSキャパシタ(以下、比較例2のキャパシタという)を作製した。各MOSキャパシタのC-V特性を測定し、結果を図4(b)に示した。

10

【0048】

実施例のMOSキャパシタでは、ゲート容量はゲート電圧2.5V、周波数100kHzにて約 $6 \times 10^{-7} \text{ F/cm}^2$ が得られた。この値は、ハロゲンランプを用いたRTA処理のみを行った比較例2(従来例)によって得られるMOSキャパシタのゲート容量値と等しく、またC-V特性もほぼ一致していた。これに対し、フラッシュランプアニールのみを行った比較例1の場合には、MOSキャパシタのゲート容量は同ゲート電圧、同周波数条件下で約 $2.6 \times 10^{-7} \text{ F/cm}^2$ であった。

【0049】

フラッシュランプアニールのみを行った比較例1のMOSキャパシタではゲート容量が低下しており、ゲート電極下の絶縁膜が見かけ上、厚く形成されているのと同様な結果であった。すなわち、Xeフラッシュランプアニールのみでは、アニール処理時間が極めて短いため、ゲート電極中の不純物であるBがゲート電極深くまで拡散せず、ゲート電極底部に不純物濃度が不十分な領域が残り、空乏層を形成しているためと考えられる。ゲート容量値から算出したこの空乏層の厚みは、ゲート電極の全厚みが175nmの場合、約23nmにも及んでいた。

20

【0050】

この結果より、本実施の形態に係るソース/ドレイン領域の形成のために行うプレアニール工程(第1熱処理工程)により、ゲート電極中の不純物の拡散が進行し、空乏層の発生が防止できることが確認できた。

【0051】

ゲート電極底部に空乏層が残ると、トランジスタの駆動力を低下させるだけでなく、そもそもトランジスタとしての機能を発揮できない場合が生じる。ゲート電極の空乏化を防止する方法としては、アニール前に行うイオン注入工程で、より深く不純物イオンを注入するため、加速エネルギーを上げる方法があるが、この場合は、同時にSi基板1の表面層に注入された不純物の深さ方向および横方向の拡散が進行するので、ショートチャネル効果を誘発する虞れが高い。また、ゲート絶縁膜に不純物が侵入することによって、トランジスタの閾値電圧を変動させる。その点、上述する本実施の形態に示すプレアニール(第1熱処理)とXeフラッシュランプアニール(第2熱処理)からなる二段階アニール方法を採用すれば、第1熱処理では主に多結晶ゲート電極中の不純物の拡散のみを促進し、第2熱処理では、ソース/ドレイン領域およびエクステンション領域の深さにほとんど影響を与えないで、各不純物を活性化できるので、ショートチャネル効果の発生を抑制できる。

30

40

【0052】

(検討 2)

次に、アニール条件とゲート電極中の不純物Bの拡散状態との関係を調べるため、上述する実施の形態の製造条件で作製した実施例のMOSトランジスタと、アニール処理条件のみを変えた条件で作製した比較例のMOSトランジスタとの各MOSトランジスタにおけるゲート電極中の不純物(B)の深さ方向の濃度分布を測定した。この比較例のMOSトランジスタの製造方法は、プレアニール(第1熱処理工程)を行わず、フラッシュランプアニール(第2熱処理工程)のみを行い、他の条件は実施の形態に係る製造方法で作製し

50

た実施例のMOSトランジスタと同一条件を用いたものである。

【0053】

図5は、実施例と比較例の各トランジスタにおけるゲート電極中の不純物(B)の深さ方向の濃度分布を測定した結果を示すグラフである。同グラフに示すように、実施例のトランジスタのゲート電極では、Bがゲート電極全体に、深さ方向にほぼ均一に分布しており、約 10^{20} cm^{-3} の高い不純物濃度が得られていることが確認できた。一方、比較例のトランジスタのゲート電極では、浅い領域では高い不純物濃度を示すが、深くなるほどB濃度は減少しており、深い領域へのBの拡散が不十分になっており、B濃度が 10^{19} cm^{-3} 以下の領域では空乏化が生じていると予想される。

【0054】

(検討3)

図6は、実施の形態に係る製造方法によって得られたソース/ドレインのエクステンション領域6内の不純物であるBの濃度分布を示したものである。濃度が 10^{18} cm^{-3} となる深さ、すなわち実質的な接合深さは約14nmであり、拡散層抵抗は770 Ω であった。浅く且つ低抵抗の不純物拡散層が形成できていることが確認できた。この結果より、本実施の形態に係る二段階アニール法により、エクステンション領域6の接合深さを20nm以下に維持できることが確認できた。

【0055】

なお、フラッシュランプアニールを用いずに、ハロゲンランプによるRTAのみでゲート電極の空乏化を抑制し、かつ不純物拡散層を所望の抵抗値とするためには、1000以上のアニール温度で、10秒以上の加熱温度が必要になる。このアニール条件では、エクステンション領域及びソース・ドレイン領域の不純物は周囲に拡散し、浅い接合を維持できないため、ショートチャネル効果を引き起こし、トランジスタとしての機能を失う。

【0056】

(その他の実施の形態)

上述する実施の形態においては、ゲート電極として多結晶Si電極を使用する例について説明したが、ゲート電極と配線間のコンタクト抵抗を下げるため、ゲート電極の表層部分をシリサイド化した構造を採用する場合にも、ソース/ドレイン領域の形成のため上述した二段階アニール法を採用することができる。

【0057】

通常、このようなシリサイド層の形成は、ゲート電極の表層およびソース/ドレイン領域の表層部分をコバルト(Co)、チタン(Ti)あるいはニッケル(Ni)等をスパッタ成膜し、フィールド絶縁膜と自己整合的にシリサイド化してCoシリサイド、Tiシリサイド、Niシリサイド構造等を形成する。なお、シリサイド層の厚さは、30nm程度が望ましい。シリサイド層が厚くなったり、実質的な多結晶Siゲート電極の厚さが薄くなると、シリサイドになりきれなかった上記コバルト等の3d遷移金属原子は、Si中やSiO₂中の拡散係数が大きいため、ゲート電極からゲート絶縁膜へと拡散し、ゲート電極からSi基板へのリーク電流が増大するからである。しかしながら、上記現象を抑制しようと、シリサイド層の厚みを30nmより薄く設定してしまうと、今度はコンタクト抵抗が上昇し、トランジスタの駆動力は低下してしまう。従って、ゲート電極は少なくとも100nm以上の厚さは必要となる。好ましくは150nm以上の厚さが望ましい。

【0058】

また、上記本実施の形態では、多結晶Siゲート電極を作製する場合について説明したが、多結晶Siに限らず、半導体基板が単結晶からなりゲート電極が多結晶からなる場合に上記二段階アニール法を有効に適用できる。

【0059】

上記実施の形態では、二段階アニール工程のうち、プレアニール(第1熱処理)条件を900、20秒に設定しているが、プレアニール条件はこれに限定されない。図7に、プレアニール条件例を示す。多結晶Siゲート電極の厚みが約175nmで、プレアニール前のイオン注入工程の条件が、不純物であるBを加速エネルギー0.2keV、ドーズ

10

20

30

40

50

量： $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する場合には、同図に示すように、多結晶 Si ゲート電極内の空乏化を抑制でき、かつすでに形成されているソース/ドレインのエクステンション領域の接合深さを 20 nm 以下に維持できる斜線部に示す条件であればよい。

【0060】

Si 基板中のエクステンション領域内の不純物 (B) の接合深さを 20 nm 未満に抑えるためには、好ましくは 950 以下であることが望ましい。必要なプレアニール時間はアニール温度条件に依存する。例えば、アニール温度が 800 のときは 12 分、850 では 3 分、900 であれば 40 秒以下であれば加熱を続けても、Si 基板中のエクステンション領域内の不純物 (B) の接合深さを 20 nm 以下に抑えることができるとともに、多結晶 Si ゲート電極に注入された不純物はゲート電極底部まで拡散し、空乏化を抑制できる。

10

【0061】

なお、多結晶 Si ゲート電極の厚みを 175 nm としているが、100 nm ~ 200 nm 程度でもよく、膜厚に応じて、プレアニール時間を可変することが好ましく、ゲート電極層の厚みがより薄い場合は、プレアニール時間をより短くすることが望まれる。

【0062】

また、本実施の形態では、フラッシュランプアニール (第 2 熱処理) を、予め基板を 400 に予備加熱を行った上で、Xe フラッシュランプの照射エネルギー密度を 35 J/cm^2 、照射時間 1 ms としているが、この条件に限定されるものではない。照射時間は、100 ms 以下であれば実用可能であるが、不純物の拡散を抑制するためにはできるだけ短い方が望ましく、好ましくは 10 ms 以下とする。照射時間が 1 ms の場合、予備加熱温度を 200 ~ 550、照射エネルギー密度を $10 \sim 60 \text{ J/cm}^2$ の範囲で変更可能である。

20

【0063】

照射エネルギー密度 60 J/cm^2 が超えると過剰かつ急激な照射エネルギーに伴う熱応力の増加により、Si 基板内にスリップやクラック等のダメージが入る。予備加熱は、必要なフラッシュランプの照射エネルギー密度を抑制し、急激な温度上昇に伴う基板への熱応力の発生を抑制できる効果がある。また、フラッシュランプだけで Si 基板表面を加熱しようとする、ランプに投入されるエネルギーは大きくなり、ランプの寿命を縮める。よって、予備加熱は必要なランプの照射エネルギー密度を抑制し、ランプ寿命を延ばす効果もある。

30

【0064】

不純物を高濃度に活性化するためにランプの照射エネルギーを 60 J/cm^2 以下にするには、予備加熱温度を 200 以上にすることが望ましい。

【0065】

一方、予備加熱温度を 550 より高温にすると、フラッシュランプの点灯によりトータルのエネルギー量が過剰となり、フラッシュランプ消灯後も余熱により、Si 基板温度が高温を維持し、不純物の拡散が継続して生じるため、浅い接合状態を得ることが困難となる。また、予備加熱温度をあまり高くしすぎると、基板がもろくなり、ダメージを受けやすくなるため、基板のダメージ防止のためには、適度な温度範囲が望ましい。従って、予備加熱温度は、200 ~ 550 が望ましい。

40

【0066】

予備加熱手段は、基板を 200 ~ 550 に加熱できる手段であればよく、ハロゲンランプによるランプ加熱の他に、ホットプレート等によるヒータ加熱を用いても良い。

【0067】

また、実施の形態に係るフラッシュランプアニールの光源として、Xe フラッシュランプを用いたが、使用するランプの種類はこれに限定されない。必要な照射エネルギーを供給でき、かつ発光時間を極短時間に調整できる光源であればよい。発光時間、すなわち照射時間は 100 ms 以下、より望ましくは 10 ms 以下、さらに好ましくは数 ms 以下で調整できることが望ましい。例えば、パルス発振可能なエキシマレーザや YAG レーザ等の

50

レーザを用いることも可能である。なお、Xeフラッシュランプは、Si単結晶基板が高い吸収率を示す可視域～近赤外域に発光波長を有するため、効率良く、基板加熱を行うことができるが、他の光源を使用する場合も、Si単結晶基板が高い吸収率を示す1100nm未満の波長を持つ光源を使用すれば、照射エネルギーの利用効率を高めることができる。

【0068】

上述した本実施の形態の二段階アニール法は、ハロゲンランプを備えた第1のアニール装置と、Xeフラッシュランプを備えた第2のアニール装置を使用して、プレアニール（第1熱処理）とフラッシュランプアニール（第2熱処理）をそれぞれ独立に行うことができるが、同一チャンバー内にプレアニール用の加熱源とフラッシュランプアニール用の加熱源の両方を備えたアニール装置を用いれば、一台のアニール装置を用いて、連続的に二段階アニールを行うことができる。

10

【0069】

図8は、プレアニールとフラッシュランプアニールを連続して行う場合の、温度プロファイル例を示すグラフである。同図に示すように、例えば加熱温度900、加熱時間20秒で、プレアニール（第1熱処理）を行った後、連続してフラッシュランプアニール（第2熱処理）を行う。即ち、基板温度を予備加熱温度、例えば400まで下げ、温度が一定となったところで、Xeフラッシュランプを1ms点灯する。

【0070】

一台のアニール装置を用いて連続的に二段階アニールを行う場合は、途中で、基板温度を室温まで下げる必要がなく、チャンバーから基板を出し入れする手間が省けるので、スループットを高めることができるとともに、装置スペースや生産設備の無駄を省くことができる。

20

【0071】

図9は、プレアニール用加熱源とフラッシュランプアニール用加熱源を備えたアニール装置の概略構成を示す図である。上方にXeフラッシュランプ13、下方にハロゲンランプ14を備え、その間に基板12を載置する基板台11を備える。プレアニール（第1熱処理）には、下方のハロゲンランプ14のみを使用し、フラッシュランプアニール（第2熱処理）には、ハロゲンランプ14とXeフラッシュランプ13とを使用し、ハロゲンランプ14で基板12の予備加熱を行うとともに、Xeフラッシュランプでフラッシュランプアニールを行う。なお、ハロゲンランプ14、とXeフラッシュランプ13とが、それぞれ複数本の棒状のランプ群で構成される場合は、ハロゲンランプ14のランプ配置方向とXeフラッシュランプ13が互いに交差するよう配置することが好ましい。

30

【0072】

なお、ハロゲンランプ14のかわりに、基板台と一体型のホットプレートを使用してもよい。また、Xeフラッシュランプの代わりに、極短時間のパルス発光が可能なエキシマレーザやYAGレーザを使用してもよい。

【0073】

以上に説明するように、本実施の形態に係る半導体装置の製造方法によれば、低抵抗かつ浅い不純物拡散層が形成できる上に、ゲート電極の空乏化を抑制することができ、不純物のプロファイルを精度良く制御することが可能になる。また、図8に示すアニール装置を用いれば、工程数の増加も発生しないため、スループットを下げることなく、低コスト且つ容易に微細化に対応した高性能なMOSトランジスタを製造することができる。

40

【0074】

以上、本実施の形態に沿って本発明内容を説明したが、さらに種々の変形や改変が可能なことは当業者には自明である。例えば、本実施の形態ではp型不純物としてBを使用しているが、代わりにアクセプターとなりうるその他のIII族元素を使用することもできる。また、上述の例ではp型MOSトランジスタについて説明したが、導電型を逆にしたn型MOSトランジスタについても上述した半導体製造方法を同様に適用することができる。この場合は、ソース/ドレイン領域の形成のため、不純物としてドナーなりうるリン（

50

P)あるいは砒素(A s)等をイオン注入すればよい。

【0075】

【発明の効果】

上述するように、本発明の半導体装置の製造方法の特徴によれば、低抵抗かつ浅い不純物拡散層が形成できる上に、ゲート電極の不純物領域を十分に活性化することができ、ゲート電極の空乏化を抑制することができる等、不純物のプロファイルを精度良く制御することが可能になる。従って、微細化に対応した浅い接合を有する高性能なM O Sトランジスタを製造することができる。

【0076】

また、本発明のアニール装置の特徴によれば、上記本発明の半導体装置の製造方法における二段階アニール工程を同一チャンバー内で連続に行うことができるので、スループットを下げることなく、低コスト且つ容易に微細化に対応した高性能なM O Sトランジスタを製造することができる。

10

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体製造方法を示す各工程の半導体装置の断面図である。

【図2】本発明の実施の形態におけるフラッシュランプアニール工程での温度プロファイルを示す図である。

【図3】本発明の実施の形態におけるプレアニール工程での温度プロファイルを示す図である。

20

【図4】本発明の実施形態に係る二段階アニール法を用いて作製した実施例のM O Sゲートと、二段階アニールのかわりにフラッシュランプアニールのみを用いた比較例1および従来のアニール法を用いた比較例2の各M O Sゲートのゲート容量とゲート電圧の関係を示す図である。

【図5】本発明の実施の形態に係る二段階アニール法を用いて作製した実施例のゲート電極と二段階アニールのかわりにフラッシュランプアニール法のみを用いて作製した比較例のゲート電極のボロン(B)の濃度分布を示した図である。

【図6】本発明の実施の形態に係る製造方法で得られたソース/ドレインのエクステンション領域内のボロン(B)の濃度分布を示した図である。

【図7】本発明の実施の形態に係るプレアニール条件を示す図である。

30

【図8】本発明のその他の実施の形態に係る、プレアニール(第1熱処理)とフラッシュランプアニール(第2熱処理)とを連続に行う場合の温度プロファイルを示す図である。

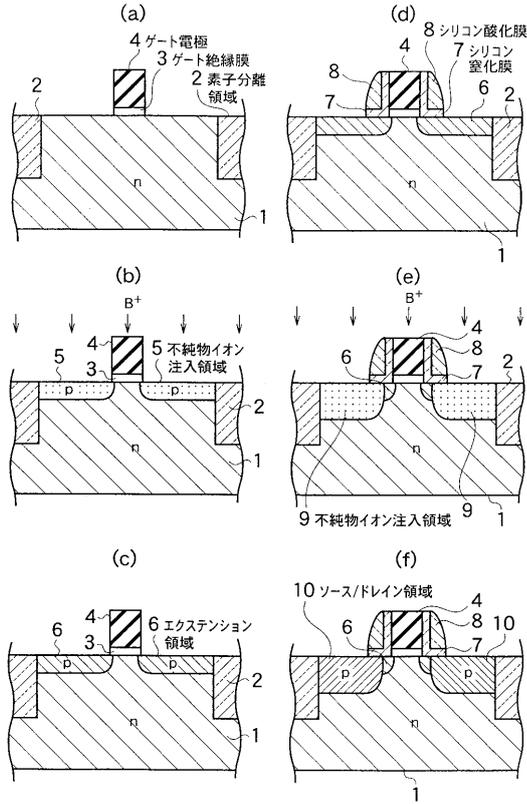
【図9】Xeフラッシュランプとハロゲンランプとを同一チャンバー内に備えたアニール装置の概略構成を示す図である。

【符号の説明】

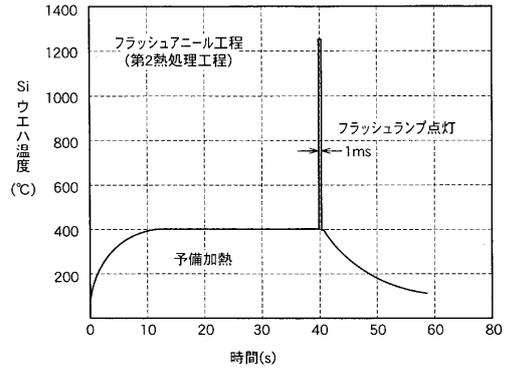
- 1 シリコン基板
- 2 素子分離領域
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5、9 不純物イオン注入領域
- 6 エクステンション領域
- 7 シリコン窒化膜
- 8 シリコン酸化膜
- 10 ソース/ドレイン領域

40

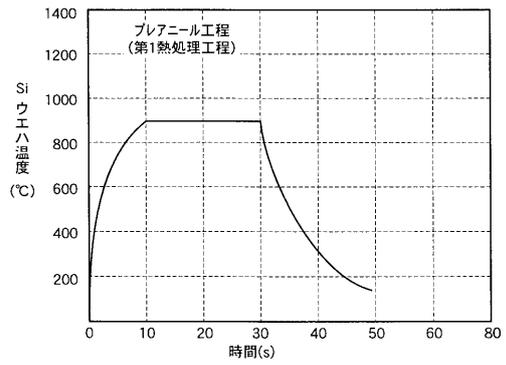
【 図 1 】



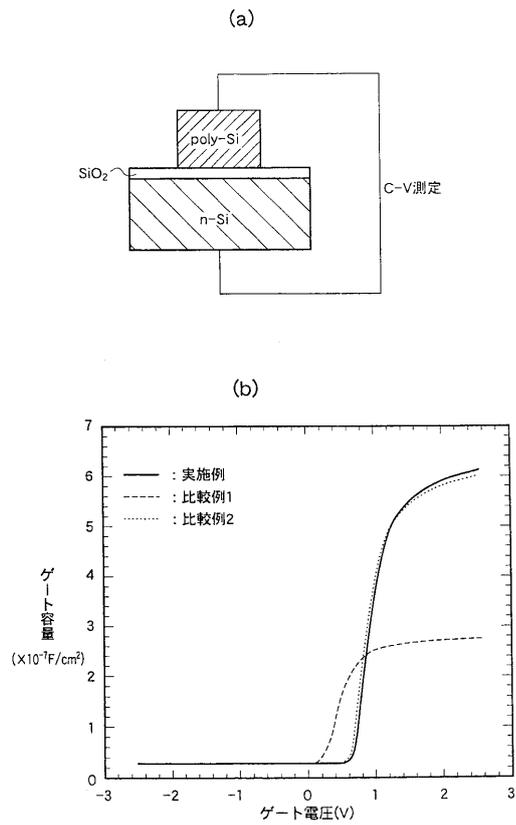
【 図 2 】



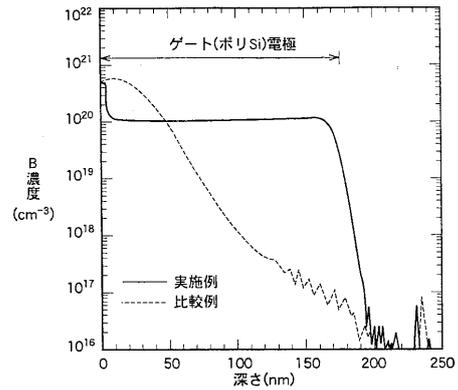
【 図 3 】



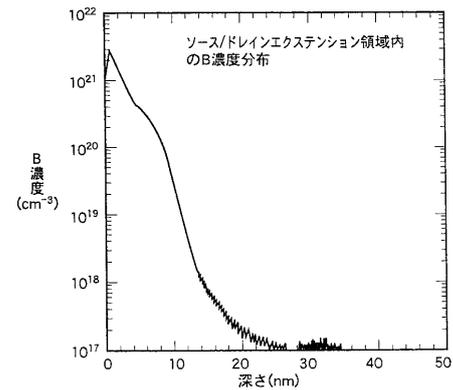
【 図 4 】



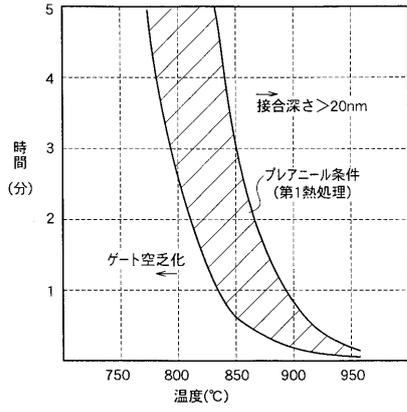
【 図 5 】



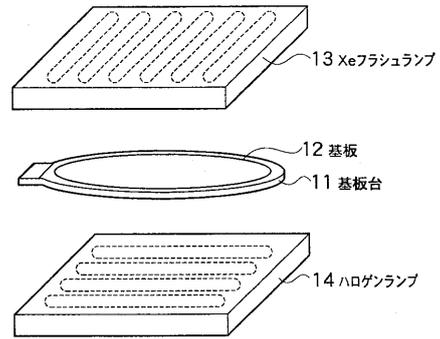
【 図 6 】



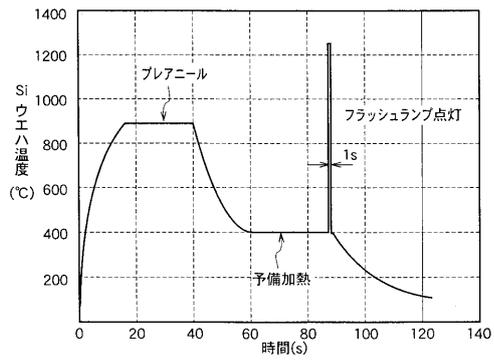
【 図 7 】



【 図 9 】



【 図 8 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H O 1 L 21/26 G

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 伊藤 貴之

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 須黒 恭一

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F140 AA00 AA01 AA13 AC01 BA01 BF01 BF04 BF11 BF18 BG09
BG12 BG14 BG30 BG34 BG37 BG43 BG44 BG52 BG53 BG56
BH14 BH15 BJ01 BJ08 BK02 BK13 BK21 BK29 BK34 CB04
CC03 CC12 CE10 CE18 CF04 CF07