(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월12일
(11) 등록번호 10-2122464
(24) 등록일자 2020년06월08일

(51) 국제특허분류(Int. Cl.)
G11C 11/406 (2006.01) *G11C 11/401* (2006.01)
(21) 출원번호 10-2013-0147753
(22) 출원일자 2013년11월29일
심사청구일자 2018년07월10일
(65) 공개번호 10-2015-0062766
(43) 공개일자 2015년06월08일
(56) 선행기술조사문헌
US20070189096 A1

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김병철
경기 수원시 영통구 봉영로1517번길 30, 605동 1601호 (영통동, 신나무실6단지아파트)
김양기
서울 서초구 서초대로65길 13-10, 113동 1004호 (서초동, 서초래미안아파트)
전성환
경기 수원시 영통구 청명남로4번길 13-11, 101호 (영통동)
(74) 대리인
리앤목특허법인

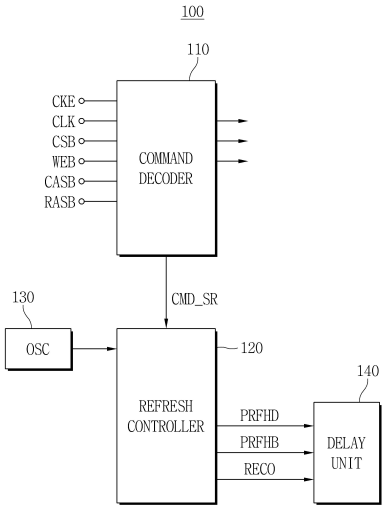
전체 청구항 수 : 총 10 항 심사관 : 손윤식

(54) 발명의 명칭 **셀프 리프레쉬 정보를 이용하여 부 바이어스 온도 불안정 현상을 방지하는 방법**

(57) 요 약

부 바이어스 온도 불안정(NBTI) 현상을 방지할 수 있는 반도체 메모리 장치가 개시된다. 반도체 메모리 장치는 셀프 리프레쉬 커맨드를 발생하는 커맨드 디코더, 발진 신호를 발생하는 오실레이터, 상기 셀프 리프레쉬 커맨드 및 발진 신호에 기초하여 리프레쉬 제어신호와 회복신호를 발생하는 리프레쉬 컨트롤러, 및 리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들이 리프레쉬 제어신호 및 상기 회복 신호에 응답하여 천이하는 지연 유닛을 포함한다. 따라서, 반도체 메모리 장치는 동작 속도가 빨라지고 성능이 향상된다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

셀프 리프레쉬 커맨드를 발생하는 커맨드 디코더;

발진 신호를 발생하는 오실레이터;

상기 셀프 리프레쉬 커맨드 및 상기 발진 신호에 기초하여 리프레쉬 제어신호와 회복신호를 발생하는 리프레쉬 컨트롤러; 및

리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들이 상기 리프레쉬 제어신호 및 상기 회복 신호에 응답하여 천이하는 지연 유닛을 포함하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

리프레쉬 구간 동안 천이 하지 않는 상기 리프레쉬 제어신호에 기초하여 상기 지연 유닛을 구성하는 PMOS 트랜지스터들의 부 바이어스 온도 불안정(Negative Bias Temperature Instability; NBTI) 현상의 발생을 방지하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 리프레쉬 제어신호 및 상기 회복 신호는 셀프 리프레쉬 모드에서 발생되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 1 항에 있어서, 상기 지연 유닛은

상기 리프레쉬 제어신호 및 상기 회복 신호에 응답하여 천이하는 노드들을 갖는 복수의 지연부(delay segment)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서, 상기 복수의 지연부 각각은

리프레쉬 주기 동안 내부 노드들 중 하나의 노드를 접지 전압에 전기적으로 연결하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제 4 항에 있어서, 상기 복수의 지연부 각각은

리프레쉬 주기 동안 내부 노드들 중 입력 단자에 가까이 위치한 노드를 접지 전압에 전기적으로 연결하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제 4 항에 있어서, 상기 복수의 지연부 각각은

서로 체인 형태로 연결된 복수의 인버터들;

전원 전압과 상기 인버터들 각각에 연결되고 제 1 리프레쉬 제어신호에 응답하여 스위치 동작을 하는 복수의 PMOS 트랜지스터들;

접지 전압과 상기 인버터들 각각에 연결되고 제 2 리프레쉬 제어신호에 응답하여 스위치 동작을 하는 복수의

NMOS 트랜지스터들; 및

상기 회복 신호에 응답하여 상기 인버터들 사이의 노드들 중 일부 노드를 천이시키는 제 1 스위치를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

셀프 리프레쉬 커맨드를 발생하는 커맨드 디코더;

발진 신호를 발생하는 오실레이터;

상기 셀프 리프레쉬 커맨드 및 상기 발진 신호에 기초하여 리프레쉬 제어신호를 발생하는 리프레쉬 컨트롤러; 및

리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들이 상기 리프레쉬 제어신호에 기초하여 천이하는 지연 유닛을 포함하는 반도체 메모리 장치.

청구항 9

제 8 항에 있어서, 상기 지연 유닛은

리프레쉬 주기 동안 상기 리프레쉬 제어신호에 응답하여 파워 게이팅을 수행하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제 8 항에 있어서, 상기 지연 유닛은

상기 리프레쉬 제어신호에 응답하여 천이하는 노드들을 갖는 복수의 지연부(delay segment)를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 NBTI 현상을 방지할 수있는 반도체 메모리 장치에 관한 것이다.

배 경 기 술

[0002] DRAM(Dynamic Random Access Memory) 등의 반도체 메모리 장치는 반도체 메모리 장치를 구성하는 PMOS 트랜지스터들의 게이트에 고 전계(high electric field)가 장시간 인가되면, 반도체 메모리 장치에서 사용하는 부 바이어스(negative bias)가 온도의 변화에 따라 불안정하게 된다. 이것을 NBTI(negative bias temperature instability) 현상이라고 한다. NBTI 현상이 발생하면 PMOS 트랜지스터의 문턱전압(threshold voltage)이 증가하며 반도체 메모리 장치의 성능이 저하될 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 부 바이어스 온도 불안정(NBTI) 현상을 방지할 수 있는 반도체 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 반도체 메모리 장치는 셀프 리프레쉬 커맨드를 발생하는 커맨드 디코더, 발진 신호를 발생하는 오실레이터, 상기 셀프 리프레쉬 커맨드 및 상기 발진 신호에 기초하여 리프레쉬 제어신호와 회복신호를 발생하는 리프레쉬 컨트롤러, 및 리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들이 상기 리프레쉬 제어신호 및 상기 회복 신호에 응답하여 천이하는 지연 유닛을 포함할 수 있다.

[0005] 본 발명의 하나의 실시예에 의하면, 상기 반도체 메모리 장치는 리프레쉬 구간 동안 천이 하지 않는 상기 리프레쉬 제어신호에 기초하여 상기 지연 유닛을 구성하는 PMOS 트랜지스터들의 부 바이어스 온도 불안정(Negative Bias Temperature Instability; NBTI) 현상의 발생을 방지할 수 있다.

[0006] 본 발명의 하나의 실시예에 의하면, 상기 리프레쉬 제어신호 및 상기 회복 신호는 셀프 리프레쉬 모드에서 발생될 수 있다.

[0007] 본 발명의 하나의 실시예에 의하면, 상기 지연 유닛은 상기 리프레쉬 제어신호 및 상기 회복 신호에 응답하여 천이하는 노드들을 갖는 복수의 지연부(delay segment)를 포함할 수 있다.

[0008] 본 발명의 하나의 실시예에 의하면, 상기 복수의 지연부 각각은 리프레쉬 주기 동안 내부 노드들 중 하나의 노드를 접지 전압에 전기적으로 연결할 수 있다.

[0009] 본 발명의 하나의 실시예에 의하면, 상기 복수의 지연부 각각은 리프레쉬 주기 동안 내부 노드들 중 입력 단자에 가까이 위치한 노드를 접지 전압에 전기적으로 연결할 수 있다.

[0010] 본 발명의 하나의 실시예에 의하면, 상기 복수의 지연부 각각은 서로 체인 형태로 연결된 복수의 인버터들, 전원 전압과 상기 인버터들 각각에 연결되고 제 1 리프레쉬 제어신호에 응답하여 스위치 동작을 하는 복수의 PMOS 트랜지스터들, 접지 전압과 상기 인버터들 각각에 연결되고 제 2 리프레쉬 제어신호에 응답하여 스위치 동작을 하는 복수의 NMOS 트랜지스터들, 및 상기 회복 신호에 응답하여 상기 인버터들 사이의 노드들 중 일부 노드를 천이시키는 제 1 스위치를 포함할 수 있다.

[0011] 본 발명의 하나의 실시예에 의하면, 상기 제 1 스위치는 상기 인버터들 사이의 노드들 중 제 1 노드와 상기 접지 전압 사이에 연결되고 상기 회복 신호에 응답하여 스위치 동작하는 NMOS 트랜지스터를 포함할 수 있다.

[0012] 본 발명의 하나의 실시예에 의하면, 상기 제 1 리프레쉬 제어신호와 상기 제 2 리프레쉬 제어신호는 서로 반대의 위상을 가질 수 있다.

[0013] 본 발명의 하나의 실시예에 의하면, 상기 회복 신호는 상기 제 1 리프레쉬 제어신호와 동일한 위상을 가질 수 있다.

[0014] 본 발명의 다른 하나의 실시형태에 따른 반도체 메모리 장치는 셀프 리프레쉬 커맨드를 발생하는 커맨드 디코더, 발진 신호를 발생하는 오실레이터, 상기 셀프 리프레쉬 커맨드 및 상기 발진 신호에 기초하여 리프레쉬 제어신호를 발생하는 리프레쉬 컨트롤러, 및 리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들이 상기 리프레쉬 제어신호에 기초하여 천이하는 지연 유닛을 포함할 수 있다.

[0015] 본 발명의 하나의 실시예에 의하면, 상기 지연 유닛은 리프레쉬 주기 동안 상기 리프레쉬 제어신호에 응답하여 파워 게이팅을 수행할 수 있다.

[0016] 본 발명의 하나의 실시예에 의하면, 상기 지연 유닛은 상기 리프레쉬 제어신호에 응답하여 천이하는 노드들을 갖는 복수의 지연부(delay segment)를 포함할 수 있다.

[0017] 본 발명의 하나의 실시예에 의하면, 상기 복수의 지연부 각각은 서로 체인 형태로 연결된 복수의 인버터들, 전원 전압과 상기 인버터들 각각에 연결되고 제 1 리프레쉬 제어신호에 응답하여 스위치 동작을 하는 복수의 PMOS 트랜지스터들,

[0018] 접지 전압과 상기 인버터들 각각에 연결되고 제 2 리프레쉬 제어신호에 응답하여 스위치 동작을 하는 복수의 NMOS 트랜지스터들, 및 상기 제 1 리프레쉬 제어신호에 응답하여 상기 인버터들 사이의 노드들 중 일부 노드를 천이시키는 제 1 스위치를 포함할 수 있다.

[0019] 본 발명의 하나의 실시예에 의하면, 상기 제 1 스위치는 상기 인버터들 사이의 노드들 중 제 1 노드와 상기 접지 전압 사이에 연결되고 상기 제 1 리프레쉬 제어신호에 응답하여 스위치 동작하는 NMOS 트랜지스터를 포함할 수 있다.

발명의 효과

[0020] 본 발명의 실시예들에 따른 반도체 메모리 장치는 리프레쉬 모드에서 셀프 리프레쉬 정보를 사용하여 NBTI 현상이 발생할 수 있는 조건을 제거함으로써, NBTI 현상을 방지할 수 있다. 따라서, 반도체 메모리 장치는 동작 속도가 빨라지고 성능이 향상될 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 하나의 실시 예에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 2는 도 1의 반도체 메모리 장치에 포함된 지연 유닛의 하나의 예를 나타내는 블록도이다.

도 3은 도 1의 반도체 메모리 장치에서 회복 신호, 입력신호 및 출력신호의 관계를 나타내는 타이밍도이다.

도 4는 도 1의 반도체 메모리 장치에서 회복 신호, 제 1 리프레쉬 제어신호 및 제 2 리프레쉬 제어신호의 관계를 나타내는 타이밍도이다.

도 5는 도 2의 지연 유닛에 포함된 지연부(delay segment)의 하나의 예를 나타내는 회로도이다.

도 6은 도 1의 반도체 메모리 장치에 포함된 지연 유닛의 다른 하나의 예를 나타내는 블록도이다.

도 7은 도 6의 지연 유닛에 포함된 지연부(delay segment)의 하나의 예를 나타내는 회로도이다.

도 8은 본 발명의 다른 하나의 실시 예에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 9는 본 발명의 실시예들에 따른 반도체 메모리 장치를 포함하는 메모리 시스템의 하나의 예를 나타내는 도면이다.

도 10은 본 발명의 실시예에 따른 반도체 메모리 장치를 포함하는 적층 반도체 장치의 하나를 나타내는 간략화된 투시도이다.

도 11은 본 발명의 실시예에 따른 반도체 메모리 장치를 포함하는 메모리 시스템의 다른 하나의 예를 나타내는 블록도이다.

도 12는 본 발명의 실시예에 따른 반도체 메모리 장치를 포함하는 전자 시스템의 하나의 예를 나타내는 블록도이다.

도 13은 본 발명의 하나의 실시예에 따른 반도체 메모리 장치의 NBTI 감소 방법을 나타내는 흐름도이다.

도 14는 본 발명의 다른 하나의 실시예에 따른 반도체 메모리 장치의 NBTI 감소 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0024] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0025] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0026] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 개시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는

이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0028] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.

[0029] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[0030] 도 1은 본 발명의 하나의 실시 예에 따른 반도체 메모리 장치(100)를 나타내는 블록도이다.

[0031] 도 1을 참조하면, 반도체 메모리 장치(100)는 커맨드 디코더(110), 리프레쉬 컨트롤러(120), 오실레이터(130), 및 지연 유닛(140)을 포함할 수 있다. 또한, 반도체 메모리 장치(100)는 로우 디코더, 칼럼 디코더 및 메모리 셀 어레이를 포함할 수 있다(미도시).

[0032] 커맨드 디코더(110)는 외부로부터 클럭 인에이블 신호(CKE), 클럭신호(CLK), 칩 선택신호(CSB), 라이트 인에이블 신호(write enable signal)(WEB), 칼럼 어드레스 스트로브 신호(column address strobe signal)(CASB) 및 로우 어드레스 스트로브 신호(row address strobe signal)(RASB)를 수신한다. 커맨드 디코더(110)는 라이트 인에이블 신호(WEB), 칼럼 어드레스 스트로브 신호 (CASB) 및 로우 어드레스 스트로브 신호(RASB)를 이용하여 반도체 메모리 장치(100)의 동작에 필요한 여러 가지 커맨드(command) 및 제어신호들을 발생한다.

[0033] 오실레이터(130)는 발진 신호를 발생한다. 리프레쉬 컨트롤러(120)는 커맨드 디코더(110)로부터 셀프 리프레쉬 커맨드(CMD_SR)를 수신하고, 오실레이터(130)로부터 발진 신호를 수신한다. 리프레쉬 컨트롤러(120)는 셀프 리프레쉬 커맨드(CMD_SR) 및 발진 신호에 기초하여 리프레쉬 제어신호(PRFHD, PRFHB)와 회복신호(RECO)를 발생한다. 또한, 리프레쉬 컨트롤러(120)는 리프레쉬 주기 동안 메모리 셀 어레이를 제어하기 위한 셀프 리프레쉬 액티브 커맨드 및 셀프 리프레쉬 어드레스를 발생할 수 있다(미도시). 지연 유닛(140)은 리프레쉬 구간 동안 천이(transition) 하지 않는 지연 유닛(140)의 내부 노드들을 리프레쉬 제어신호(PRFHD, PRFHB) 및 회복 신호(RECO)에 응답하여 천이한다.

[0034] 반도체 메모리 장치(100)는 리프레쉬 구간 동안 천이 하지 않는 상기 리프레쉬 제어신호에 기초하여 지연 유닛(140)을 구성하는 PMOS 트랜지스터들의 부 바이어스 온도 불안정(Negative Bias Temperature Instability; NBTI) 현상의 발생을 방지할 수 있다.

[0035] 실시예에 의하면, 리프레쉬 제어신호(PRFHD, PRFHB) 및 회복 신호(RECO)는 셀프 리프레쉬 모드에서 발생될 수 있다.

[0036] 도 1에 도시된 반도체 메모리 장치(100)는 디램(dynamic random access memory; DRAM), 및 에스램(static random access memory; SRAM)과 같은 휘발성 메모리 칩, 플래시메모리(flash memory), 상변화메모리(phase change memory), 엠램(magnetic random access memory; MRAM), 또는 알램(resistive random access memory; RRAM)과 같은 비휘발성 메모리 칩, 또는 이들의 조합을 구비할 수 있다.

[0037] 도 2는 도 1의 반도체 메모리 장치(100)에 포함된 지연 유닛(140)의 하나의 예를 나타내는 블록도이다.

[0038] 도 2를 참조하면, 지연 유닛(140)은 버퍼 회로(141), 및 리프레쉬 제어신호(PRFHD, PRFHB) 및 회복 신호(RECO)에 응답하여 천이하는 노드들을 갖는 복수의 지연부(delay segment)(142, 143, 144, 145)를 포함할 수 있다. 버퍼 회로(141)는 제 1 입력신호(IN)를 수신하여 버퍼링하고 제 2 입력신호(MIN)를 발생한다. 지연부들(142, 143, 144, 145) 각각은 제 2 입력신호(MIN)를 지연하고 출력신호들(OUT1, OUT2, OUT3, OUT4)를 발생한다. 지연부들(142, 143, 144, 145) 각각은 리프레쉬 주기 동안 내부 노드들 중 하나의 노드를 접지 전압에 전기적으로 연결할 수 있다. 지연부들(142, 143, 144, 145) 각각은 리프레쉬 주기 동안 내부 노드들 중 입력 단자에 가까이 위치한 노드를 접지 전압에 전기적으로 연결할 수 있다.

[0039] 도 3은 도 1의 반도체 메모리 장치에서 회복 신호, 입력신호 및 출력신호의 관계를 나타내는 타이밍도이고, 도 4는 도 1의 반도체 메모리 장치에서 회복 신호, 제 1 리프레쉬 제어신호 및 제 2 리프레쉬 제어신호의 관계를

나타내는 타이밍도이다.

[0040] 도 3을 참조하면, 클럭 인에이블 신호(CKE)가 로직 로우 상태를 유지할 동안,반도체 메모리 장치(100)는 리프레쉬 동작을 수행할 수 있다. 회복 신호(RECO)는 리프레쉬 정보에 기초하여 발생된 신호로서, 클럭 인에이블 신호(CKE)가 로직 로우 상태일 때 주기적으로 발생된다. 반도체 메모리 장치(100)는 리프레쉬 모드에서 회복 신호(RECO)에 응답하여 지연부(140)의 내부 노드들 중 적어도 하나의 노드를 접지 전압에 전기적으로 연결함으로써 지연부(140)에 포함된 인버터들을 구성하는 PMOS 트랜지스터들의 게이트에 높은 전계가 장시간 동안 인가되는 것을 방지할 수 있다. 따라서, 반도체 메모리 장치(100)는 PMOS 트랜지스터들의 부 바이어스 온도 불안정(Negative Bias Temperature Instability; NBTI) 현상의 발생을 방지할 수 있다. 종래의 반도체 장치는 NBTI 현상의 영향을 받아서 출력전압(OUT1(CONVEN.))이 입력전압(VIN)을 따라가지 못하고 펄스 폭이 길어지고 있음을 알 수 있다.

[0041] 도 4를 참조하면, 제 2 리프레쉬 제어신호(PRFHB)는 제 1 리프레쉬 제어신호(PRFHD)와 반대의 위상을 가질 수 있고, 회복 신호(RECO)는 제 1 리프레쉬 제어신호(PRFHD)와 반대의 위상을 가질 수 있다.

[0042] 도 5는 도 2의 지연 유닛에 포함된 지연부(delay segment)(142)의 하나의 예를 나타내는 회로도이다.

[0043] 도 5를 참조하면, 지연부(142)는 서로 체인 형태로 연결된 복수의 인버터들, 전원 전압(VDD)과 상기 인버터들 각각에 연결되고 제 1 리프레쉬 제어신호(PRFHD)에 응답하여 스위치 동작을 하는 복수의 PMOS 트랜지스터들(MP1, MP2, MP3, MP4), 접지 전압과 상기 인버터들 각각에 연결되고 제 2 리프레쉬 제어신호(PRFHB)에 응답하여 스위치 동작을 하는 복수의 NMOS 트랜지스터들(MN5, MN6, MN7), 및 회복 신호(RECO)에 응답하여 상기 인버터들 사이의 노드들 중 일부 노드를 천이시키는 제 1 스위치를 포함할 수 있다. 제 1 인버터는 PMOS 트랜지스터(MP5)와 NMOS 트랜지스터(MN1)를 포함하고, 제 2 인버터는 PMOS 트랜지스터(MP6)와 NMOS 트랜지스터(MN2)를 포함하고, 제 3 인버터는 PMOS 트랜지스터(MP7)와 NMOS 트랜지스터(MN3)를 포함하고, 제 4 인버터는 PMOS 트랜지스터(MP8)와 NMOS 트랜지스터(MN4)를 포함한다. 제 1 인버터에 입력신호(MIN)가 인가되고, 제 4 인버터에서 출력신호(OUT1)가 출력된다.

[0044] 도 5의 예에서, 제 1 스위치의 예로서, 회복 신호(RECO)에 응답하여 제 1 노드(N1)를 접지전압에 전기적으로 연결하는 NMOS 트랜지스터(MN8)이 도시되어 있다. 지연부(142)는 리프레쉬 주기 동안 전원전압에 연결된 PMOS 트랜지스터들(MP1, MP2, MP3, MP4)과 접지전압에 연결된 NMOS 트랜지스터들(MN5, MN6, MN7)이 비활성화된다. 즉, 지연부(142)는 파워 게이팅 동작을 할 수 있다.

[0045] 지연부(142)는 리프레쉬 주기 동안 전원전압에 연결된 PMOS 트랜지스터들(MP1, MP2, MP3, MP4)과 접지전압에 연결된 NMOS 트랜지스터들(MN5, MN6, MN7)이 비활성화되면, 지연부(142)의 내부 노드들이 고 임피던스 상태가 되며, 불안정해질 수 있다. 지연부(142)는 리프레쉬 주기 동안 회복 신호(RECO)에 응답하여 NMOS 트랜지스터(MN8)를 턴온시킴으로써 제 1 노드(N1)를 전기적으로 접지에 연결한다. 따라서, 제 2 인버터의 PMOS 트랜지스터(MP6)의 게이트가 전기적으로 접지전압에 연결되며, NBTI 현상이 발생하는 것을 막을 수 있다.

[0046] 도 6은 도 1의 반도체 메모리 장치(100)에 포함된 지연 유닛의 다른 하나의 예를 나타내는 블록도이다.

[0047] 도 6을 참조하면, 지연 유닛(140a)은 버퍼 회로(141), 및 리프레쉬 제어신호(PRFHD, PRFHB) 및 회복 신호(RECO)에 응답하여 천이하는 노드들을 갖는 복수의 지연부(delay segment)(142a, 143a, 144a, 145a)를 포함할 수 있다. 버퍼 회로(141)는 제 1 입력신호(IN)를 수신하여 버퍼링하고 제 2 입력신호(MIN)를 발생한다. 지연부들(142a, 143a, 144a, 145a) 각각은 제 2 입력신호(MIN)를 지연하고 출력신호들(OUT1, OUT2, OUT3, OUT4)를 발생한다. 지연부들(142a, 143a, 144a, 145a) 각각은 리프레쉬 주기 동안 내부 노드들 중 하나의 노드를 접지 전압에 전기적으로 연결할 수 있다. 지연부들(142a, 143a, 144a, 145a) 각각은 리프레쉬 주기 동안 내부 노드들 중 입력 단자에 가까이 위치한 노드를 접지 전압에 전기적으로 연결할 수 있다.

[0048] 도 7은 도 6의 지연 유닛(140)에 포함된 지연부(delay segment)의 하나의 예를 나타내는 회로도이다.

[0049] 도 7를 참조하면, 지연부(142a)는 서로 체인 형태로 연결된 복수의 인버터들, 전원 전압(VDD)과 상기 인버터들 각각에 연결되고 제 1 리프레쉬 제어신호(PRFHD)에 응답하여 스위치 동작을 하는 복수의 PMOS 트랜지스터들(MP1, MP2, MP3, MP4), 접지 전압과 상기 인버터들 각각에 연결되고 제 2 리프레쉬 제어신호(PRFHB)에 응답하여 스위치 동작을 하는 복수의 NMOS 트랜지스터들(MN5, MN6, MN7), 및 제 1 리프레쉬 제어신호(PRFHD)에 응답하여 상기 인버터들 사이의 노드들 중 일부 노드를 천이시키는 제 1 스위치를 포함할 수 있다. 제 1 인버터는 PMOS 트랜지스터(MP5)와 NMOS 트랜지스터(MN1)를 포함하고, 제 2 인버터는 PMOS 트랜지스터(MP6)와 NMOS 트랜지스터(MN2)를 포함하고, 제 3 인버터는 PMOS 트랜지스터(MP7)와 NMOS 트랜지스터(MN3)를 포함하고, 제 4 인버터는

PMOS 트랜지스터(MP8)와 NMOS 트랜지스터(MN4)를 포함한다. 제 1 인버터에 입력신호(MIN)가 인가되고, 제 4 인버터에서 출력신호(OUT1)가 출력된다.

[0050] 도 7의 예에서, 제 1 스위치의 예로서, 제 1 리프레쉬 제어신호(PRFHD)에 응답하여 제 1 노드(N1)를 접지전압에 전기적으로 연결하는 NMOS 트랜지스터(MN8)이 도시되어 있다. 지연부(142a)는 리프레쉬 주기 동안 전원전압에 연결된 PMOS 트랜지스터들(MP1, MP2, MP3, MP4)과 접지전압에 연결된 NMOS 트랜지스터들(MN5, MN6, MN7)이 비활성화된다. 즉, 지연부(142a)는 파워 게이팅 동작을 할 수 있다.

[0051] 지연부(142a)는 리프레쉬 주기 동안 전원전압에 연결된 PMOS 트랜지스터들(MP1, MP2, MP3, MP4)과 접지전압에 연결된 NMOS 트랜지스터들(MN5, MN6, MN7)이 비활성화되면, 지연부(142a)의 내부 노드들이 고 임피던스 상태가 되며, 불안정해질 수 있다. 지연부(142a)는 리프레쉬 주기 동안 제 1 리프레쉬 제어신호(PRFHD)에 응답하여 NMOS 트랜지스터(MN8)를 턴온시킴으로써 제 1 노드(N1)를 전기적으로 접지에 연결한다. 따라서, 제 2 인버터의 PMOS 트랜지스터(MP6)의 게이트가 전기적으로 접지전압에 연결되며, NBTI 현상이 발생하는 것을 막을 수 있다.

[0052] 도 8은 본 발명의 다른 하나의 실시 예에 따른 반도체 메모리 장치(100a)를 나타내는 블록도이다.

[0053] 도 8을 참조하면, 반도체 메모리 장치(100a)는 커맨드 디코더(110), 리프레쉬 컨트롤러(120), 오실레이터(130), 및 로직 유닛(150)을 포함할 수 있다.

[0054] 커맨드 디코더(110)는 도 1을 참조하여 설명한 바와 같이, 라이트 인에이블 신호(WEB), 칼럼 어드레스 스트로브 신호 (CASB) 및 로우 어드레스 스트로브 신호(RASB)를 이용하여 반도체 메모리 장치(100)의 동작에 필요한 여러 가지 커맨드(command) 및 제어신호들을 발생한다.

[0055] 오실레이터(130)는 발진 신호를 발생한다. 리프레쉬 컨트롤러(120)는 커맨드 디코더(110)로부터 셀프 리프레쉬 커맨드(CMD_SR)를 수신하고, 오실레이터(130)로부터 발진 신호를 수신한다. 리프레쉬 컨트롤러(120)는 셀프 리프레쉬 커맨드(CMD_SR) 및 발진 신호에 기초하여 리프레쉬 제어신호(PRFHD, PRFHB)와 회복신호(RECO)를 발생한다. 또한, 리프레쉬 컨트롤러(120)는 리프레쉬 주기 동안 메모리 셀 어레이를 제어하기 위한 셀프 리프레쉬 액티브 커맨드 및 셀프 리프레쉬 어드레스를 발생할 수 있다(미도시). 로직 유닛(150)은 리프레쉬 구간 동안 천이(transition) 하지 않는 로직 유닛(150)의 내부 노드들을 리프레쉬 제어신호(PRFHD, PRFHB) 및 회복 신호(RECO)에 응답하여 천이한다.

[0056] 로직 유닛(150)은 리프레쉬 구간 동안 천이 하지 않는 상기 리프레쉬 제어신호에 기초하여 지연 유닛(140)을 구성하는 PMOS 트랜지스터들의 부 바이어스 온도 불안정(Negative Bias Temperature Instability; NBTI) 현상의 발생을 방지할 수 있다.

[0057] 도 9는 본 발명의 실시예들에 따른 반도체 메모리 장치를 포함하는 메모리 시스템의 하나의 예를 나타내는 도면이다.

[0058] 도 9를 참조하면, 메모리 시스템(30)은 마더보드(31), 칩셋(또는 컨트롤러)(40), 슬롯들(35_1, 35_2), 메모리 모듈들(50, 60), 전송선들(33, 34)을 포함할 수 있다. 버스들(37, 39)은 칩셋(40)을 슬롯들(35_1, 35_2)에 연결한다. 터미널(terminal) 저항(Rtm)은 마더보드(31)의 PCB 위에 있는 버스들(37, 39) 각각을 종단(terminate)할 수 있다.

[0059] 도 9에는 편의상 2 개의 슬롯들(35_1, 35_2)과 2 개의 메모리 모듈들(50, 60)을 도시하였지만, 메모리 시스템(30)은 임의의 개수의 슬롯들과 메모리 모듈들을 포함할 수 있다.

[0060] 칩셋(40)은 마더보드(31)의 PCB 상에 장착될 수 있으며, 메모리 시스템(30)의 동작을 제어할 수 있다. 칩셋(40)은 커넥터들(connectors)(41_1, 41_2)과 컨버터들(43_1, 43_2)를 포함할 수 있다.

[0061] 컨버터(43_1)은 칩셋(40)에서 발생된 병렬 데이터를 수신하고, 이 병렬 데이터를 직렬 데이터로 변환하여 커넥터(41-1)을 통해 전송선(33)에 출력한다. 컨버터(43_1)은 전송선(33)을 통해 직렬 데이터를 수신하고, 이 직렬 데이터를 병렬 데이터로 변환하여 칩셋(40)에 출력한다.

[0062] 컨버터(43_2)은 칩셋(40)에서 발생된 병렬 데이터를 수신하고, 이 병렬 데이터를 직렬 데이터로 변환하여 커넥터(41-2)을 통해 전송선(34)에 출력한다. 컨버터(43_2)은 전송선(34)을 통해 직렬 데이터를 수신하고, 이 직렬 데이터를 병렬 데이터로 변환하여 칩셋(40)에 출력한다. 메모리 시스템(30)에 포함된 전송선들(33, 34)은 복수의 광 섬유(optical fiber)일 수 있다.

[0063] 메모리 모듈(50)은 복수의 메모리 장치들(55_1 ~ 55_n), 제 1 커넥터(57), 제 2 커넥터(51) 및 컨버터들(53)을

포함할 수 있다. 메모리 모듈(60)은 복수의 메모리 장치들(65_1 ~ 65_n), 제 1 커넥터(57'), 제 2 커넥터(51') 및 컨버터들(53')을 포함할 수 있다.

[0064] 제 1 커넥터(57)는 칩 셋으로부터 수신한 저속 신호를 메모리 장치들에 전달하고, 제 2 커넥터(51)는 고속 신호를 전송하기 위한 전송선(33)에 연결될 수 있다.

[0065] 컨버터(53)는 제 2 커넥터(51)를 통해 직렬 데이터를 수신하고, 이 직렬 데이터를 병렬 데이터로 변환하여 복수의 메모리 장치들(55_1 ~ 55_n)에 출력한다. 또한, 컨버터(53)는 복수의 메모리 장치들(55_1 ~ 55_n)로부터 직렬 데이터를 수신하고, 이 직렬 데이터를 병렬 데이터로 변환하여 제 2 커넥터(51)에 출력한다.

[0066] 도 9에 포함된 복수의 메모리 장치들(55_1 ~ 55_n, 65_1 ~ 65_n)은 상기 본 발명의 실시예들에 따른 반도체 메모리 장치들을 포함할 수 있다. 따라서, 복수의 메모리 장치들(55_1 ~ 55_9)은 리프레쉬 모드에서 셀프 리프레쉬 정보를 사용하여 NBTI 현상을 막을 수 있다. 복수의 메모리 장치들(55_1 ~ 55_n, 65_1 ~ 65_n)은 디램(dynamic random access memory; DRAM), 및 에스램(static random access memory; SRAM)과 같은 휘발성 메모리 칩, 플래시메모리(flash memory), 상변화메모리(phase change memory), 엠램(magnetic random access memory; MRAM), 또는 알램(resistive random access memory; RRAM)과 같은 비휘발성 메모리 칩, 또는 이들의 조합을 구비할 수 있다.

[0067] 도 10은 본 발명의 실시예에 따른 반도체 메모리 장치(100)를 포함하는 적층 반도체 장치(250)의 하나를 나타내는 간략화된 투시도이다.

[0068] 도 10을 참조하면, 적층 반도체 장치(250)는 관통 전극(Through-Silicon Via)(256)에 의해 전기적으로 연결된 인터페이스 칩(251) 및 메모리 칩들(252, 253, 254, 255)을 포함한다. 도 11에는 두 개의 행으로 배치된 관통 전극(256)이 도시되어 있지만, 적층 반도체 장치(250)는 임의의 개수의 관통 전극들을 가질 수 있다.

[0069] 적층 반도체 장치(250)에 포함된 메모리 칩들(252, 253, 254, 255)은 상기 실시예들에 따른 리프레쉬 회로를 포함할 수 있다. 인터페이스 칩(251)은 메모리 칩들(252, 253, 254, 255)과 외부 장치 사이에서 인터페이스를 수행한다.

[0070] 도 11은 본 발명의 실시예에 따른 반도체 메모리 장치(100)를 포함하는 메모리 시스템(260)의 다른 하나의 예를 나타내는 블록도이다.

[0071] 도 11을 참조하면, 메모리 시스템(260)은 메모리 컨트롤러(261) 및 반도체 메모리 장치(262)를 포함한다.

[0072] 메모리 컨트롤러(261)는 어드레스 신호(ADD) 및 커맨드(CMD)를 발생시키고 버스들을 통해서 반도체 메모리 장치(262)에 제공한다. 데이터(DQ)는 버스를 통해서 메모리 컨트롤러(261)에서 반도체 메모리 장치(262)로 전송되거나, 버스를 통해서 반도체 메모리 장치(262)에서 메모리 컨트롤러(261)로 전송된다.

[0073] 반도체 메모리 장치(262)는 본 발명의 실시 예들에 따른 반도체 메모리 장치 를 포함할 수 있다.

[0074] 도 12는 본 발명의 실시예에 따른 반도체 메모리 장치(100)를 포함하는 전자 시스템(300)의 하나의 예를 나타내는 블록도이다.

[0075] 도 12를 참조하면, 본 발명의 실시 예에 따른 전자시스템(300)은 제어기(310), 입출력 장치(320), 기억 장치(330), 인터페이스(340), 및 버스(350)를 구비할 수 있다. 기억 장치(330)는 본 발명의 실시 예들에 따른 리프레쉬 회로를 포함하는 반도체 메모리 장치일 수 있다. 버스(350)는 제어기(310), 입출력 장치(320), 기억 장치(330), 및 인터페이스(340) 상호 간에 데이터들이 이동하는 통로를 제공하는 역할을 할 수 있다.

[0076] 제어기(310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러, 그리고 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 입출력 장치(320)는 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 기억 장치(330)는 데이터 및/또는 제어기(310)에 의해 실행되는 명령어 등을 저장하는 역할을 할 수 있다.

[0077] 기억 장치(330)는 디램(dynamic random access memory; DRAM), 및 에스램(static random access memory; SRAM)과 같은 휘발성 메모리 칩, 플래시 메모리(flash memory), 상변화 메모리(phase change memory), 엠램(magnetic random access memory; MRAM), 또는 알램(resistive random access memory; RRAM)과 같은 비휘발성 메모리 칩, 또는 이들의 조합을 구비할 수 있다. 기억 장치(3030)는 본 발명의 실시 예들에 따른 레이턴시 제어 회로를 포함하는 반도체 메모리 장치일 수 있다.

[0078] 인터페이스(340)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 역할을 할 수 있다. 인터페이스(340)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있고 유선 또는 무선으로 데이터를 송수신할 수 있다. 또한, 인터페이스(340)는 광섬유(optical fiber)를 포함할 수 있으며, 광섬유를 통해 데이터를 송수신할 수 있다. 전자 시스템(3000)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor:CIS), 그리고 입출력 장치 등이 더 제공될 수 있다.

[0079] 전자 시스템(300)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예컨대, 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 타블렛(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 그리고 정보 전송/수신 시스템 중 어느 하나일 수 있다. 전자 시스템(300)이 무선 통신을 수행할 수 있는 장비인 경우에, 전자 시스템(300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), NADC(North American Digital Cellular), E-TDMA(Enhanced-Time Division Multiple Access), WCDMA(Wideband Code Division Multiple Access), CDMA2000과 같은 통신 시스템에서 사용될 수 있다.

[0080] 도 13은 본 발명의 하나의 실시예에 따른 반도체 메모리 장치의 NBTI 감소 방법을 나타내는 흐름도이다.

[0081] 도 13을 참조하면, 반도체 메모리 장치의 NBTI 감소 방법은 다음의 동작들을 포함할 수 있다.

[0082] 1) 셀프 리프레쉬 커맨드를 발생한다(S1).

[0083] 2) 발진 신호를 발생한다(S2).

[0084] 3) 상기 셀프 리프레쉬 커맨드 및 상기 발진 신호에 기초하여 리프레쉬 제어신호 및 회복 신호를 발생한다(S3).

[0085] 4) 리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들을 상기 리프레쉬 제어신호 및 상기 회복 신호에 응답하여 천이시킨다(S4).

[0086] 도 14는 본 발명의 다른 하나의 실시예에 따른 반도체 메모리 장치의 NBTI 감소 방법을 나타내는 흐름도이다.

[0087] 도 14를 참조하면, 반도체 메모리 장치의 NBTI 감소 방법은 다음의 동작들을 포함할 수 있다.

[0088] 1) 셀프 리프레쉬 커맨드를 발생한다(S1).

[0089] 2) 발진 신호를 발생한다(S2).

[0090] 3) 상기 셀프 리프레쉬 커맨드 및 상기 발진 신호에 기초하여 리프레쉬 제어신호를 발생한다(S3a).

[0091] 4) 리프레쉬 구간 동안 천이(transition) 하지 않는 내부 노드들을 상기 리프레쉬 제어신호에 응답하여 천이시킨다(S4a).

산업상 이용가능성

[0092] 본 발명은 반도체 장치, 특히 반도체 메모리 장치 및 이를 포함하는 메모리 모듈 및 메모리 시스템에 적용이 가능하다.

[0093] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0094] 100: 반도체 메모리 장치

110: 커맨드 디코더

120: 리프레쉬 컨트롤러

130: 오실레이터

140, 140a: 지연 유닛

150: 로직 유닛

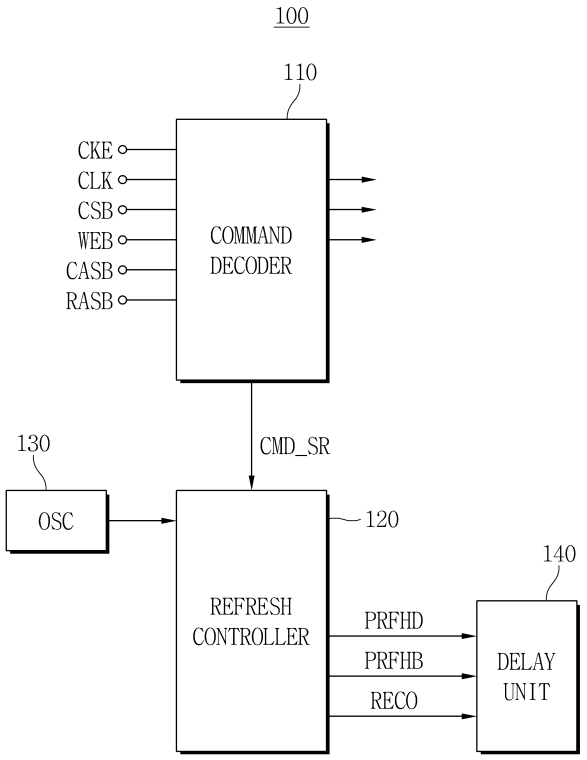
200, 260: 메모리 시스템

250: 적층 반도체 장치

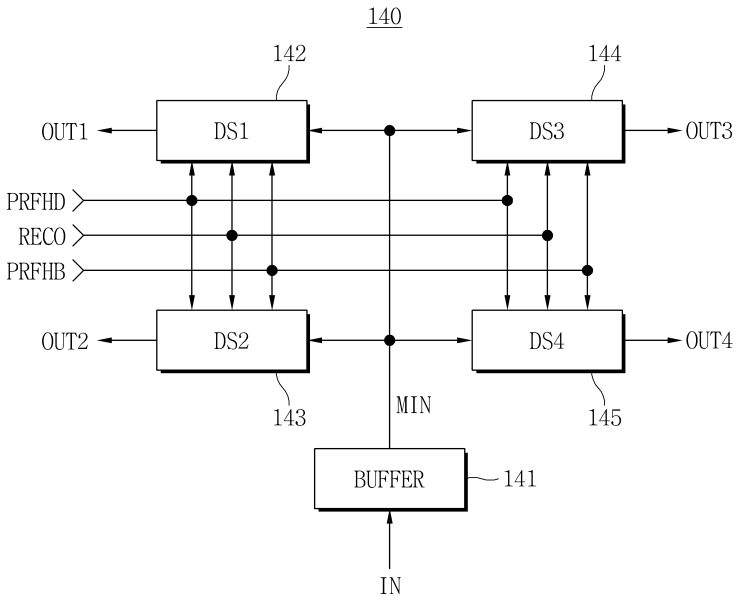
300: 전자 시스템

도면

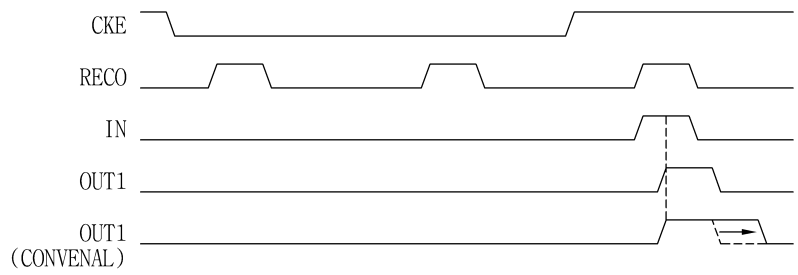
도면1



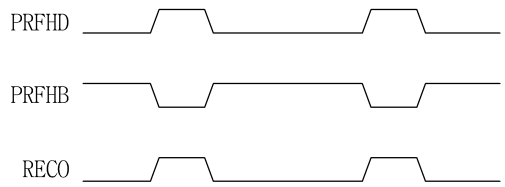
도면2



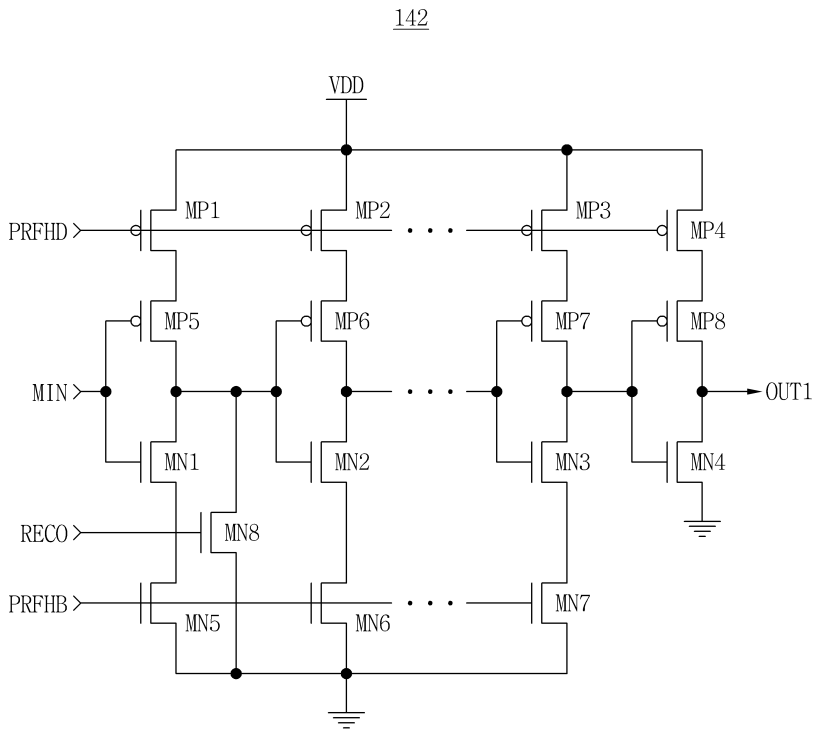
도면3


CKE
RECO
IN
OUT1
OUT1
(CONVENAL)

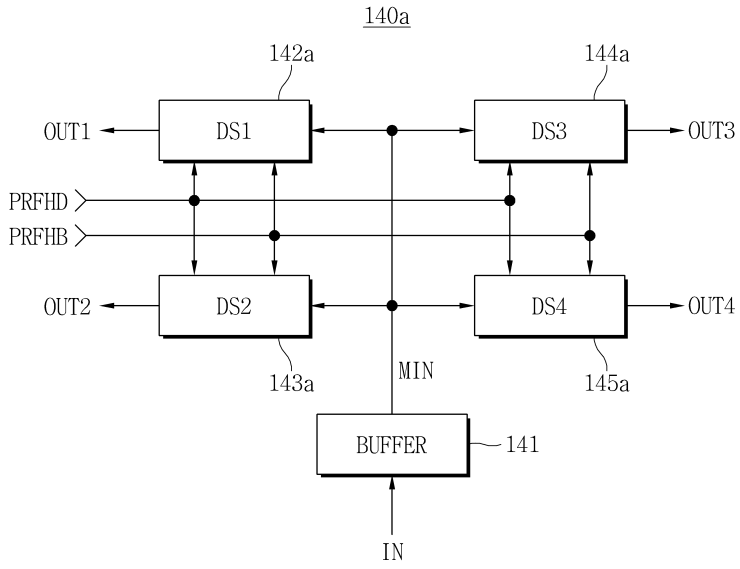
도면4


PRFHD
PRFHB
RECO

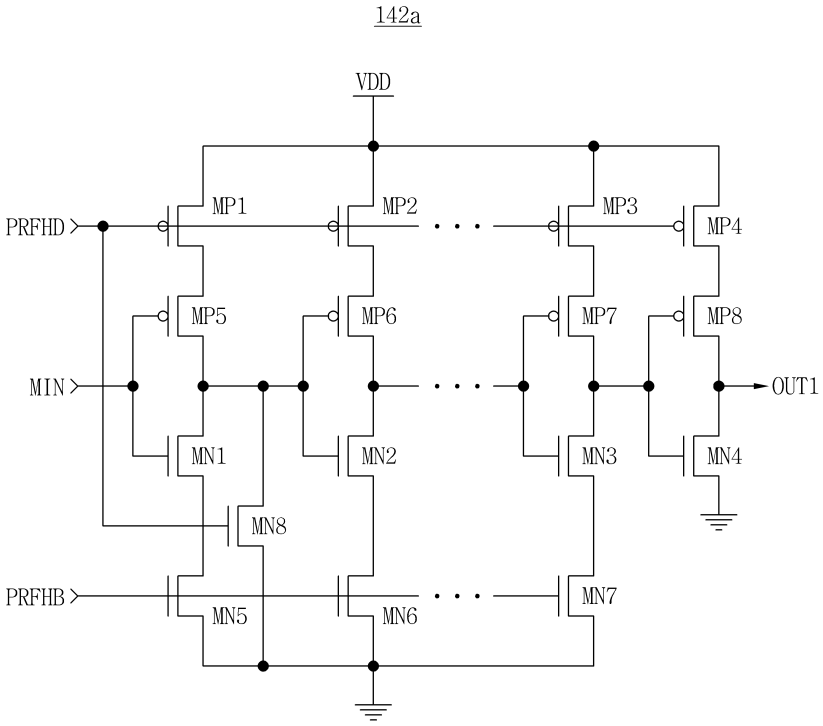
도면5


142
VDD
PRFHD
MP1
MP2
MP3
MP4
MP5
MP6
MP7
MP8
MIN
OUT1
MN1
MN2
MN3
MN4
RECO
MN8
PRFHB
MN5
MN6
MN7

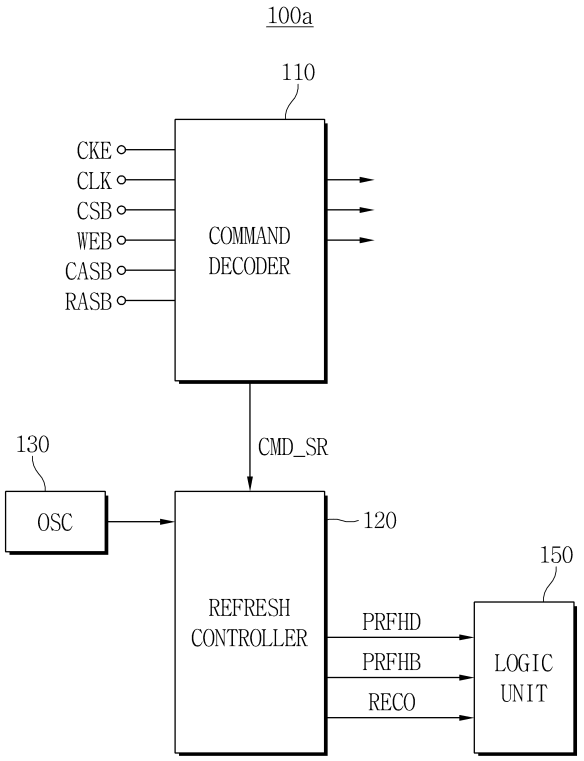
도면6


140a
142a
144a
OUT1
DS1
DS3
OUT3
PRFHD
PRFHB
OUT2
DS2
DS4
OUT4
143a
MIN
145a
BUFFER
141
IN

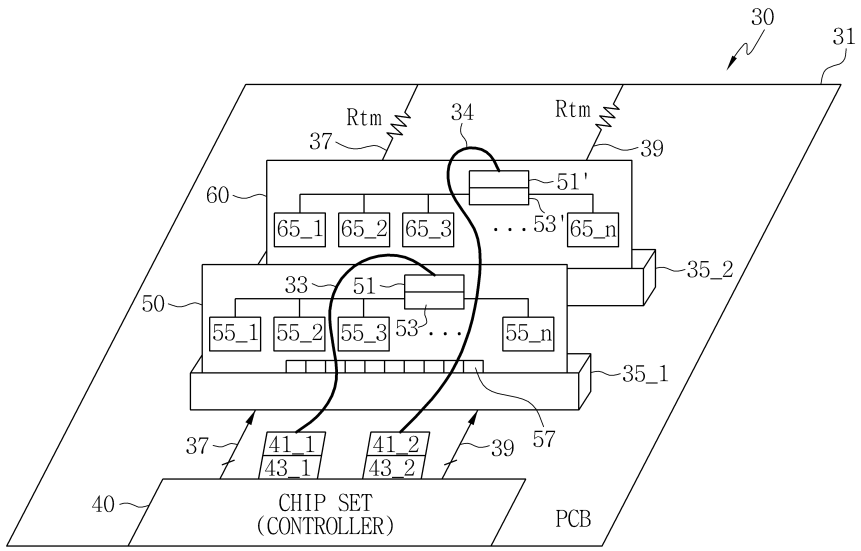
도면7


142a
VDD
PRFHD
MP1
MP2
MP3
MP4
MP5
MP6
MP7
MP8
MIN
OUT1
MN1
MN2
MN3
MN4
MN8
PRFHB
MN5
MN6
MN7

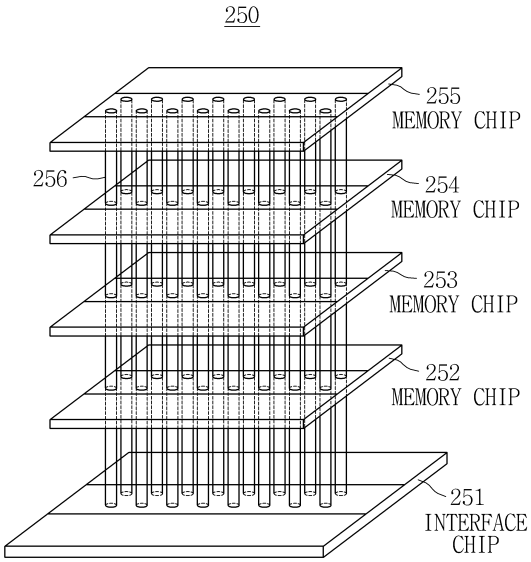
도면8


100a
110
CKE
CLK
CSB
WEB
CASB
RASB
COMMAND
DECODER
CMD_SR
130
OSC
120
REFRESH
CONTROLLER
150
PRFHD
PRFHB
RECO
LOGIC
UNIT

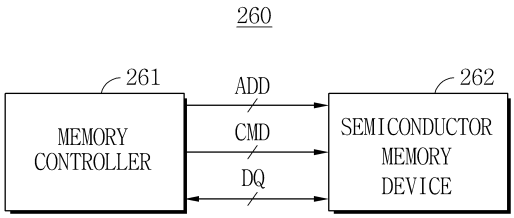
도면9


30
31
Rtm
34
Rtm
37
39
60
51'
65_1
65_2
65_3
53'
65_n
35_2
33
51
50
55_1
55_2
55_3
53
55_n
35_1
37
41_1
43_1
41_2
43_2
39
57
40
CHIP SET
(CONTROLLER)
PCB

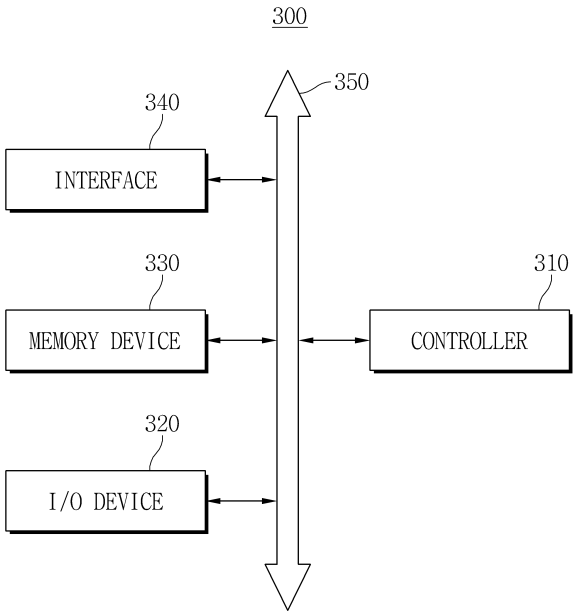
도면10



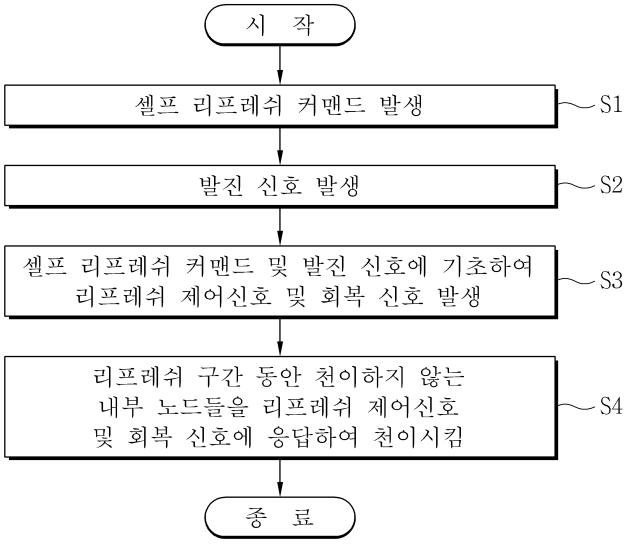
도면11



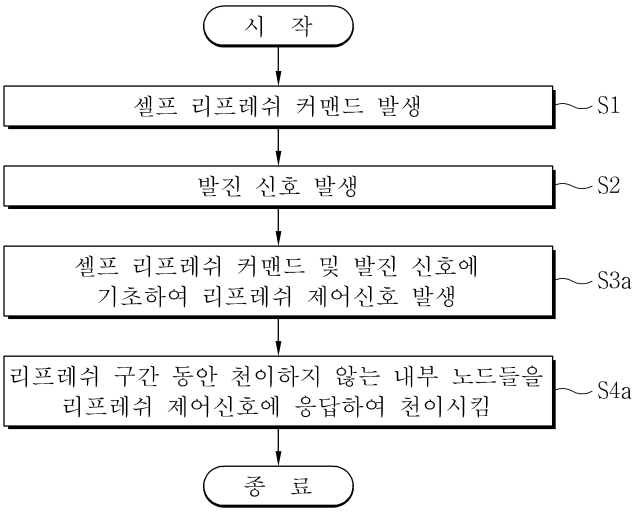
도면12



도면13


시 작
셀프 리프레쉬 커맨드 발생
S1
발진 신호 발생
S2
셀프 리프레쉬 커맨드 및 발진 신호에 기초하여
리프레쉬 제어신호 및 회복 신호 발생
S3
리프레쉬 구간 동안 천이하지 않는
내부 노드들을 리프레쉬 제어신호
및 회복 신호에 응답하여 천이시킴
S4
종 료

도면14


시 작
셀프 리프레쉬 커맨드 발생
S1
발진 신호 발생
S2
셀프 리프레쉬 커맨드 및 발진 신호에
기초하여 리프레쉬 제어신호 발생
S3a
리프레쉬 구간 동안 천이하지 않는 내부 노드들을
리프레쉬 제어신호에 응답하여 천이시킴
S4a
종 료