



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월27일  
(11) 등록번호 10-2343715  
(24) 등록일자 2021년12월22일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 27/12 (2006.01)  
H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/78606 (2013.01)  
H01L 27/1225 (2013.01)  
(21) 출원번호 10-2021-7016904(분할)  
(22) 출원일자(국제) 2013년07월09일  
심사청구일자 2021년06월02일  
(85) 번역문제출일자 2021년06월02일  
(65) 공개번호 10-2021-0068625  
(43) 공개일자 2021년06월09일  
(62) 원출원 특허 10-2020-7022305  
원출원일자(국제) 2013년07월09일  
심사청구일자 2020년07월31일  
(86) 국제출원번호 PCT/JP2013/069232  
(87) 국제공개번호 WO 2014/013959  
국제공개일자 2014년01월23일  
(30) 우선권주장  
JP-P-2012-161688 2012년07월20일 일본(JP)  
(56) 선행기술조사문헌  
JP2006128469 A  
(뒷면에 계속)  
전체 청구항 수 : 총 2 항

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
교에즈카 준이치  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
사사키 도시나리  
일본 141-0001 도쿄도 시나가와쿠 기타시나가와  
5-8-15-405 도미타 내  
(뒷면에 계속)  
(74) 대리인  
양영준, 박충범

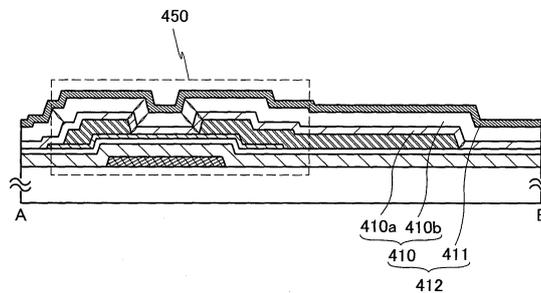
심사관 : 고연화

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제조 방법

(57) 요약

반도체막으로서 산화물 반도체를 포함하는 트랜지스터 위에 층간 절연막을 포함하는 반도체 장치의 전기 특성 변동을 억제한다. 본 구조는 반도체막 위의 소스 전극 및 드레인 전극에 의해 형성되는 단차 영역에 공극부를 포함하고, 산화 실리콘을 성분으로서 포함하는 제1 절연막과, 제1 절연막의 공극부를 피복하도록 제1 절연막에 접촉하여 제공되는, 질화 실리콘을 포함하는 제2 절연막을 포함한다. 본 구조는 제1 절연막에 생성된 공극부가 외측으로 확대되는 것을 방지할 수 있다.

대표도 - 도3b



(52) CPC특허분류

*H01L 29/66742* (2013.01)

*H01L 29/7869* (2013.01)

*H01L 2924/13069* (2013.01)

(72) 발명자

**도치마야시 가즈아키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 슌페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2012095522 A

KR1020120049886 A

KR1020060062702 A

JP2011222767 A

**명세서**

**청구범위**

**청구항 1**

반도체 장치로서,  
 게이트 전극과,  
 산화물 반도체막과,  
 상기 게이트 전극과 상기 산화물 반도체막 사이의 게이트 절연막과,  
 상기 산화물 반도체막 위의 소스 전극 및 드레인 전극과,  
 상기 산화물 반도체막 위, 그리고, 소스 전극 및 드레인 전극 위의 산화물 절연막과,  
 상기 산화물 절연막 위의 질화물 절연막과,  
 상기 질화물 절연막 위의 화소 전극을 포함하고,  
 상기 산화물 절연막은 상기 산화물 반도체막과 접하고,  
 상기 산화물 절연막은 저밀도 영역을 포함하고,  
 상기 질화물 절연막은 상기 산화물 절연막에 접하고, 또한, 상기 저밀도 영역을 덮도록 제공되고,  
 상기 산화물 절연막 및 상기 질화물 절연막은 개구부를 포함하고,  
 상기 화소 전극은, 상기 개구부를 통해 상기 소스 전극 및 상기 드레인 전극 중 한쪽과 전기적으로 접속되고,  
 상기 산화물 반도체막은 나노 결정을 포함하는, 반도체 장치.

**청구항 2**

제1항에 있어서,  
 상기 나노 결정의 크기는 1nm 이상 10nm 미만인, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 명세서 등에 개시된 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

[0002] 본 명세서 등에서, "반도체 장치"는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 가리키고, 전자 광학 장치, 화상 표시 장치, 반도체 회로 및 전자 장치는 모두 반도체 장치이다.

**배경 기술**

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 형성하는 기술이 주목받고 있다. 이러한 트랜지스터는 집적 회로(IC) 및 화상 표시 장치(간단하게 표시 장치라고도 칭한다)와 같은 전자 장치에 널리 응용되고 있다. 트랜지스터에 적용가능한 반도체 박막용 재료로서 실리콘계 반도체 재료가 넓게 알려져 있다. 기타의 재료로서, 산화물 반도체가 주목받고 있다.

[0004] 예를 들어, 산화물 반도체로서 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 형성하는 기술이 개시되어 있다(특허문헌 1 참조).

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) 일본 특허 출원 공개 제2006-165528호 공보

**발명의 내용**

**해결하려는 과제**

- [0006] 예를 들어, 산화물 반도체를 포함하는 트랜지스터를 사용하여 반도체 장치(예를 들어, 액정 패널)를 제조하는 경우, 산화물 반도체를 포함하는 트랜지스터 위에 층간 절연막을 제공할 필요가 있다.
- [0007] 층간 절연막은 트랜지스터와 배선간의 절연 또는 배선들간의 절연은 물론, 트랜지스터의 특성 안정화를 위해 매우 중요한 요소이다.
- [0008] 따라서, 본 발명의 목적은 산화물 반도체를 포함하는 트랜지스터 위에 층간 절연막이 제공된 반도체 장치의 전기 특성의 변동을 억제하는 것이다.

**과제의 해결 수단**

- [0009] 본 발명의 일 실시 형태는 반도체막 위의 소스 전극 및 드레인 전극에 의해 형성되는 단차 영역에서의, 제1 절연막내의 공극부(void portion)와, 질화 실리콘을 성분으로서 포함하는 제2 절연막을 포함하는 구조로서, 상술한 제1 절연막은 산화 실리콘을 성분으로서 포함하고, 상술한 제2 절연막은 제1 절연막의 공극부를 피복하도록 제1 절연막에 접촉하여 제공된다. 이러한 구조는 제1 절연막에 발생한 공극부가 외측으로 확대되는 것을 방지할 수 있다. 구체적으로는 예를 들어 이하 구조를 사용할 수 있다.
- [0010] 본 발명의 일 실시 형태는 게이트 절연막을 사이에 개재하여 게이트 전극과 적어도 일부가 중첩하는 반도체막과, 반도체막의 상면부의 일부와 접촉하는 영역을 각기 포함하는 소스 전극 및 드레인 전극과, 소스 전극, 드레인 전극 및 반도체막을 피복하고, 반도체막 위의 소스 전극 및 드레인 전극에 의해 형성되는 단차 영역에 공극부를 포함하며, 산화 실리콘을 성분으로서 포함하는 제1 절연막과, 제1 절연막의 공극부를 피복하도록 제1 절연막에 접촉하여 제공되는, 질화 실리콘을 성분으로서 포함하는 제2 절연막을 포함하는 반도체 장치이다.
- [0011] 본 발명의 다른 일 실시 형태는 반도체막과, 반도체막의 상면부의 일부와 접촉하는 영역을 각기 포함하는 소스 전극 및 드레인 전극과, 소스 전극, 드레인 전극 및 반도체막을 피복하고, 반도체막 위의 소스 전극 및 드레인 전극에 의해 형성되는 단차 영역에 공극부를 포함하고, 산화 실리콘을 성분으로서 포함하는 제1 절연막과, 제1 절연막의 공극부를 피복하도록 제1 절연막에 접촉하여 제공되는, 질화 실리콘을 성분으로서 포함하는 제2 절연막과, 제2 절연막을 사이에 개재하여 반도체막과 중첩하는 게이트 전극을 포함하는 반도체 장치이다.
- [0012] 본 발명의 다른 일 실시 형태는 소스 전극 및 드레인 전극이 각각 반도체막에 접촉하는 제1 도전막과, 제1 도전막위의 제2 도전막을 포함하는 적층 구조를 갖고, 제2 도전막의 측면면(side end surface)이 제1 도전막의 상면에 배치되어 있는, 상술한 구조를 갖는 반도체 장치이다.
- [0013] 본 발명의 다른 일 실시 형태는 제1 절연막의 막 밀도가 바람직하기로는  $2.26\text{g/cm}^3$  이상  $2.50\text{g/cm}^3$  이하인, 상술한 구조를 갖는 반도체 장치이다.
- [0014] 본 발명의 다른 일 실시 형태는 제1 절연막이 산화질화(oxynitride) 실리콘막이고 제2 절연막은 질화 실리콘막인 것이 바람직한, 상술한 구조를 갖는 반도체 장치이다.
- [0015] 본 발명의 다른 일 실시 형태는 제1 절연막의 막 두께가 제2 절연막의 막 두께보다 큰, 상술한 구조를 갖는 반도체 장치이다.
- [0016] 본 발명의 다른 일 실시 형태는 반도체막이 바람직하기로는 산화물 반도체막인, 상술한 구조를 갖는 반도체 장치이다.
- [0017] 본 발명의 다른 일 실시 형태는 게이트 절연막을 사이에 개재하여 게이트 전극과 적어도 일부가 중첩하는 반도체막을 형성하는 단계와, 반도체막의 상면부의 일부와 접촉하는 영역을 각기 포함하는 소스 전극 및 드레인 전극을 형성하는 단계와, 소스 전극, 드레인 전극 및 반도체막을 피복하고, 반도체막 위의 소스 전극 및 드레인 전극에 의해 형성되는 단차 영역에 공극부를 포함하고, 산화 실리콘을 성분으로서 포함하는 제1 절연막을 형성하는 단계와, 제1 절연막의 공극부를 피복하도록 제1 절연막에 접촉하는 질화 실리콘을 성분으로서 포함하는 제

2 절연막을 형성하는 단계를 포함하는 반도체 장치의 제조 방법이다.

- [0018] 본 발명의 다른 일 실시 형태는 반도체막을 형성하는 단계와, 반도체막의 상면부의 일부와 접촉하는 영역을 각기 포함하는 소스 전극 및 드레인 전극을 형성하는 단계와, 소스 전극, 드레인 전극 및 반도체막을 피복하고, 반도체막 위의 소스 전극 및 드레인 전극에 의해 형성되는 단차 영역에 공극부를 포함하고, 산화 실리콘을 구성요소로서 포함하는 제1 절연막을 형성하는 단계와, 제1 절연막의 공극부를 피복하도록 제1 절연막에 접촉하는 질화 실리콘을 구성요소로서 포함하는 제2 절연막을 형성하는 단계와, 제2 절연막 사이에 개재하여 반도체막과 중첩하는 게이트 전극을 형성하는 단계를 포함하는 반도체 장치의 제조 방법이다.
- [0019] 본 발명의 다른 일 실시 형태는 소스 전극 및 드레인 전극이 각각 반도체막에 접촉하는 제1 도전막과, 제1 도전막 위의 제2 도전막을 포함하는 적층 구조를 갖고, 제1 도전막 및 제2 도전막의 에칭 처리를 행하고, 이 에칭 처리에 의해, 제2 도전막의 측단면이 제1 도전막의 상면에 배치되는, 상술한 구조를 갖는 반도체 장치의 제조 방법이다.
- [0020] 본 발명의 다른 일 실시 형태는 제1 절연막의 막 밀도가 바람직하기로는  $2.26\text{g/cm}^3$  이상  $2.50\text{g/cm}^3$  이하인, 상술한 구조를 갖는 반도체 장치의 제조 방법이다.
- [0021] 본 발명의 다른 일 실시 형태는 제1 절연막이 산화질화 실리콘막이고 제2 절연막은 질화 실리콘막인 것이 바람직한, 상술한 구조를 갖는 반도체 장치의 제조 방법이다.
- [0022] 본 발명의 다른 일 실시 형태는 제1 절연막의 막 두께가 제2 절연막의 막 두께보다 큰, 상술한 구조를 갖는 반도체 장치의 제조 방법이다.
- [0023] 본 발명의 다른 일 실시 형태는 반도체막이 바람직하기로는 산화물 반도체막인, 상술한 구조를 갖는 반도체 장치의 제조 방법이다.

**발명의 효과**

- [0024] 본 발명의 일 실시 형태에 의해, 전기 특성의 변동을 억제하고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0025] 첨부 도면에서,  
 도 1a 및 도 1b는 반도체 장치의 일 실시 형태를 나타내는 평면도 및 단면도이다.  
 도 2a 내지 도 2c는 반도체 장치의 제조 방법의 일례를 나타내는 도면이다.  
 도 3a 내지 도 3c는 반도체 장치의 제조 방법의 일례를 나타내는 도면이다.  
 도 4a 및 도 4b는 반도체 장치의 일 실시 형태를 나타내는 평면도 및 단면도이다.  
 도 5a 내지 도 5c는 반도체 장치의 제조 방법의 일례를 나타내는 도면이다.  
 도 6a 내지 도 6d는 반도체 장치의 제조 방법의 일례를 나타내는 도면이다.  
 도 7a 내지 도 7c는 반도체 장치의 일 실시 형태를 각기 나타내는 단면도이다.  
 도 8a 내지 도 8c는 공극부를 생성하는 프로세스를 나타내는 단면도이다.  
 도 9a 내지 도 9c는 표시 장치의 일 실시 형태를 각기 나타내는 단면도이다.  
 도 10a 및 도 10b는 표시 장치의 일 실시 형태를 각기 나타내는 단면도이다.  
 도 11은 표시 장치의 일 실시 형태를 나타내는 단면도이다.  
 도 12a 내지 도 12c는 표시 장치의 일 실시 형태를 나타내는 도면이다.  
 도 13a 및 도 13b는 반도체 장치의 일 실시 형태를 나타내는 도면이다.  
 도 14a 내지 도 14c는 각각 전자 장치를 나타내는 도면이다.  
 도 15a 내지 도 15c는 전자 장치를 나타내는 도면이다.

- 도 16a 및 도 16b는 실시예에서의 실시예 샘플의 STEM 화상을 나타내는 도면이다.
- 도 17a 및 도 17b는 실시예에서의 실시예 샘플의 STEM 화상을 나타내는 도면이다.
- 도 18a 및 도 18b는 실시예에서의 실시예 샘플의 STEM 화상을 나타내는 도면이다.
- 도 19a 및 도 19b는 실시예에서의 실시예 샘플의 전기 특성을 나타내는 도면이다.
- 도 20의 A1 내지 A3와 도 20의 B1 내지 B3는 실시예에서의 실시예 샘플의 전기 특성을 나타내는 도면이다.
- 도 21은 실시예에서의 실시예 샘플을 나타내는 도면이다.
- 도 22a 및 도 22b는 실시예에서의 실시예 샘플의 SIMS 데이터를 도시하는 도면이다.
- 도 23a 및 도 23b는 실시예에서의 실시예 샘플을 나타내는 도면이다.
- 도 24a 및 도 24b는 실시예에서의 실시예 샘플의 SIMS 데이터를 나타내는 도면이다.
- 도 25a 내지 도 25d는 질소를 포함하는 산화물 절연막에 가열 처리함으로써 생성되는 질소, 수소 및 물의 이동을 나타낸 모델도이다.
- 도 26a 내지 도 26e는 산화물 반도체막에 가열 처리함으로써 생성되는 질소, 수소 및 물의 이동을 나타낸 모델도이다.
- 도 27a 내지 도 27c는 산화물 반도체막에 가열 처리함으로써 산소 결손의 변동을 나타낸 모델도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 이하, 본 발명의 실시 형태에 대해서 첨부된 도면을 참조하여 상세하게 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 사상 및 그 범위로부터 동떨어짐없이 본 발명의 모델 및 상세를 다양한 방식으로 변경할 수 있는 것은 본 기술 분야에서 숙련된 자라면 쉽게 이해할 수 있다는 것에 유의하라. 따라서, 본 발명은 이하의 실시 형태의 기재 내용에 한정하여 해석되지 않아야 한다.
- [0027] "소스" 및 "드레인"의 기능은 예를 들어, 상이한 도전형의 트랜지스터가 사용되는 경우, 또는 회로 동작시 전류의 방향이 변화하는 경우에 서로 바뀔 수도 있다는 것에 유의하라. 따라서, 본 명세서에서는 용어 "소스" 및 "드레인"이 서로 바뀔 수 있다.
- [0028] "전기적으로 접속"의 의미는 "어떠한 전기적 기능을 갖는 물체를 통해 접속되는"을 포함한다. "어떠한 전기적 기능을 갖는 물체"는 물체를 통해 접속된 구성 요소들간에 전기 신호가 송수신될 수 있게 하는 임의의 물체일 수 있다.
- [0029] 도면 등에서의 각 구성 요소의 위치, 크기 및 범위는 이해를 용이하게 하기 위해, 일부 경우에 실제적으로 나타내고 있지 않기 때문에, 개시된 발명에서의 도면 등에 개시된 것에 반드시 한정되지 않는다.
- [0030] "제1", "제2", "제3"과 같은 서수사는 구성 요소들간의 혼동을 피하기 위해 사용된다.
- [0031] 본 명세서에서, 용어 "평행(parallel)"은 2개의 직선간에 형성된 각도가 -10° 이상 10° 이하인 것을 지칭하기 때문에, 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한, 용어 "수직"은 2개의 직선간에 형성된 각도가 80° 이상 100° 이하인 것을 지칭하기 때문에, 각도가 85° 이상 95° 이하인 경우도 포함한다.
- [0032] 본 명세서에서, 삼방 결정계 및 능면체 결정계는 육방 결정계에 포함된다.
- [0033] (실시 형태 1)
- [0034] 본 실시 형태에서는 본 발명의 일 실시 형태인 반도체 장치에 대해서 도면을 참조하여 설명한다. 도 1a 및 도 1b는 본 발명의 일 실시 형태의 반도체 장치인, 트랜지스터(450)의 상면도 및 단면도를 나타낸다. 도 1a는 트랜지스터(450)의 상면도를 나타내고, 도 1b는 도 1a의 일점 쇄선 A-B를 따라 취한 단면도를 나타낸다.
- [0035] 도 1a 및 도 1b의 트랜지스터(450)는 절연 표면을 갖는 기판(400) 위에 제공된 게이트 전극(402)과, 게이트 전극(402) 위에 제공된 게이트 절연막(404)과, 게이트 절연막(404) 위에 제공되며 게이트 전극(402)과 중첩하는 반도체막(406)과, 반도체막(406) 위에 제공된 소스 전극(408a) 및 드레인 전극(408b)을 포함한다. 또한, 소스 전극(408a) 및 드레인 전극(408b)을 피복하고, 반도체막(406)과 접촉하는 절연막(412)은 트랜지스터(450)의 구성 요소에 포함시킬 수도 있다. 또한, 절연막(412)을 피복하는 층간 절연막(414)이 제공되고, 이 층간 절연막

(414) 위에 절연막(412) 및 층간 절연막(414)에 형성된 개구를 통해 드레인 전극(408b)과 전기적으로 접속되는 전극(416)이 제공된다. 본 실시 형태에서는 전극(416)이 드레인 전극(408b)과 전기적으로 접속하고 있지만; 본 발명은 이것에 한정되지 않고, 전극(416)은 소스 전극(408a)과 전기적으로 접속될 수 있다는 것에 유의하라.

[0036] 본 실시 형태에서, 게이트 절연막(404)은 게이트 전극(402)과 접촉하는 게이트 절연막(404a)과, 게이트 절연막(404a) 및 반도체막(406)과 접촉하는 게이트 절연막(404b)의 적층이다. 절연막(412)은 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)과 접촉하는 제1 절연막인 산화물 절연막(410)과, 산화물 절연막(410) 위의 보호막으로서 기능하는 제2 절연막인 질화물 절연막(411)의 적층이다. 산화물 절연막(410)은 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)과 접촉하고, 저전력 조건하에서 형성되며, 피복성이 높은 산화물 절연막(410a)과, 산화물 절연막(410a) 위의 산화물 절연막(410b)의 적층이다.

[0037] 소스 전극(408a) 및 드레인 전극(408b)의 측단면의 단차에 의한 공극부(413)가 단차를 피복하는 산화물 절연막(410)의 부분에 생성된다. 이 공극부(413)는 공극부(413)가 형성되는 막보다 저유전율이기 때문에; 반도체 장치의 미세화로 인해 배선들간에 생성되는 정전 용량(capacitance)이 저감하여, 반도체 장치가 높은 집적도를 유지하면서 고속으로 동작할 수 있다. 공극부(413)를 통해 반도체막(406)에 수분이 침입하여 트랜지스터(450)의 특성에 악영향이 미칠 수 있지만, 질화물 절연막(411)을 산화물 절연막(410) 위에 제공함으로써, 산화물 절연막(410)에 생성된 공극부를 피복할 수 있다.

[0038] 질화물 절연막(411)으로 공극부(413)를 피복할 경우, 공극부(413)가 산화물 절연막(410)의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 공극부(413)는 질화물 절연막(411)으로 채워질 수도 있다. 또한, 질화물 절연막(411)은 외부 또는 나중에 형성되는 층간 절연막(414)으로부터 수소 또는 수소를 포함하는 화합물(예를 들어, 물)이 반도체막(406)에 침입하는 것을 억제하는 배리어막으로서 기능한다.

[0039] 다음으로, 트랜지스터(450)의 제조 방법에 대해서 도 2a 내지 도 2c 및 도 3a 내지 도 3c를 참조하여 설명한다.

[0040] 먼저, 절연 표면을 갖는 기판(400) 위에 게이트 전극(402)(동일한 층으로 형성되는 배선을 포함한다)을 형성한다.

[0041] 후속 열처리에 견딜 수 있는 정도의 높은 내열성을 갖는 것이라면, 절연 표면을 갖는 기판(400)으로서 사용할 수 있는 기판에 특별한 제약은 없다. 예를 들어, 바륨 붕규산 유리나 알루미늄 붕규산 유리와 같은 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 대안적으로, 실리콘이나 탄화 실리콘 등으로 이루어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 반도체 기판(400)으로서 사용할 수 있다. 다른 대안으로서, 반도체 소자가 추가로 제공된 기판들 중 임의의 것이 기판(400)으로서 사용될 수도 있다.

[0042] 게이트 전극(402)은 몰리브덴, 티타늄, 탄탈륨, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스퀴튬과 같은 금속 재료 또는 이들 중 임의의 것을 주성분으로 포함하는 합금 재료를 사용하여 형성할 수 있다. 대안적으로, 인과 같은 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 또는 니켈 실리사이드막과 같은 실리사이드막을 게이트 전극(402)으로서 사용할 수도 있다.

[0043] 게이트 전극(402)의 재료는 산화인듐 산화주석, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 산화인듐 산화아연, 산화 실리콘을 첨가한 인듐 주석 산화물과 같은 도전성 재료일 수도 있다.

[0044] 대안적으로, 게이트 전극(402)의 재료로서, 질소를 포함하는 In-Ga-Zn계 산화물, 질소를 포함하는 In-Sn계 산화물, 질소를 포함하는 In-Ga계 산화물, 질소를 포함하는 In-Zn계 산화물, 질소를 포함하는 Sn계 산화물, 질소를 포함하는 In계 산화물, 금속 질화물막(예를 들어, 질화 인듐막, 질화 아연막, 질화 탄탈막, 질화 텅스텐막)을 사용할 수도 있다. 이들 재료는 5eV 이상의 일함수를 갖는다. 따라서, 이들 재료들 중 임의의 것을 사용하여 게이트 전극(402)을 형성할 경우, 트랜지스터의 전기 특성에서, 임계값 전압을 플러스로 할 수 있기에, 노멀리 오프 스위칭 트랜지스터를 실현할 수 있다. 게이트 전극(402)은 단층 구조, 또는 예를 들어 질화 탄탈륨 위에 구리가 형성되어 있는 적층 구조를 가질 수도 있다. 게이트 전극(402)은 예를 들어, 테이퍼 각이 15° 이상 70° 이하인 테이퍼 형상을 가질 수도 있다. 여기서, 테이퍼 각이란 테이퍼 형상을 갖는 층의 측단면과, 해당 층의 저면 사이의 각도를 가리킨다.

[0045] 다음으로, 게이트 전극(402)을 피복하도록 게이트 절연막(404)을 형성한다(도 2a 참조). 게이트 절연막(404)으로서, 플라즈마 CVD법, 스퍼터링법 등에 의해 형성되는, 산화 실리콘막, 산화질화 실리콘막, 질화산화

(nitride oxide) 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막 및 산화 네오디뮴막 중 적어도 하나를 포함하는 단층 또는 적층이 사용된다. 게이트 절연막(404)의 성막 후에 산소 결손을 복구하기 위한 마이크로플라즈마 처리를 행하고나서 라디칼 산화 처리를 행하는 것이 바람직하다.

- [0046] 본 명세서 등에서, 산화질화 실리콘과 같은 "산화질화물"은 질소보다도 산소를 더 많이 포함한다는 것에 유의하라.
- [0047] 또한, 본 명세서 등에서, 질화산화 실리콘과 같은 "질화산화물"은 산소보다도 질소를 더 많이 포함한다.
- [0048] 게이트 절연막(404)에 포함되며, 나중에 형성되는 반도체막(406)과 접촉하는 영역(본 실시 형태에서는 게이트 절연막(404b))은 산화물 절연막을 사용하여 형성되는 것이 바람직하다는 것에 유의하라.
- [0049] 다음으로, 게이트 절연막(404) 위에 반도체막(406)을 형성한다(도 2b 참조).
- [0050] 반도체막(406)으로서, 비정질 반도체막, 다결정 반도체막 및 미결정 반도체막 중 어느 것을 사용해도 된다. 비정질 반도체막의 재료로서는 실리콘이나 실리콘 게르마늄(SiGe) 합금 등을 사용할 수 있다. 또한, 반도체막(406)으로서 산화물 반도체막을 사용할 수 있다.
- [0051] 다음으로, 반도체막(406) 위에 도전막을 형성하고, 에칭 처리하여 소스 전극(408a) 및 드레인 전극(408b)(동일한 층으로 형성되는 배선을 포함한다)을 형성한다(도 2c 참조).
- [0052] 소스 전극(408a) 및 드레인 전극(408b)으로서는, 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W으로부터 선택된 원소를 포함하는 도전막, 또는 상술한 원소들 중 임의의 것을 성분으로 포함하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 또는 질화 텅스텐막)을 사용할 수 있다. Al, Cu 등의 도전막의 하측 또는 상측 중 한쪽, 또는 양쪽에 Ti, Mo, W 등의 고용점 도전막 또는 이들 원소 중 임의의 것의 금속 질화물막(질화 티타늄막, 질화 몰리브덴막 또는 질화 텅스텐막)을 적층시킬 수도 있다. 대안적으로, 소스 전극(408a) 및 드레인 전극(408b)을 도전성 금속 산화물을 사용하여 형성할 수도 있다. 도전성 금속 산화물로서는 산화 인듐( $In_2O_3$ ), 산화 주석( $SnO_2$ ), 산화 아연( $ZnO$ ), 산화인듐 산화주석( $In_2O_3-SnO_2$ ), 산화인듐 산화아연( $In_2O_3-ZnO$ ) 또는 이 금속 산화물 재료에 산화 실리콘을 포함시킨 것들 중 임의의 것을 사용할 수 있다.
- [0053] 소스 전극(408a) 및 드레인 전극(408b)으로서, 질소를 포함하는 In-Ga-Zn-O막, 질소를 포함하는 In-Sn-O막, 질소를 포함하는 In-Ga-O막, 질소를 포함하는 In-Zn-O막, 질소를 포함하는 Sn-O막 또는 질소를 포함하는 In-O막과 같은 금속 질화물막을 사용할 수 있다. 또한, 소스 전극(408a) 및 드레인 전극(408b)의 단부는 테이퍼 형상을 갖는 것이 바람직하다. 이러한 방식으로, 절연막의 피복성을 향상시켜, 단선을 방지할 수 있다. 여기서, 테이퍼 각은 예를 들어,  $30^\circ$  이상  $70^\circ$  이하이며, 바람직하기로는  $30^\circ$  이상  $60^\circ$  이하이다.
- [0054] 예를 들어, 소스 전극(408a) 및 드레인 전극(408b)을, 막의 밀착성 또는 도전성과 같은 계면 특성의 문제를 고려하여, 도 8a에 나타낸 바와 같이 도전막(407a), 도전막(407b) 및 도전막(407c)의 적층 구조를 갖도록 형성하는 경우에, 적층된 도전막을 에칭 처리하면, 도전막의 종류에 따라 에칭 속도가 변한다. 그 결과, 도 8b에 도시된 바와 같이, 도전막(407c)의 측면면이 도전막(407b)의 상면과 접촉하고, 도전막(407b)의 측면면이 도전막(407a)의 상면과 접촉함으로써, 소스 전극(408a) 및 드레인 전극(408b)의 측면면에 단차가 발생한다.
- [0055] 이 단차에 의해, 도 8c에 도시된 바와 같이, 나중에 형성되는 산화물 절연막(410)내에 공극부가 생성된다. 본 실시 형태에서는 소스 전극(408a) 및 드레인 전극(408b)의 측면면의 단차가 현저한 도전막의 적층 구조를 사용하여 설명하고 있지만, 본 발명은 이것에 한정되지 않고, 단층 도전막에서도 측면면의 코너부로 인해 나중에 형성되는 산화물 절연막(410)내에 공극부가 발생된다. 산화물 절연막(410)내의 공극부에 대해서는 후술한다.
- [0056] 다음으로, 게이트 절연막(404), 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)을 피복하도록, 절연막(412)의 일부인 산화물 절연막(410)을 형성한다(도 3a 참조).
- [0057] 산화물 절연막(410)은 산화물 절연막(410a) 및 산화물 절연막(410b)의 적층막이며, 플라즈마 CVD법 또는 스퍼터링법에 의해 형성할 수 있다. 산화물 절연막(410)은 산화물 절연막(410)이 반도체막(406)과 접촉하기 때문에, 반도체막(406)에 산소를 공급할 수 있는 막이 바람직하다. 산화물 절연막(410)은 산화 실리콘막, 산화질화 실리콘막 등의 단층 또는 이들의 적층을 사용하여 형성할 수 있다. 대안적으로, 산화물 절연막(410)으로서, 산화 갈륨막, 산화 알루미늄막 또는 산화질화 알루미늄막 등을 사용할 수 있다.
- [0058] 플라즈마 CVD 장치의 진공 배기된 처리실 내에 적재된 기판을  $300^\circ C$  이상  $400^\circ C$  이하, 바람직하기로는  $320^\circ C$  이

상 370℃ 이하로 유지하고, 처리실에 원료가스를 도입하여 압력을 100Pa 이상 250Pa 이하로 하고, 처리실내에 제공되는 전극에 고주파 전력을 공급하는 조건하에서, 산화물 절연막(410a)으로서, 산화 실리콘막 또는 산화질화 실리콘막을 형성할 수 있다.

- [0059] 상술한 성막 조건하에서, 실리콘 및 산소의 결합력은 상술한 기판 온도 범위에서 강해진다. 따라서, 산화물 절연막(410a)으로서, 산소가 투과되고, 치밀하고 단단한 산화물 절연막, 대표적으로는 25℃에서 0.5 weight%의 불산을 에칭할 때 에칭 속도가 10nm/분 이하, 바람직하기로는 8nm/분 이하인 산화 실리콘막 또는 산화질화 실리콘막을 형성할 수 있다.
- [0060] 여기에서, 산화물 절연막(410a)으로서, 유량이 30sccm인 실란 및 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하고, 처리실의 압력을 200Pa로 하고, 기판 온도를 220℃로 하며, 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 평행 평판 전극에 공급하는 조건하에서 플라즈마 CVD법에 의해, 두께 50nm의 산화질화 실리콘막을 형성한다. 상술한 조건하에서, 산소가 투과되는 산화질화 실리콘막을 형성할 수 있다.
- [0061] 산화물 절연막(410b)으로서, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 적재된 기판을 180℃ 이상 260℃ 이하, 바람직하기로는 200℃ 이상 240℃ 이하로 유지하고; 처리실에 원료 가스를 도입하여 압력을 100Pa 이상 250Pa 이하, 바람직하기로는 100Pa 이상 200Pa 이하로 하며, 처리실 내에 제공되는 전극에 0.17W/cm<sup>2</sup> 이상 0.5W/cm<sup>2</sup> 이하, 바람직하기로는 0.25W/cm<sup>2</sup> 이상 0.35W/cm<sup>2</sup> 이하의 고주파 전력을 공급하는 조건하에서, 산화 실리콘막 또는 산화질화 실리콘막을 형성할 수 있다.
- [0062] 산화물 절연막(410b)의 원료 가스로서는 실리콘을 포함하는 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적성 가스의 대표예로서는 실란, 디실란, 트리실란 및 불화 실란을 포함한다. 산화성 가스로서는 산소, 오존, 일산화 이질소, 이산화질소 등이 일례로서 제공될 수 있다.
- [0063] 산화물 절연막(410b)의 성막 조건과 같이, 상술한 압력의 처리실에 상술한 전력 밀도(power density)의 고주파 전력을 공급함으로써, 플라즈마내에서의 원료 가스의 분해 효율이 높아지고, 산소 라디칼이 증가하며, 원료 가스의 산화가 진행하기 때문에; 산화물 절연막(410b)의 산소 함유량이 화학양론적 조성보다도 높게 된다. 그러나, 기판 온도가 상술한 온도 범위내에 있는 경우, 실리콘과 산소간의 결합력이 약해지기 때문에, 가열에 의해 산소의 일부가 방출된다. 따라서, 화학양론적 조성보다도 높은 비율로 산소를 포함하고, 가열에 의해 산소의 일부가 방출되는 산화물 절연막을 형성할 수 있다. 또한, 반도체막(406) 위에는 산화물 절연막(410a)이 제공된다. 따라서, 산화물 절연막(410b)의 형성 단계에서, 산화물 절연막(410a)은 반도체막(406)의 보호막으로서 기능한다. 따라서, 반도체막(406)에 대한 대미지를 저감하면서, 전력 밀도가 높은 고주파 전력을 사용하여 산화물 절연막(410b)을 형성할 수 있다.
- [0064] 이러한 방식으로, 산화물 절연막(410)은 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)과 접촉하고, 저전력 조건하에서 형성되며, 피복성이 높은 산화물 절연막(410a)과, 산화물 절연막(410a) 위의 산화물 절연막(410b)의 적층 구조인 것이 바람직하다.
- [0065] 소스 전극(408a) 및 드레인 전극(408b)의 측면면에 단차가 발생한 경우에, 도 8c에 도시한 바와 같은 공극부(413)가 산화물 절연막(410)을 형성할 때에 발생한다. 이러한 공극부(413)는 절연막(412)의 단면 형상을 STEM(scanning transmission electron microscopy)에 의해 관측함으로써 확인할 수 있다. 이 공극부(413)는 해당 공극부(413)가 형성되는 막보다 저유전율을 갖기 때문에; 반도체 장치의 미세화로 인한 배선들간에 발생하는 정전 용량이 저감되어, 반도체 장치가 높은 집적도를 유지하면서 고속 동작할 수 있다.
- [0066] 산화물 절연막(410)은 공극부를 포함하는 저밀도의 막이다. 산화물 절연막(410)은 공극부(저밀도 영역)를 가짐으로써, 전체로서 산화물 절연막(410)은 막 밀도가 작다.
- [0067] X선 반사율법(XRR: X-ray reflectometry)에 의해 측정되는 절연막(412) 전체의 막 밀도는 2.26g/cm<sup>3</sup> 이상 2.50g/cm<sup>3</sup> 이하가 바람직하다.
- [0068] 산화물 절연막(410)을 형성 후, 열처리를 행할 수 있다. 열처리의 온도는 대표적으로는 150℃ 이상 기판 왜곡점 미만, 바람직하기로는 200℃ 이상 450℃ 이하, 더욱 바람직하기로는 300℃ 이상 450℃ 이하이다.
- [0069] 다음으로, 산화물 절연막(410)을 피복하도록 질화물 절연막(411)을 형성한다(도 3b 참조).
- [0070] 질화물 절연막(411)은 플라즈마 CVD법, 스퍼터링법에 의해 형성할 수 있으며, 질화 실리콘, 질화산화 실리콘 등

의 단층 또는 이들의 적층을 사용하여 형성할 수 있다. 대안적으로, 질화물 절연막(411)으로서, 질화 알루미늄, 질화산화 알루미늄 등을 사용할 수 있다. 또한, 질화물 절연막(411)을 피복성이 높은 막으로 함으로써, 소스 전극(408a) 및 드레인 전극(408b)의 측단면의 단차는 보다 완만하게 되고(단차 부분이 평탄화된다), 단차로 인한 공극부가 쉽게 생성되지 않게 되어, 바람직하다. 대안적으로, 질화물 절연막(411) 대신에 산화 알루미늄을 사용할 수 있다.

- [0071] 질화물 절연막(411)은 소스 전극(408a) 및 드레인 전극(408b)의 측단면의 단차로 인해 산화물 절연막(410)에 발생한 공극부를 피복하는 기능을 갖는다. 질화물 절연막(411)으로 공극부를 피복하는 경우, 공극부가 산화물 절연막(410)의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 공극부는 질화물 절연막(411)으로 채워질 수도 있다. 또한, 질화물 절연막(411)은 외부 또는 나중에 형성되는 층간 절연막(414)으로부터 수소 또는 수소를 포함하는 화합물(예를 들어, 물)이 반도체막(406)에 침입하는 것을 억제하는 배리어막으로서 기능하기 때문에, 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0072] 상술한 단계를 통해, 본 실시 형태의 트랜지스터(450)를 제조할 수 있다.
- [0073] 다음으로, 트랜지스터(450) 위에 층간 절연막(414)을 형성한다.
- [0074] 층간 절연막(414)은 아크릴 수지, 에폭시 수지, 벤조시클로부텐계 수지, 폴리이미드, 폴리아미드와 같은 유기 재료를 사용할 수 있다. 이러한 유기 재료 이외에, 실리콘 수지 등을 사용할 수 있다. 이들 재료를 사용하여 형성되는 절연막을 복수개 적층시킴으로써, 층간 절연막(414)을 형성할 수도 있다는 것에 유의하라.
- [0075] 다음으로, 절연막(412) 및 층간 절연막(414)에 개구가 제공되고, 층간 절연막(414) 위에 개구를 통해 드레인 전극(408b)과 전기적으로 접속하는 전극(416)을 형성한다(도 3c 참조).
- [0076] 전극(416)은 소스 전극(408a) 또는 드레인 전극(408b)에 사용되는 재료를 적절히 사용할 수 있다. 전극(416)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 칭함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물과 같은 투광성 도전 재료를 사용하여 형성할 수 있다.
- [0077] 따라서, 산화물 절연막(410)내의 공극부는 공극부가 형성되는 막보다 저유전율을 갖기 때문에; 반도체 장치의 미세화로 인해 배선들간에 발생하는 정전 용량을 저감할 수 있기에, 반도체 장치는 높은 집적도를 유지하면서, 고속 동작을 할 수 있다. 질화물 절연막(411)으로 공극부가 피복될 경우, 공극부가 산화물 절연막(410)의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 공극부는 질화물 절연막(411)으로 채워질 수도 있다. 또한, 질화물 절연막(411)은 외부 또는 나중에 형성되는 층간 절연막(414)으로부터 수소 또는 수소를 포함하는 화합물(예를 들어, 물)이 반도체막(406)에 침입하는 것을 억제하는 배리어막으로서 기능하기 때문에; 트랜지스터(450)의 신뢰성을 향상시킬 수 있다.
- [0078] 본 실시 형태에서 설명된 구조, 방법 등은 다른 실시 형태에서 설명되는 구조, 방법 등과 적절히 조합될 수 있다.
- [0079] (실시 형태 2)
- [0080] 본 실시 형태에서는 실시 형태 1과 다른 반도체 장치에 대해서 도면을 참조하여 설명한다. 도 4a 및 도 4b는 본 발명의 일 실시 형태의 반도체 장치인 트랜지스터(550)의 상면도 및 단면도를 나타낸다. 도 4a는 트랜지스터(550)의 상면도를 나타내고, 도 4b는 도 4a에서의 일점 쇄선 C-D을 따라 취해진 단면도를 나타낸다. 본 실시 형태에 나타낸 트랜지스터(550)는 실시 형태 1의 트랜지스터(450)와 비교하여 튜-게이트 트랜지스터인 점이 상이하다.
- [0081] 도 4a 및 도 4b에서의 트랜지스터(550)는 절연 표면을 갖는 기판(400) 위에 제공된 하지 절연막(401)과, 하지 절연막(401) 위에 제공된 반도체막(406)과, 하지 절연막(401) 및 반도체막(406) 위에 제공된 소스 전극(408a) 및 드레인 전극(408b)과, 소스 전극(408a) 및 드레인 전극(408b)을 피복하고 반도체막(406)과 접촉하는 게이트 절연막(512)과, 게이트 절연막(512) 위에 제공되며 반도체막(406)과 중첩하는 게이트 전극(402)을 포함한다. 또한, 트랜지스터(550)를 피복하는 층간 절연막(414)이 제공되고, 이 층간 절연막(414) 위에는 절연막(412) 및 층간 절연막(414)에 형성된 개구를 통해 드레인 전극(408b)과 전기적으로 접속하는 전극(416)이 제공된다. 본 실시 형태에서는 전극(416)이 드레인 전극(408b)과 전기적으로 접속하고 있지만; 본 발명은 이것에 한정되지 않고, 전극(416)이 소스 전극(408a)과 전기적으로 접속할 수도 있다는 것에 유의하라.
- [0082] 본 실시 형태에서, 게이트 절연막(512)은 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)과 접촉하는 제

1 절연막인 산화물 절연막(510)과, 산화물 절연막(510) 위의 보호막으로서 기능하는 제2 절연막인 질화물 절연막(511)의 적층이다. 산화물 절연막(510)은 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)과 접촉하고, 저전력 조건하에서 형성되며, 피복성이 높은 산화물 절연막(510a)과, 산화물 절연막(510a) 위의 산화물 절연막(510b)의 적층이다.

- [0083] 소스 전극(408a) 및 드레인 전극(408b)의 측단면의 단차로 인한 공극부(413)는 단차를 피복하는 산화물 절연막(510)의 일부에 생성된다. 이 공극부(413)는 공극부(413)가 형성되는 막보다 저유전율을 갖기 때문에; 반도체 장치의 미세화로 인해 배선들간에 발생하는 정전 용량을 저감할 수 있기에, 반도체 장치는 높은 집적도를 유지 하면서, 고속 동작을 행할 수 있다. 이 공극부(413)를 통해 반도체막(406)에 수분이 침입하여, 트랜지스터(550)의 특성에 악영향이 미칠 수도 있지만, 질화물 절연막(511)을 산화물 절연막(510) 위에 제공함으로써, 산화물 절연막(510)에 발생한 공극부를 피복할 수 있다.
- [0084] 공극부(413)가 질화물 절연막(511)으로 피복될 경우, 공극부(413)가 산화물 절연막(510)의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 공극부(413)는 질화물 절연막(511)으로 채워질 수도 있다. 또한, 질화물 절연막(511)은 외부 또는 나중에 형성되는 층간 절연막(414)으로부터 수소 또는 수소를 포함하는 화합물(예를 들어, 물)이 반도체막(406)에 침입하는 것을 억제하는 배리어막으로서 기능한다.
- [0085] 다음으로, 트랜지스터(550)의 제조 방법에 대해서 도 5a 내지 도 5c 및 도 6a 내지 도 6d를 참조하여 설명한다.
- [0086] 먼저, 절연 표면을 갖는 기판(400) 위에 하지 절연막(401)을 형성한다. 본 실시 형태의 기판(400) 및 하지 절연막(401)의 재료 및 제조 방법 등에 대해서는 실시 형태 1의 기판(400) 및 게이트 절연막(404)을 참조할 수 있다.
- [0087] 다음으로, 하지 절연막(401) 위에 반도체막(406)을 형성한다(도 5a 참조). 본 실시 형태의 반도체막(406)의 재료 및 제조 방법 등은 실시 형태 1의 반도체막(406)을 참조할 수 있다.
- [0088] 다음으로, 반도체막(406) 위에 도전막을 형성하고, 에칭 처리하여 소스 전극(408a) 및 드레인 전극(408b)(동일한 층으로 형성되는 배선을 포함한다)을 형성한다(도 5b 참조). 본 실시 형태의 소스 전극(408a) 및 드레인 전극(408b)의 재료 및 제조 방법 등은 실시 형태 1의 소스 전극(408a) 및 드레인 전극(408b)을 참조할 수 있다.
- [0089] 또한, 실시 형태 1에서 설명한 바와 같이, 소스 전극(408a) 및 드레인 전극(408b)의 측단면에 단차가 발생하여, 이 단차로 인해 나중에 형성되는 게이트 절연막(512)내에 공극부가 발생한다. 게이트 절연막(512)내의 공극부에 대해서는 후술한다.
- [0090] 다음으로, 하지 절연막(401), 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)를 피복하도록, 게이트 절연막(512)의 일부인 산화물 절연막(510)을 형성한다(도 5c 참조).
- [0091] 이러한 방식으로, 산화물 절연막(510)은 하지 절연막(401), 반도체막(406), 소스 전극(408a) 및 드레인 전극(408b)과 접촉하고, 저전력 조건하에서 형성되며, 피복성이 높은 산화물 절연막(510a)과, 산화물 절연막(510a) 위의 산화물 절연막(510b)의 적층 구조로 하는 것이 바람직하다. 산화물 절연막(510)의 재료 및 제조 방법 등은 실시 형태 1에서의 산화물 절연막(410)을 참조할 수 있다.
- [0092] 소스 전극(408a) 및 드레인 전극(408b)의 측단면에 단차가 발생할 경우, 산화물 절연막(510)을 형성할 때에 실시 형태 1에서 설명한 바와 같은 공극부(413)가 발생한다. 이 공극부(413)는 공극부(413)가 형성되는 막보다 저유전율을 갖기 때문에; 반도체 장치의 미세화로 인해 배선들간에 발생하는 정전 용량을 저감할 수 있기에, 반도체 장치는 높은 집적도를 유지하면서, 고속 동작을 행할 수 있다.
- [0093] 산화물 절연막(510b)은 공극부(413)를 포함하는 저밀도의 막이다. 산화물 절연막(510b)은 저밀도 영역을 가짐으로써, 전체로서 산화물 절연막(510b)은 막 밀도가 작다.
- [0094] X선 반사율법(XRR)에 의해 측정된 전체 게이트 절연막(512)의 막 밀도는  $2.26\text{g/cm}^3$  이상  $2.50\text{g/cm}^3$  이하인 것이 바람직하다.
- [0095] 다음으로, 산화물 절연막(510)을 피복하도록 질화물 절연막(511)을 형성한다(도 6a 참조). 본 실시 형태의 질화물 절연막(511)의 재료 및 제조 방법 등은 실시 형태 1의 질화물 절연막(411)을 참조할 수 있다.
- [0096] 질화물 절연막(511)은 소스 전극(408a) 및 드레인 전극(408b)의 측단면의 단차로 인해 산화물 절연막(510)에 발

생한 공극부를 피복하는 기능을 갖는다. 공극부가 질화물 절연막(511)으로 피복될 경우, 공극부가 산화물 절연막(510)의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 공극부는 질화물 절연막(511)으로 채워질 수도 있다. 또한, 질화물 절연막(511)은 외부 또는 나중에 형성되는 층간 절연막(414)으로부터 수소 또는 수소를 포함하는 화합물(예를 들어, 물)이 반도체막(406)에 침입하는 것을 억제하는 배리어막으로서 기능하기 때문에, 트랜지스터의 신뢰성을 향상시킬 수 있다.

- [0097] 다음으로, 반도체막(406)과 중첩하는 게이트 절연막(512) 위에 게이트 전극(402)을 형성한다(도 6b 참조). 본 실시 형태에서의 게이트 전극(402)의 재료 및 제조 방법 등은 실시 형태 1의 게이트 전극(402)을 참조할 수 있다.
- [0098] 상술한 단계를 통해, 본 실시 형태의 트랜지스터(550)를 제조할 수 있다.
- [0099] 다음으로, 트랜지스터(550) 위에 층간 절연막(414)을 형성하고, 절연막(412) 및 층간 절연막(414)에 개구를 제공하고, 층간 절연막(414) 위에 개구를 통해 드레인 전극(408b)과 전기적으로 접속하는 전극(416)을 형성한다(도 6c 참조). 본 실시 형태에서의 층간 절연막(414) 및 전극(416)의 재료 및 제조 방법 등은 실시 형태 1의 층간 절연막(414) 및 전극(416)을 참조할 수 있다.
- [0100] 또한, 도 6d에 나타난 바와 같이, 게이트 전극(402) 위에 산화물 절연막 및 질화물 절연막으로 형성된 절연막(530)을 제공할 수 있다. 산화물 절연막을 피복하는 질화물 절연막을 형성함으로써, 게이트 전극(402)의 측면의 코너부로 인해 절연막(530)내에 공극부가 발생한다. 그러나, 상술한 구조에 의해, 공극부가 질화물 절연막으로 피복될 경우, 공극부가 산화물 절연막의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 게이트 절연막(512)이 아니라, 절연막(530)을 산화물 절연막과 이 산화물 절연막을 피복하는 질화물 절연막의 적층으로 하는 구조가 사용될 수도 있다.
- [0101] 따라서, 산화물 절연막(510)의 공극부는 공극부가 형성되는 막보다 저유전율을 갖기 때문에; 반도체 장치의 미세화로 인해 배선들간에 발생하는 정전 용량을 저감할 수 있기에, 반도체 장치는 높은 집적도를 유지하면서, 고속 동작을 수행할 수 있다. 공극부가 질화물 절연막(511)으로 피복될 경우, 공극부가 산화물 절연막(510)의 외측으로 확대되는 것을 방지할 수 있다. 대안적으로, 공극부는 질화물 절연막(511)으로 채워질 수도 있다. 또한, 질화물 절연막(511)은 외부 또는 나중에 형성되는 층간 절연막(414)으로부터 수소 또는 수소를 포함하는 화합물(예를 들어, 물)이 반도체막(406)에 침입하는 것을 억제하는 배리어막으로서 기능하기 때문에, 트랜지스터(550)의 신뢰성을 향상시킬 수 있다.
- [0102] 본 실시 형태에서 설명한 구조, 방법 등은 다른 실시 형태에서 설명한 구조, 방법 등과 적절히 조합할 수 있다.
- [0103] (실시 형태 3)
- [0104] 본 실시 형태에서는 실시 형태 1 및 실시 형태 2의 반도체 장치와는 다른 구조를 갖는 반도체 장치에 대해서 도 7a 내지 도 7c를 참조하여 설명한다.
- [0105] 도 7a에 나타난 트랜지스터(560)는 반도체막(406)을 사이에 개재하여 서로 대향하는 복수의 게이트 전극을 포함한다. 트랜지스터(560)는 절연 표면을 갖는 기판(400) 위에 제공된 게이트 전극(552)과, 게이트 전극(552) 위에 제공된 하지 절연막(401)과, 하지 절연막(401) 위에 제공된 반도체막(406)과, 하지 절연막(401) 및 반도체막(406) 위에 제공된 소스 전극(408a) 및 드레인 전극(408b)과, 소스 전극(408a) 및 드레인 전극(408b)을 피복하고, 반도체막(406)과 접촉하는 게이트 절연막(512)과, 게이트 절연막(512) 위에 제공되고, 반도체막(406)과 중첩하는 게이트 전극(402)을 포함한다. 또한, 트랜지스터(560)를 피복하는 층간 절연막(414)이 제공되고, 이 층간 절연막(414) 위에는 절연막(412) 및 층간 절연막(414)에 형성된 개구를 통해 드레인 전극(408b)과 전기적으로 접속하는 전극(416)이 제공된다.
- [0106] 게이트 전극(552)의 재료 및 제조 방법 등은 실시 형태 1의 게이트 전극(402)을 참조할 수 있다.
- [0107] 본 실시 형태에서의 트랜지스터(560)는 반도체막(406)을 사이에 개재하여 서로 대향하는 게이트 전극(552) 및 게이트 전극(402)을 갖는다. 게이트 전극(552) 및 게이트 전극(402)에 상이한 전위를 인가함으로써, 트랜지스터(560)의 임계값 전압을 제어할 수 있다. 대안적으로, 게이트 전극(552) 및 게이트 전극(402)에 동일 전위를 인가할 경우, 트랜지스터(560)의 온 전류를 증가시킬 수 있다.
- [0108] 또한, 산화물 절연막(410)은 반드시 2층 구조일 필요는 없다. 예를 들어, 도 7b에 나타난 트랜지스터(570)는 실시 형태 1의 트랜지스터(450)의 산화물 절연막(410)의 산화물 절연막(410b) 위에 산화물 절연막(410c)을 더 제공한 구조를 갖는다. 또한, 도 7c에 나타난 트랜지스터(580)는 산화물 절연막(410c) 위에 산화물 절연막

(410d) 및 산화물 절연막(410e)의 적층을 더 제공한 구조를 갖는다. 산화물 절연막(410c) 및 산화물 절연막(410e)에 사용되는 재료들은 각각 산화물 절연막(410a)에 사용된 것과 유사할 수 있고, 산화물 절연막(410d)에 사용되는 재료는 산화물 절연막(410b)에 사용된 것과 유사할 수 있다는 것에 유의하라.

- [0109] 또한, 산화물 절연막(410b)보다 낮은 전력에서 형성된 산화물 절연막(410a)은 저밀도막이며, 소스 전극(408a) 및 드레인 전극(408b)의 측단면의 단차를 적절하게 피복하고 있기 때문에; 이 산화물 절연막들이 상술한 바와 같이 적층됨으로써, 단차를 완만하게 할 수 있다.
- [0110] 또한, 산화물 절연막(410a) 위에 산화물 절연막(410a)보다 조밀한 막인 산화물 절연막(410b)을 형성할 경우, 산화물 절연막(410a)의 효과(높은 단차 피복성에 의한 단차 부분의 평탄화)에 의해, 단차에 기인한 공극부가 산화물 절연막(410b)에 쉽게 생성되지 않는다.
- [0111] 또한, 반도체막(406)에서, 산화물 절연막(410a)과 접촉하는 영역의 막 두께는 소스 전극(408a) 및 드레인 전극(408b)과 접촉하는 영역의 막 두께보다도 작다. 반도체막(406)에서, 막 두께가 작은 영역은 소스 전극(408a) 및 드레인 전극(408b)을 형성하는 도전막의 처리시에 일부가 에칭됨으로써 또는 소스 전극(408a) 및 드레인 전극(408b)을 형성한 후에 반도체막(406)이 노출된 영역에 에칭 처리함으로써, 형성된다. 이 영역은 트랜지스터(570) 및 트랜지스터(580)의 채널 형성 영역으로서 기능한다.
- [0112] 반도체막(406)에서 채널 형성 영역의 막 두께를 작게 함으로써, 소스 전극(408a) 및 드레인 전극(408b)과 접촉하는 영역의 저항을 채널 형성 영역보다 낮출 수 있다. 따라서, 반도체막(406)과 소스 전극(408a)간의 콘택트 저항과 반도체막(406)과 드레인 전극(408b)간의 콘택트 저항을 저감할 수 있다.
- [0113] 본 실시 형태에서 설명한 구조, 방법 등은 다른 실시 형태에서 설명한 구조, 방법 등과 적절히 조합할 수 있다.
- [0114] (실시 형태 4)
- [0115] 본 실시 형태에서는 상술한 실시 형태의 반도체막(406)으로서 산화물 반도체막을 사용한 경우에 대해서 설명한다.
- [0116] 산화물 반도체막을 포함하는 트랜지스터에서, 오프 상태에서의 전류(오프 전류)는 낮게 제어할 수 있고, 비교적 높은 전계 효과 이동도가 구해질 수 있기 때문에, 트랜지스터는 고속 구동이 가능하다. 또한, 상술한 실시 형태에서, 질화물 절연막 아래의 산화물 절연막이 산소를 공급할 수 있는 막이기 때문에, 가열시에 질화물 절연막에 의해 폐쇄된 공극부로부터 산소가 방출된다. 산화물 반도체막에 산소를 공급함으로써, 상술한 효과가 보다 현저하게 된다. 이하에서, 산화물 반도체막의 성막 방법을 설명한다.
- [0117] 산화물 반도체막은 적절히 스퍼터링법, MBE(molecular beam epitaxy)법, CVD(chemical vapor deposition)법, PLD(pulsed laser deposition)법, ALD(atomic layer deposition)법 등에 의해 형성할 수 있다.
- [0118] 또한, 산화물 반도체막이 다량의 수소를 포함하는 경우, 수소와 산화물 반도체가 서로 결합되어, 수소의 일부가 공여체가 되고 캐리어인 전자를 발생한다. 그 결과, 트랜지스터의 임계값 전압은 마이너스 방향으로 시프트한다. 따라서, 산화물 반도체막에서의 수소 농도는 바람직하기로는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 보다 바람직하기로는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더더욱 바람직하기로는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 더더욱 바람직하기로는  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 이하이다. 또한, 상술한 산화물 반도체막내의 수소 농도는 2차 이온 질량 분석법(SIMS: secondary ion mass spectrometry)에 의해 측정된다는 것에 유의하라.
- [0119] 상술한 이유에 의해, 산화물 반도체막을 성막하는데 사용하는 가스로서는 물, 수소, 수산기 또는 수소화물과 같은 불순물을 포함하지 않는 것이 바람직하다. 즉, 순도가 6N 이상, 바람직하기로는 7N 이상(즉, 가스내의 불순물 농도를 1ppm이하, 바람직하기로는 0.1ppm 이하)의 가스를 사용하는 것이 바람직하다.
- [0120] 또한, 산화물 반도체막의 성막시, 성막실 내의 수분(물, 수증기, 수소, 수산기 또는 수산화물을 포함한다)을 제거하기 위해서, 흡착형의 진공펌프, 예를 들어 크라이오 펌프, 이온 펌프 또는 티타늄 서브리메이션 펌프를 사용하는 것이 바람직하다. 배기 유닛은 콜드 트랩이 제공된 터보 분자 펌프일 수도 있다. 크라이오 펌프를 사용하여 배기하는 성막실로부터, 수소 원자, 물(H<sub>2</sub>O)과 같은 수소 원자를 포함하는 화합물(보다 바람직하기로는 또한 탄소 원자를 포함하는 화합물) 등이 제거됨으로써, 성막실에서 성막된 산화물 반도체막내의 수소 또는 수분과 같은 불순물의 농도를 저감할 수 있다.
- [0121] 스퍼터링 장치에서 사용하는 타깃은 상대 밀도가 90% 이상 100% 이하, 바람직하기로는 95% 이상 100% 이하인 것

이 바람직하다는 것에 유의하라. 상대 밀도가 높은 타깃을 사용함으로써, 성막한 산화물 반도체막은 조밀한 막이 된다.

- [0122] 산화물 반도체막의 재료로서, 예를 들어, In-M-Zn-O계 재료를 사용할 수도 있다. 여기서, 금속 원소 M은 산소와의 결합에너지가 In 및 Zn보다도 높은 원소이다. 대안적으로, 금속 원소 M은 In-M-Zn-O계 재료로부터 산소의 탈착을 억제하는 기능을 갖는 원소이다. 금속 원소 M의 영향으로 인해, 산화물 반도체막의 산소 결손의 생성이 억제된다. 따라서, 산소 결손에 기인하는 트랜지스터의 전기 특성의 변동을 저감할 수 있기 때문에; 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0123] 구체적으로, 금속 원소 M은 Al, Sc, Ti, V, Cr, Mn, Fe, Co, Ni, Ga, Y, Zr, Nb, Mo, Sn, La, Ce, Pr, Nd, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, Hf, Ta 또는 W일 수 있으며, 바람직하기로는 Al, Ti, Ga, Y, Zr, Ce 또는 Hf이다. 금속 원소 M은 상술한 원소로부터 1개 이상의 원소를 선택할 수 있다. 또한, 금속 원소 M 대신에 Ge을 사용할 수 있다.
- [0124] 여기서, 산화물 반도체인 In-M-Zn-O계 재료에서는, In의 농도가 높을수록 캐리어 이동도 및 캐리어 밀도가 높아진다. 그 결과, 산화물 반도체는 In의 농도가 높을수록 도전율이 높아진다.
- [0125] 이하에서는 산화물 반도체막의 구조에 대해서 설명한다.
- [0126] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 크게 분류된다. 비단결정 산화물 반도체막은 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(c-axis aligned crystalline oxide semiconductor)막 등 중 임의의 것을 포함한다.
- [0127] 비정질 산화물 반도체막은 원자 배열이 불규칙하며 결정 성분을 가지고 있지 않다. 그 대표적인 예는 미소 영역에서도 결정부를 가지고 있지 않고 막 전체가 비정질인 산화물 반도체막이다.
- [0128] 미결정 산화물 반도체막은 예를 들어, 크기가 1nm 이상 10nm 미만인 미결정(나노 결정이라고도 칭한다)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다도 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막의 결합 준위 밀도는 비정질 산화물 반도체막보다도 낮다.
- [0129] CAAC-OS막은 복수의 결정부를 포함하는 산화물 반도체막들 중 하나이며, 대부분의 결정부는 각각 한변이 100nm 미만인 입방체내에 수용된다. 따라서, CAAC-OS막에 포함되는 결정부는 한변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체내에 수용되는 경우도 있다. CAAC-OS막의 결합 준위 밀도는 미결정 산화물 반도체막보다도 낮다. 이하, CAAC-OS막에 대해서 상세히 설명한다.
- [0130] CAAC-OS막의 투과형 전자 현미경(TEM) 화상에서는, 결정부간의 경계, 즉 결정립계(grain boundary)가 명확하게 관찰되지 않는다. 따라서, CAAC-OS막에서, 결정립계로 인한 전자 이동도의 저하가 일어나기 어렵다.
- [0131] 샘플면과 실질적으로 평행한 방향에서 관찰한 CAAC-OS막의 TEM 화상(단면 TEM 화상)에 따르면, 결정부에서 금속 원자가 층 방식으로 배열되어 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 표면(이하, CAAC-OS막이 형성되는 표면은 피형성면이라 칭한다) 또는 CAAC-OS막의 상면을 반영한 형태를 가지며, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.
- [0132] 한편, 샘플면과 실질적으로 수직인 방향에서 관찰한 CAAC-OS막의 TEM 화상(평면 TEM 화상)에 따르면, 결정부에서 금속 원자가 삼각형 또는 육각형 구성으로 배열되어 있다. 그러나, 상이한 결정부들간에 금속 원자의 배열에 규칙성은 없다.
- [0133] 단면 TEM 화상 및 평면 TEM 화상의 결과로부터, CAAC-OS막의 결정부의 배향성이 발견된다.
- [0134] CAAC-OS막에 대하여, X선 회절(XRD) 장치를 사용하여 구조 분석한다. 예를 들어, InGaZnO<sub>4</sub> 결정을 포함하는 CAAC-OS막을 아웃 오브 플레인(out-of-plane)법에 의해 분석할 경우, 회절각(2θ)이 31° 근방일 때 피크가 자주 나타난다. 이 피크는 InGaZnO<sub>4</sub> 결정의 (009)면으로부터 유도되며, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 CAAC-OS막의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 가리킨다.
- [0135] 한편, CAAC-OS막이 c축에 수직인 방향으로 X선을 샘플에 입사시키는 인-플레인(in-plane)법에 의해 분석되는 경우, 2θ가 56° 근방일 때 피크가 자주 나타난다. 이 피크는 InGaZnO<sub>4</sub> 결정의 (110)면으로부터 유도된다. 여기서, 2θ를 56° 근방에 고정하고, 샘플면의 법선 벡터를 축(φ 축)으로 하여 샘플을 회전시키는 조건하에서 분석(φ 스캔)을 행한다. 샘플이 InGaZnO<sub>4</sub>의 단결정 산화물 반도체막인 경우에, 6개의 피크가 나타난다. 6개의

피크는 (110)면과 등가인 결정면으로부터 유도된다. 한편, CAAC-OS막인 경우에는,  $2\theta$ 를  $56^\circ$  근방에 고정하여  $\phi$  스캔을 행한 경우에도, 피크는 명료하게 관찰되지 않는다.

- [0136] 상술한 결과로부터, c축 배향성을 갖는 CAAC-OS막에서는, 결정부들 사이에서 a축 및 b축의 방향은 상이하지만, c축은 피형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 단면 TEM 화상에서 관찰된 적층 방식으로 배열한 금속 원자의 각 층은, 결정의 a-b면에 평행한 면에 해당한다.
- [0137] 결정부는 CAAC-OS막을 성막할 때 동시에 형성되거나 가열 처리와 같은 결정화 처리를 통해 형성된다는 것에 유의하라. 상술한 바와 같이, 결정의 c축은 피형성면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어, CAAC-OS막의 형상을 에칭 등에 의해 변화시키는 경우, c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 상면의 법선 벡터와 반드시 평행하지 않을 수도 있다.
- [0138] 또한, CAAC-OS막에서의 결정화 정도는 반드시 균일하지 않다. 예를 들어, CAAC-OS막이 막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방에서의 결정화 정도가 피형성면 근방에서보다 높을 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화가 변화되고, CAAC-OS막의 결정화 정도는 영역에 따라 상이하게 된다.
- [0139] InGaZnO<sub>4</sub> 결정을 갖는 CAAC-OS막이 아웃 오브 플레인법에 의해 분석되는 경우,  $2\theta$ 의 피크는  $31^\circ$  근방에서의 피크 이외에,  $36^\circ$  근방에서도 관찰될 수 있다.  $36^\circ$  근방에서의  $2\theta$ 의 피크는 CAAC-OS막의 일부에, c축 배향성을 가지고 있지 않은 결정이 포함되어 있다는 것을 나타낸다. CAAC-OS막에서,  $2\theta$ 의 피크는  $31^\circ$  근방에서 나타나고,  $2\theta$ 의 피크는  $36^\circ$  근방에서는 나타나지 않는 것이 바람직하다.
- [0140] CAAC-OS막을 사용한 트랜지스터에서는, 가시광 또는 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 이러한 트랜지스터는 신뢰성이 높다.
- [0141] 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2개 이상의 막을 포함하는 적층막일 수도 있다.
- [0142] 예를 들어, CAAC-OS막은 다결정인 산화물 반도체 스퍼터링 타깃을 사용하는 스퍼터링법에 의해 형성한다. 스퍼터링 타깃에 이온이 충돌함으로써, 스퍼터링 타깃에 포함되는 결정 영역이 a-b면을 따라 타깃으로부터 분리될 수 있으며; 즉, a-b면에 평행한 면을 갖는 스퍼터링 입자(평판 형상의 스퍼터링 입자 또는 펠릿 형상의 스퍼터링 입자)가 타깃으로부터 박리된다. 이 경우, 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.
- [0143] CAAC-OS막을 성막하기 위해서는, 이하의 조건을 이용하는 것이 바람직하다.
- [0144] 성막하는 동안 CAAC-OS막에 불순물이 침입하는 것을 줄임으로써, 예를 들어, 성막실 내에 존재하는 불순물(예를 들어, 수소, 물, 이산화탄소 및 질소)의 농도를 줄이거나, 성막 가스내의 불순물 농도를 줄임으로써, 불순물에 의해 결정 상태가 붕괴되는 것을 방지할 수 있다. 구체적으로, 이슬점이  $-80^\circ\text{C}$  이하, 바람직하기로는  $-100^\circ\text{C}$  이하, 보다 바람직하기로는  $-120^\circ\text{C}$  이하인 성막 가스를 사용한다.
- [0145] 성막하는 동안 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판 표면에 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 발생한다. 구체적으로, 성막하는 동안 기판 가열 온도는  $100^\circ\text{C}$  내지  $740^\circ\text{C}$ 이며, 바람직하기로는  $200^\circ\text{C}$  내지  $500^\circ\text{C}$ 이다. 성막하는 동안 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달하는 경우, 기판 상에서 마이그레이션이 발생하여 평판 형상의 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0146] 성막 가스내의 산소 비율을 높이고, 전력을 최적화함으로써 성막시 플라즈마 대미지를 경감시키는 것이 바람직하다. 성막 가스내의 산소 비율은 30 vol% 이상, 바람직하기로는 100 vol%이다.
- [0147] 스퍼터링용 타깃의 일례로서, In-Ga-Zn계 산화물 타깃에 대해서 이하에서 설명한다.
- [0148] InO<sub>x</sub> 분말, GaO<sub>y</sub> 분말 및 ZnO<sub>z</sub> 분말을 소정의 몰비로 혼합하고, 혼합물에 가압 처리하고,  $1000^\circ\text{C}$  내지  $1500^\circ\text{C}$ 의 온도 범위에서 가열 처리함으로써 다결정인 In-Ga-Zn계 산화물 타깃이 제조된다. X, Y 및 Z는 임의의 양수임에 유의하라. 여기서, GaO<sub>y</sub> 분말과 ZnO<sub>z</sub> 분말에 대한 InO<sub>x</sub> 분말의 소정의 몰비는 예를 들어, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 분말의 종류 및 분말을 혼합하는 몰비는 원하는 타깃에 따라 적절히 결정될 수 있다.

- [0149] 성막 직후의 산화물 반도체막은 화학양론적 조성보다 산소의 비율이 높은 과포화 상태가 바람직하다. 예를 들어, 스퍼터링법에 의해 산화물 반도체막을 형성하는 경우, 산소가 차지하는 비율이 높은 성막 가스에서 성막하는 것이 바람직하고, 특히 산소 분위기(산소 가스: 100%)하에서 성막을 행하는 것이 바람직하다. 산소가 차지하는 비율이 높은 성막 가스, 특히 산소 가스 100%인 분위기하에서 성막하는 경우, 예를 들어 성막 온도를 300 °C 이상으로 해도, 막으로부터의 Zn의 방출이 억제될 수 있다.
- [0150] 산화물 반도체막은 복수의 산화물 반도체막이 적층된 구조를 가질 수도 있다는 것에 유의하라. 예를 들어, 산화물 반도체막은 상이한 조성의 금속 산화물을 사용하여 형성되는 제1 산화물 반도체막과 제2 산화물 반도체막의 적층일 수도 있다. 예를 들어, 제1 산화물 반도체막은 3가지 성분의 금속 산화물을 사용하여 형성될 수 있고, 제2 산화물 반도체막은 2가지 성분의 금속 산화물을 사용하여 형성될 수 있다. 대안적으로, 예를 들어, 제1 산화물 반도체막과 제2 산화물 반도체막 둘다 3가지 성분의 금속 산화물을 사용하여 형성될 수 있다.
- [0151] 또한, 제1 산화물 반도체막과 제2 산화물 반도체막의 구성 원소를 동일하게 하고, 제1 산화물 반도체막과 제2 산화물 반도체막의 구성 원소의 조성을 상이하게 할 수 있다. 예를 들어, 제1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 제2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 할 수 있다. 대안적으로, 제1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제2 산화물 반도체막의 원자수비를 In:Ga:Zn=2:1:3으로 할 수 있다.
- [0152] 이때, 제1 산화물 반도체막과 제2 산화물 반도체막 중에서, 게이트 전극에 더 근접한 산화물 반도체막은 In과 Ga의 비율을 In>Ga로 하는 것이 바람직하다. 게이트 전극으로부터 더 멀리있는 다른 산화물 반도체막은 In과 Ga의 비율을 In≤Ga로 하는 것이 바람직하다.
- [0153] 산화물 반도체에서는 주로 중금속의 s 궤도가 캐리어 전도에 기여하고 있으며, 산화물 반도체내의 In의 함유율이 증가할 경우, s 궤도의 중첩은 증가하는 경향이 있다. 따라서, In>Ga인 조성을 갖는 산화물은 In≤Ga인 조성을 갖는 산화물보다 높은 이동도를 갖는다. 또한, Ga에서는, In에서보다 산소 결손의 형성 에너지가 크기 때문에 산소 결손이 발생하기 어렵고; 그에 따라 In≤Ga인 조성을 갖는 산화물은 In>Ga인 조성을 갖는 산화물보다 안정된 특성을 갖는다.
- [0154] 채널층에서는 In>Ga인 비율로 In과 Ga를 포함하는 산화물 반도체가 사용되고, 백 채널층(채널의 반대층)에서는 In≤Ga인 비율로 In과 Ga를 포함하는 산화물 반도체가 사용됨으로써, 트랜지스터의 이동도 및 신뢰성이 더욱 향상될 수 있다.
- [0155] 또한, 제1 산화물 반도체막과 제2 산화물 반도체막으로는 결정성이 상이한 산화물 반도체를 사용할 수도 있다. 즉, 단결정 산화물 반도체막, 다결정 산화물 반도체막, 비정질 산화물 반도체막, 미결정 산화물 반도체막 및 CAAC-OS막 중 2개가 적절히 조합될 수도 있다. 제1 산화물 반도체막과 제2 산화물 반도체막 중 적어도 어느 한 쪽에 비정질 산화물 반도체가 사용될 경우, 산화물 반도체막의 내부 응력 또는 외부 응력이 완화되고, 트랜지스터의 특성 변동이 저감되며, 트랜지스터의 신뢰성이 더욱 향상될 수 있다.
- [0156] 한편, 비정질 산화물 반도체는 수소와 같이, 공여체로서 기능하는 불순물을 흡수하기 쉽고, 산소 결손을 발생하기 쉽기 때문에; 비정질 산화물 반도체는 n형화되기 쉽다. 이로 인해, 채널 층의 산화물 반도체막으로는 CAAC-OS막과 같은 결정성을 갖는 산화물 반도체를 사용하는 것이 바람직하다.
- [0157] 또한, 산화물 반도체막은 복수의 결정성 반도체막사이에 비정질 반도체막이 개재된 3층 이상의 적층 구조를 가질 수 있다. 또한, 결정성 반도체막과 비정질 반도체막이 교대로 적층된 구조를 사용할 수도 있다.
- [0158] 복수층의 적층 구조를 갖는 산화물 반도체막을 구성하기 위한 이들 2가지 구조는 적절히 조합될 수 있다.
- [0159] 산화물 반도체막이 복수층의 적층 구조를 갖는 경우에, 산화물 반도체막이 형성될 때마다 산소를 추가할 수도 있다. 산소의 추가를 위해, 산소 분위기에서의 열처리, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 산소를 포함하는 분위기에서 행하는 플라즈마 처리 등을 사용할 수 있다.
- [0160] 산화물 반도체막이 형성될 때마다 산소를 첨가함으로써, 산화물 반도체내의 산소 결손을 저감하는 효과를 높일 수 있다.
- [0161] 산화물 반도체막과 접촉하는 절연막에서, X선 반사율법(XRR)에 의해 측정되는 막 전체의 막 밀도는 2.26g/cm<sup>3</sup> 이상 2.50g/cm<sup>3</sup> 이하인 것이 바람직하고, 이 범위의 막 밀도를 갖는 절연막은 다량의 산소를 방출할 수 있다.

- [0162] 절연막을 형성할 때, 원료 가스의 활성종이 절연막이 형성되는 표면(여기서는 소스 전극 및 드레인 전극의 상면)에 흡착된 후, 그 표면 상에서 활성종이 이동한다. 그러나, 절연막이 산소를 공급할 수 있는 막인 경우, 원료 가스의 활성종의 땀글링 본드(dangling bond)가 절연막내의 과잉 산소로 인해 종료되기 때문에 절연막은 안정화되고, 표면위에서 이동하는 원료 가스의 활성종의 양은 적게 된다. 따라서, 단차부 등으로 인해 절연막이 쉽게 성막되지 않는 부분이 있기 때문에, 공극부가 발생하기 쉽다. 또한, 나중에 성막되는 막의 원료 가스의 활성종이 공극부에 들어가기 어렵고, 공극부가 확대되게 된다.
- [0163] 또한, 질화물 절연막을 형성함으로써, 공극부를 폐공간으로 할 수 있고, 폐공간이 된 공극부에는 다량의 산소가 도입될 수 있기 때문에; 가열시 산화물 절연막으로부터의 산소 방출량을 증대시킬 수 있다. 그 결과, 산화물 반도체막내의 산소 결손을 산화물 절연막으로부터의 산소로 채울 수 있기 때문에; 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0164] 또한, 실시 형태 3의 도 7b 및 도 7c에 나타난 바와 같이 산화물 절연막을 적층하는 경우, 산화물 절연막(410b)은 산화물 반도체막에 산소를 공급하는 막이기 때문에, 산화물 절연막(410b)에 접촉하여 높은 인가 전력으로 질화물 절연막(411)을 형성할 경우, 산화물 절연막(410b)내에 포함되는 과잉 산소가 방출되어, 산소 공급 능력이 저하될 수 있다.
- [0165] 따라서, 질화물 절연막(411)의 바로 아래에 산화물 절연막(410c) 또는 산화물 절연막(410e)를 제공함으로써, 질화물 절연막(411)을 형성하는 것으로 인한 산화물 절연막(410b) 또는 산화물 절연막(410d)의 산소 공급 능력의 저하를 억제할 수 있다.
- [0166] 다음으로, 가열 처리에 의해, 산화물 반도체막(31) 및 산소를 공급할 수 있는 산화물 절연막(32)에서의 질소, 수소, 물의 이동을 나타내는 모델에 대해서, 도 25a 내지 도 25d, 도 26a 내지 도 26e, 및 도 27a 내지 도 27c를 참조하여 설명한다. 도 25a 내지 도 25d, 도 26a 내지 도 26e, 및 도 27a 내지 도 27c에서, 파선 화살표는 가열에 의해 생성되는 각 원자의 이동을 나타내고, 실선 화살표는 가열 처리중 또는 가열 처리 전후의 변화를 나타낸다. 또한, 산화물 절연막(32)으로서, 화학양론적 조성보다 더 많은 산소를 포함하는 산화물 절연막을 사용한다.
- [0167] 도 25a 내지 도 25d는 각각 산화물 절연막(32)에서, 가열 처리에 의해 주로 발생할 수 있는 원자 이동을 나타내는 모델을 나타낸다.
- [0168] 도 25a는 가열 처리에 의해 생성되는 질소 원자의 이동을 나타낸다. 본 모델에서는, 산화물 절연막(32)에 포함되는 질소 원자 N(여기에서는 2개의 질소 원자)이 가열 처리에 의해, 산화물 절연막(32) 또는 표면에서 서로 결합되어 질소 분자를 형성하고, 이 질소 분자는 산화물 절연막(32)으로부터 방출된다.
- [0169] 도 25b는 가열 처리에 의해 생성되는 산소 원자의 이동을 나타내는 모델이다. 산화물 절연막(32)에 포함되는 화학양론적 조성보다 많은 산소 원자들인 산소 원자(여기서는, ex0로 표시된 2개의 산소 원자)는 가열 처리에 의해, 산화물 절연막(32) 또는 표면에서 서로 결합되어 산소 분자를 형성하고, 이 산소 분자는 산화물 절연막(32)으로부터 방출된다.
- [0170] 도 25c는 가열 처리에 의해 생성되는 수소 원자 및 산소 원자의 이동을 나타내는 모델이다. 산화물 절연막(32)에 포함되는 화학양론적 조성보다 많은 산소 원자들인 산소 원자 ex0와 수소 원자 H(여기서는 2개의 수소 원자)는 가열 처리에 의해, 산화물 절연막(32) 또는 표면에서 서로 결합되어 물 분자를 형성하고, 이 물 분자는 산화물 절연막(32)으로부터 방출된다.
- [0171] 도 25d는 가열 처리에 의해 생성되는 물 분자의 이동을 나타내는 모델이다. 산화물 절연막(32)에 포함되는 물 분자는 가열 처리에 의해 산화물 절연막(32)으로부터 방출된다.
- [0172] 상술한 모델에 나타난 바와 같이, 가열 처리에 의해 산화물 절연막(32)으로부터, 1개 이상의 질소, 수소 및 물이 방출됨으로써, 막내의 질소, 수소 및 물의 함유량을 저감할 수 있다.
- [0173] 다음으로, 산화물 반도체막(31)에서 가열 처리에 의해 발생할 수 있는 원자의 이동을 나타내는 모델은 도 26a 내지 도 26e를 참조하여 설명한다.
- [0174] 도 26a는 가열 처리에 의해 생성되는 질소 원자의 이동을 나타내는 모델이다. 산화물 반도체막(31)에 포함되는 질소 원자 N(여기에서는 2개의 질소 원자)이가열 처리에 의해, 산화물 반도체막(31), 산화물 반도체막(31)과 산화물 절연막(32)사이의 계면, 산화물 절연막(32), 또는 산화물 절연막(32)의 표면에서 서로 결합되어 질소 분자

를 형성하고, 이 질소 분자는 산화물 반도체막(31)으로부터 방출된다.

- [0175] 도 26b는 가열 처리에 의해 생성되는 수소 원자 및 산소 원자의 이동을 나타내는 모델이다. 산화물 반도체막(31)에 포함되는 수소 원자 H(여기서는 2개의 수소 원자)가 가열 처리에 의해 산화물 절연막(32)으로 이동한 후, 산화물 절연막(32) 또는 그 표면에서, 화학양론적 조성보다 많은 산소 원자 ex0와 결합하여 물 분자를 형성하고, 이 물 분자는 산화물 절연막(32)으로부터 방출된다.
- [0176] 도 26c는 가열 처리에 의해 생성되는 수소 원자 및 산소 원자의 다른 이동을 나타내는 모델이다. 산화물 반도체막(31)에 포함되는 수소 원자 H가 화학양론적 조성보다 많은 산소 원자 ex0와, 가열 처리에 의해, 산화물 반도체막(31) 또는 산화물 반도체막(31)과 산화물 절연막(32)간의 계면에서 결합하여 물 분자를 형성하고, 이 물 분자는 산화물 절연막(32)으로부터 방출된다.
- [0177] 도 26d 및 도 26e는 가열 처리에 의해 생성되는 수소 원자 및 산소 원자의 다른 이동을 나타내는 모델이다. 산화물 반도체막(31)에 포함되는 수소 원자 H 및 산소 원자 0가 산화물 반도체막(31), 산화물 반도체막(31)과 산화물 절연막(32)간의 계면, 산화물 절연막(32), 또는 산화물 절연막(32)의 표면에서 서로 결합하여 물 분자를 형성하고, 이 물 분자는 산화물 절연막(32)으로부터 방출된다. 이때, 산화물 반도체막(31)에서, 산소 원자가 방출된 위치는 도 26e에 도시된 바와 같이, 산소 결손 Vo가 되지만; 화학양론적 조성보다도 많은 산소 원자 ex0가 산소 결손 Vo의 위치로 이동하여, 산소 결손 Vo을 산소 원자 ex0로 채워서 산소 원자 0를 형성한다.
- [0178] 이러한 방식으로, 가열 처리에 의해, 산화물 반도체막(31)로부터, 1개 이상의 질소, 수소, 물이 방출됨으로써, 막내의 질소 함유량, 수소 함유량 및 물의 함유량을 저감할 수 있다.
- [0179] 다음으로, 가열 처리에 의한 산화물 반도체막(31)의 산소 결손의 변화를 각각 나타내는 모델에 대해서, 도 27a 내지 도 27c를 참조하여 설명한다.
- [0180] 화학양론적 조성보다 많은 산소 원자가 산화물 반도체막(31)으로 이동하는 경우, 화학양론적 조성보다도 많은 산소 원자는 제1 산소 원자의 위치로부터 제1 산소 원자를 압출한다. 압출된 제1 산소 원자는 제2 산소 원자의 위치로 이동하고, 제2 산소 원자를 압출한다. 이러한 방식으로, 화학양론적 조성보다 많은 산소 원자가 산화물 반도체막(31)으로 이동할 경우, 복수의 산소 원자간에 산소 원자의 압출이 순차적으로 행해진다. 도 27a 내지 도 27c에는 복수의 산소 원자간에 순차적으로 압출되는 산소 원자는 도시되어 있지 않으며, 산화물 반도체막(31)에 포함되는 3개의 산소 결손(Vo\_1, Vo\_2 및 Vo\_3)과, 산소를 공급할 수 있는 산화물 절연막(32)에 포함되는 산소, 구체적으로는 화학양론적 조성보다 많은 산소 원자(ex0\_1, ex0\_2 및 ex0\_3)를 사용하여, 산소 결손의 변화를 각기 나타내는 모델에 대해서 설명한다. 산화물 절연막(32)은 저전력 조건하에서 형성되고, 피복성이 높은 산화물 절연막(32a)과, 산소를 공급할 수 있는 산화물 절연막(32b)의 적층막이다.
- [0181] 도 27a 내지 도 27c에서는 산화물 반도체막(31)에 포함되는 3개의 산소 결손(Vo\_1, Vo\_2 및 Vo\_3)과, 산소를 공급할 수 있는 산화물 절연막(32b)에 포함되는 산소, 구체적으로는 화학양론적 조성보다 많은 산소 원자(ex0\_1, ex0\_2 및 ex0\_3)를 나타낸다.
- [0182] 도 27a는 가열 처리에 의한, 산소 결손 Vo\_1과 산소 원자 ex0\_1간의 반응을 나타낸다. 화학양론적 조성보다도 많은 산소 원자 ex0\_1가 가열 처리에 의해, 산화물 반도체막(31)에 포함되는 산소 결손 Vo\_1의 위치로 이동하여, 산소 결손 Vo\_1을 채워서, 산소 원자 0\_1를 형성한다.
- [0183] 다음으로, 도 27b에 도시한 바와 같이, 화학양론적 조성보다도 많은 산소 원자 ex0\_2가 산화물 반도체막(31)에 포함되는 산소 원자 0\_1의 위치에 더 가깝게 되면, 산소 원자 0\_1의 위치로부터 산소 원자 0가 방출된다. 방출된 산소 원자 0는 산소 결손 Vo\_2의 위치로 이동하고, 산소 결손 Vo\_2이 채워져서 산소 원자 0\_2가 형성된다. 한편, 산소 원자가 방출된 산소 원자 0\_1의 위치는 산소 결손이 되지만; 그 산소 결손의 위치로 산소 원자 ex0\_2가 이동하여, 산소 원자 0\_1a를 형성한다.
- [0184] 다음으로, 도 27c에 도시한 바와 같이, 화학양론적 조성보다 많은 산소 원자 ex0\_3이 산화물 반도체막(31)에 포함되는 산소 원자 0\_1a의 위치에 더 가깝게 되면, 산소 원자 0\_1a의 위치로부터 산소 원자 0가 방출된다. 방출된 산소 원자 0는 산소 원자 0\_2의 위치로 이동한다. 산소 원자 0\_2로부터 산소 원자 0가 방출된다. 산소 결손 Vo\_3은 방출된 산소 원자 0로 채워져서, 산소 원자 0\_3를 형성한다. 한편, 산소 원자가 방출된 산소 원자 0\_1a의 위치는 산소 결손이 되지만; 그 산소 결손으로 산소 원자 ex0\_3이 이동하여 산소 원자 0\_1b를 형성한다. 또한, 산소 원자가 방출된 산소 원자 0\_2의 위치도 산소 결손이 되지만; 그 산소 결손의 위치로 산소 원자 0\_1a로부터 방출된 산소가 이동하여 산소 원자 0\_2a를 형성한다.

- [0185] 이상의 공정에 의해, 산소를 공급할 수 있는 산화물 절연막(32b)에 포함되는 산소가 산화물 반도체막(31)에 포함되는 산소 결손을 채울 수 있다. 또한, 산화물 반도체막(31)의 표면에 있는 산소 결손은 물론, 막내의 산소 결손도 가열 처리에 의해 채울 수 있다. 상술한 바와 같이, 가열하면서 산소를 공급할 수 있는 산화물 절연막(32b)을 형성하거나, 산소를 공급할 수 있는 산화물 절연막(32b)이 제공된 후에 가열 처리를 함으로써, 산화물 반도체막(31)에 포함되는 산소 결손량을 저감할 수 있다.
- [0186] 산화물 반도체막(31)의 백 채널 위에, 산소가 투과되는 산화물 절연막(32a)으로서 산화물 절연막이 제공된 화학 양론적 조성보다 많은 산소를 포함하는 산화물 절연막(32b)를 제공할 경우, 산화물 반도체막(31)의 백 채널측으로 산소를 이동시킬 수 있고, 백 채널측의 산소 결손을 저감할 수 있다.
- [0187] 본 실시 형태에서 설명한 구조, 방법 등은 다른 실시 형태에서 설명한 구조, 방법 등과 적절히 조합할 수 있다.
- [0188] (실시 형태 5)
- [0189] 상술한 실시 형태에서 나타낸 트랜지스터 예를 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 칭한다)를 제조할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부가 형성되는 기관 위에 형성할 수 있기에, 시스템-온-패널(system-on-panel)을 구할 수 있다. 본 실시 형태에서는 상술한 실시 형태에서 나타낸 트랜지스터 예를 사용한 표시 장치의 예에 대해서, 도 9a 내지 도 9c, 도 10a 및 도 10b, 도 11, 및 도 12a 내지 도 12c를 참조하여 설명한다. 도 10a, 도 10b 및 도 11은 도 9b에서의 M-N의 일점 쇄선을 따라 취해진 단면 구조를 도시하는 단면도이다.
- [0190] 도 9a에서, 제1 기관(901) 위에 제공된 화소부(902)를 둘러싸도록 시일재(sealant)(905)가 제공되고, 화소부(902)는 제2 기관(906)으로 밀봉된다. 도 9a에서, 신호선 구동 회로(903) 및 주사선 구동 회로(904)는 각각 별도로 준비된 기관 위에 단결정 반도체 또는 다결정 반도체를 사용하여 형성되고, 제1 기관(901) 위의 시일재(905)에 의해 둘러싸여 있는 영역과 상이한 영역에 실장된다. 또한, 신호선 구동 회로(903), 주사선 구동 회로(904) 및 화소부(902)에는 각종 신호 및 전위가 FPC(flexible printed circuit)(918a 및 918b)로부터 공급된다.
- [0191] 도 9b 및 도 9c에서, 제1 기관(901) 위에 제공된 화소부(902) 및 주사선 구동 회로(904)를 둘러싸도록 시일재(905)가 제공된다. 화소부(902) 및 주사선 구동 회로(904) 위에는 제2 기관(906)이 제공된다. 따라서, 화소부(902) 및 주사선 구동 회로(904)는 제1 기관(901), 시일재(905) 및 제2 기관(906)에 의해, 표시 소자와 함께 밀봉된다. 도 9b 및 도 9c에서, 제1 기관(901) 위의 시일재(905)에 의해 둘러싸여 있는 영역과 상이한 영역에는, 별도로 준비된 기관 위에 단결정 반도체 또는 다결정 반도체를 사용하여 형성된 신호선 구동 회로(903)가 실장된다. 도 9b 및 도 9c에서, 신호선 구동 회로(903), 주사선 구동 회로(904) 및 화소부(902)에는 각종 신호 및 전위가 FPC(918)로부터 공급된다.
- [0192] 도 9b 및 도 9c에서는 신호선 구동 회로(903)를 별도로 형성하여 제1 기관(901)에 실장하고 있는 예를 나타내고 있지만, 본 발명의 일 실시 형태는 이 구조에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장할 수도 있으며, 또는 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장할 수도 있다.
- [0193] 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되는 것이 아니라, COG(chip on glass) 방법, 와이어 본딩 방법, 또는 TAB(tape automated bonding) 방법 등을 사용할 수 있다는 것에 유의하라. 도 9a는 COG 방법에 의해 신호선 구동 회로(903), 주사선 구동 회로(904)가 실장된 예를 나타낸다. 도 9b는 COG 방법에 의해 신호선 구동 회로(903)가 실장된 예를 나타낸다. 도 9c는 TAB 방법에 의해 신호선 구동 회로(903)가 실장된 예를 나타낸다.
- [0194] 표시 장치는 카테고리에서 표시 소자가 밀봉된 패널과, 패널에 제어기를 포함하는 IC 등이 실장된 모듈을 포함한다.
- [0195] 본 명세서에서의 표시 장치는 화상 표시 장치, 표시 장치, 또는 광원(조명 장치를 포함한다)를 가리킨다. 또한, 표시 장치는 그 카테고리에서 FPC, TAB 테이프, 또는 TCP와 같은 커넥터가 부착된 모듈; 끝에 프린트 배선판이 제공된 TCP를 갖는 모듈; 및 표시 소자에 COG 방식에 의해 IC(integrated circuit)가 직접 실장된 모듈도 포함한다.
- [0196] 제1 기관 위에 제공된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 포함하고, 상술한 실시 형태에서 설

명된 트랜지스터들 중 임의의 것을 사용할 수 있다.

- [0197] 표시 장치에 제공되는 표시 소자로서는, 액정 소자(액정 표시 소자라고도 칭한다) 또는 발광 소자(발광 표시 소자라고도 칭한다)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(electroluminescent) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크와 같이, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체가 사용될 수 있다.
- [0198] 도 10a에 나타낸 발광 장치는 접속 단자 전극(915) 및 단자 전극(916)을 포함한다. 접속 단자 전극(915) 및 단자 전극(916)은 이방성 도전제(919)를 통해 FPC(918)에 포함된 단자와 전기적으로 접속된다.
- [0199] 접속 단자 전극(915)은 제1 전극(930)과 동일한 도전막을 사용하여 형성되고, 단자 전극(916)은 트랜지스터(910) 및 트랜지스터(911) 각각의 소스 전극 및 드레인 전극(이하, 한 쌍의 전극이라고 칭한다)과 동일한 도전막을 사용하여 형성된다.
- [0200] 도 10b에 나타낸 발광 장치는 접속 단자 전극(915a, 915b) 및 단자 전극(916)을 포함한다. 접속 단자 전극(915a, 915b) 및 단자 전극(916)은 이방성 도전제(919)를 통해 FPC(918)에 포함된 단자와 전기적으로 접속된다.
- [0201] 접속 단자 전극(915a)은 제1 전극(930)과 같은 도전막을 사용하여 형성되고, 접속 단자 전극(915b)은 제3 전극(941)과 같은 도전막을 사용하여 형성되며, 단자 전극(916)은 트랜지스터(910) 및 트랜지스터(911) 각각의 한 쌍의 전극과 같은 도전막을 사용하여 형성된다.
- [0202] 또한, 도 11에 도시된 바와 같이, 반도체 장치는 접속 단자 전극(955) 및 단자 전극(916)을 포함한다. 접속 단자 전극(955) 및 단자 전극(916)은 이방성 도전제(919)를 통해 FPC(918)에 포함된 단자와 전기적으로 접속된다.
- [0203] 접속 단자 전극(955)은 제2 전극(931)과 같은 도전막을 사용하여 형성되고, 단자 전극(916)은 트랜지스터(910) 및 트랜지스터(911) 각각의 한 쌍의 전극과 같은 도전막을 사용하여 형성된다.
- [0204] 제1 기관(901) 위에 제공된 화소부(902)와 주사선 구동 회로(904)는 각각 복수의 트랜지스터를 포함한다. 도 10a 및 도 10b와 도 11은 화소부(902)에 포함되는 트랜지스터(910)와 주사선 구동 회로(904)에 포함되는 트랜지스터(911)를 나타낸다. 도 10a 및 도 10b에서, 트랜지스터(910) 및 트랜지스터(911) 각각에는 실시 형태 1에서의 절연막(412)에 대응하는 절연막(924)이 제공되고, 절연막(924) 위에는 평탄화막으로서 기능하는 층간 절연막(921)이 추가로 제공된다. 절연막(923)은 하지막(base film)으로서 기능하는 절연막이라는 것에 유의하라.
- [0205] 본 실시 형태에서는, 트랜지스터(910) 및 트랜지스터(911)로서, 상술한 실시 형태에서 설명한 트랜지스터들 중 임의의 것을 사용할 수 있다.
- [0206] 또한, 도 11은 절연막(924) 위에, 구동 회로용 트랜지스터(911)의 반도체막의 채널 형성 영역과 중첩하도록 도전막(917)이 제공되어 있는 예를 나타낸다. 반도체막으로서 산화물 반도체막을 사용하고 있다는 것에 유의하라. 도전막(917)을 산화물 반도체막의 채널 형성 영역과 중첩하도록 제공함으로써, BT 스트레스 테스트 전과 후사이에 트랜지스터(911)의 임계값 전압의 변동량을 더 저감할 수 있다. 도전막(917)은 트랜지스터(911)의 게이트 전극과 동일한 전위를 갖거나 상이한 전위를 가질 수 있으며, 도전막(917)은 제2 게이트 전극으로서 기능시킬 수 있다. 도전막(917)의 전위는 GND, 0V, 또는 플로팅 상태일 수도 있다.
- [0207] 또한, 도전막(917)은 외부의 전기장을 차단하는 기능을 갖는다. 즉, 도전막(917)은 외부의 전기장이 내부(트랜지스터를 포함하는 회로부)에 영향을 미치지 않도록 하는 기능(특히, 정전기를 차단하는 기능)을 갖는다. 도전막(917)의 이러한 차단 기능은 정전기와 같은 외부의 전기장의 영향에 의해 트랜지스터의 전기적인 특성이 변동하는 것을 방지할 수 있다. 도전막(917)은 상술한 실시 형태에서 설명한 트랜지스터들 중 임의의 것에 사용할 수 있다.
- [0208] 표시 패널에서, 화소부(902)에 포함된 트랜지스터(910)는 표시 소자와 전기적으로 접속된다. 표시 소자의 종류에 대해서는 표시를 행할 수 있으면 특별히 한정되지 않고, 다양한 종류의 표시 소자를 사용할 수 있다.
- [0209] 표시 소자에 전압을 인가하는 제1 전극 및 제2 전극(이들 각각은 화소 전극, 공통 전극, 대향 전극 등이라고도 칭한다)은 광이 추출되는 방향, 전극이 제공되는 위치, 및 전극의 패턴 구조에 따라 좌우되는 투광성 또는 반사성을 가질 수 있다.

- [0210] 제1 전극(930), 제2 전극(931) 및 제3 전극(941)은 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 칭한다), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.
- [0211] 대안적으로, 제1 전극(930), 제2 전극(931) 및 제3 전극(941)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag)과 같은 금속; 이들 금속의 합금; 및 이들 금속의 질화물로부터 선택된 하나 이상의 재료들을 사용하여 형성할 수 있다.
- [0212] 제1 전극(930), 제2 전극(931) 및 제3 전극(941)은 도전성 중합체(도전성 중합체라고도 칭한다)를 포함하는 도전성 조성을 사용하여 형성할 수 있다. 도전성 중합체로서는 소위  $\pi$ -전자 공액계 도전성 중합체를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤 및 티오펜 중 2개 이상으로 이루어진 공중합체 또는 그 유도체 등을 제공할 수 있다.
- [0213] 도 10a 및 도 10b에는 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예가 도시되어 있다. 도 10a는 수직 전계 방식이 사용된 예를 나타낸다.
- [0214] 도 10a에서, 표시 소자인 액정 소자(913)는 제1 전극(930), 제2 전극(931) 및 액정층(908)을 포함한다. 액정층(908)이 사이에 제공되도록 배향막으로서 기능하는 절연막(932) 및 절연막(933)이 제공된다는 것에 유의하라. 제2 전극(931)은 제2 기관(906) 측에 제공된다. 제2 전극(931)은 액정층(908)을 개재하여 제1 전극(930)과 중첩된다.
- [0215] 도 10b에서, 표시 소자인 액정 소자(943)는 층간 절연막(921) 위에 형성되는 제1 전극(930), 제3 전극(941) 및 액정층(908)을 포함한다. 제3 전극(941)은 공통 전극으로서 기능한다. 제1 전극(930)과 제3 전극(941) 사이에는 절연막(944)이 제공된다. 절연막(944)은 질화 실리콘막을 사용하여 형성된다. 액정층(908)이 사이에 개재되도록 배향막으로서 기능하는 절연막(932) 및 절연막(933)이 제공된다.
- [0216] 스페이서(935)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥형 스페이서이며, 제1 전극(930)과 제2 전극(931)간의 간격(셀 갭)을 제어하기 위해 제공된다. 대안적으로, 구형 스페이서(spherical spacer)를 사용할 수도 있다.
- [0217] 표시 소자로서, 액정 소자를 사용하는 경우, 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 중합체 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0218] 대안적으로, 배향막이 불필요한 블루상을 나타내는 액정을 사용할 수도 있다. 블루상은 액정상들 중 하나이며, 콜레스테릭 액정의 온도를 올리면서 콜레스테릭상으로부터 등방상으로 변하기 직전에 생성되는 상이다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 개선하기 위해서 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 1msec 이하의 짧은 응답 시간을 가지며, 광학적 등방성이기에 배향 처리가 불필요하여 시야각 의존성이 작다. 또한, 배향막을 제공할 필요가 없으며 러빙 처리도 불필요하기 때문에, 러빙 처리에 의해 야기되는 정전 파괴를 방지할 수 있고, 제조 공정시의 액정 표시 장치의 결함 및 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있다.
- [0219] 제1 기관(901) 및 제2 기관(906)은 시일재(925)에 의해 제자리에 고정된다. 시일재(925)로서는, 열경화 수지 또는 광경화 수지와 같은 유기 수지를 사용할 수 있다.
- [0220] 도 10a의 액정 표시 장치에서, 시일재(925)는 게이트 절연막(922)과 접촉하고, 층간 절연막(921)은 시일재(925)의 내측에 제공된다. 게이트 절연막(922)은 질화 실리콘막 및 산화질화 실리콘막을 적층함으로써 형성된다는 것에 유의하라. 또한, 절연막(924)을 선택적으로 에칭할 경우, 게이트 절연막(922)의 상층에 있는 산화질화 실리콘막을 에칭하여 질화 실리콘막을 노출시키는 것이 바람직하다. 그 결과, 시일재(925)는 게이트 절연막(922)에 형성되는 질화 실리콘막과 접촉하게 되며, 외부로부터의 물이 시일재(925)의 내부로 침입하는 것을 억제할 수 있다.
- [0221] 도 10b의 액정 표시 장치에서, 시일재(925)는 절연막(924)과 접촉하고 있다. 층간 절연막(921)은 시일재(925)의 내측에 제공되며, 시일재(925)는 절연막(924)의 표면위의 질화 실리콘막과 접촉하기 때문에, 외부로부터의

물이 시일재(925)의 내부로 침입하는 것을 억제할 수 있다.

- [0222] 액정 표시 장치에 형성되는 저장 용량 소자(storage capacitor)의 크기는 화소부에 제공되는 트랜지스터의 누설 전류 등을 고려하여, 소정 기간동안 전하를 유지할 수 있도록 설정된다. 고순도의 산화물 반도체막을 포함하는 트랜지스터를 사용함으로써, 각 화소의 액정 용량에 대하여 1/3 이하, 바람직하기로는 1/5 이하인 용량을 갖는 저장 용량 소자를 제공하면 충분하기 때문에; 화소의 개구율을 높일 수 있다.
- [0223] 표시 장치에서, 블랙 매트릭스(차광막), 편광 부재, 위상차 부재 또는 반사 방지 부재와 같은 광학 부재(광학 기관) 등이 적절히 제공된다. 예를 들어, 편광 기관 및 위상차 기관을 사용함으로써 원형 편광이 구해질 수도 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용할 수도 있다.
- [0224] 화소부에서의 표시 방식으로서, 프로그레시브 방식, 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어하는 색 요소는 3가지 색: R, G 및 B(R, G 및 B는 각각 적, 녹 및 청을 나타낸다)에 한정되지 않는다. 예를 들어, R, G, B 및 W(W는 백색을 나타낸다) 또는 R, G, B, 및 옐로우, 시안, 마젠타 등 중 하나 이상을 사용할 수 있다. 또한, 색 요소의 각 도트간에 표시 영역의 크기가 상이할 수도 있다. 본 발명은 컬러 표시의 표시 장치에 대한 응용에 한정되는 것이 아니라, 모노크롬 표시의 표시 장치에 적용할 수도 있다.
- [0225] 도 12a 내지 도 12c는 기관(906) 위에 제공된 제2 전극(931)과 전기적으로 접속하기 위한 공통 접속부(패드부)가 기관(901) 위에 형성된, 도 10a의 표시 장치의 예를 나타낸다.
- [0226] 공통 접속부는 기관(901)과 기관(906)을 접촉하기 위한 시일재와 중첩하는 위치에 제공되고, 시일재에 포함되는 도전성 입자를 통해 제2 전극(931)과 전기적으로 접속된다. 대안적으로, 시일재와 중첩되지 않는 위치(화소부를 제외한다)에 공통 접속부를 제공하고, 공통 접속부와 중첩하도록 도전성 입자를 포함하는 페이스트를 시일재와는 별도로 제공함으로써, 공통 접속부는 제2 전극(931)과 전기적으로 접속된다.
- [0227] 도 12a는 도 12b의 상면도에서 선 I-J을 따라 취해진 공통 접속부의 단면도이다.
- [0228] 공통 전위선(975)은 게이트 절연막(922) 위에 제공되고, 도 10a 및 도 10b에 도시된 트랜지스터(910)의 소스 전극(971) 및 드레인 전극(973)과 동일한 재료 및 동일한 단계를 사용하여 형성된다.
- [0229] 또한, 공통 전위선(975)은 절연막(924) 및 층간 절연막(921)으로 피복되고, 절연막(924) 및 층간 절연막(921)에는 공통 전위선(975)과 중첩하는 위치에 복수의 개구가 제공된다. 이 개구는 트랜지스터(910)의 소스 전극(971) 및 드레인 전극(973) 중 한쪽과 제1 전극(930)을 접속하는 콘택트 홀과 동일한 단계를 통해 형성된다.
- [0230] 또한, 공통 전위선(975)은 개구를 통해 공통 전극(977)과 접속된다. 공통 전극(977)은 층간 절연막(921) 위에 제공되고, 접속 단자 전극(915) 및 화소부의 제1 전극(930)과 동일한 재료 및 동일한 단계를 사용하여 형성된다.
- [0231] 이와 같이, 화소부(902)의 스위칭 소자와 동일한 프로세스에서 공통 접속부를 제조할 수 있다.
- [0232] 공통 전극(977)은 시일재에 포함되는 도전성 입자와 접촉하는 전극이며, 기관(906)의 제2 전극(931)과 전기적으로 접속된다.
- [0233] 대안적으로, 도 12c에 도시된 바와 같이, 공통 전위선(985)은 트랜지스터(910)의 게이트 전극과 동일한 재료 및 동일한 단계를 사용하여 형성할 수도 있다.
- [0234] 도 12c의 공통 접속부에서, 공통 전위선(985)은 게이트 절연막(922), 절연막(924) 및 층간 절연막(921)의 아래에 제공되고, 게이트 절연막(922), 절연막(924) 및 층간 절연막(921)에는 공통 전위선(985)과 중첩하는 위치에 복수의 개구가 제공된다. 이들 개구는 트랜지스터(910)의 소스 전극(971) 및 드레인 전극(973) 중 한쪽과 제1 전극(930)을 접속하는 콘택트 홀과 동일한 단계에서 절연막(924) 및 층간 절연막(921)을 에칭하고, 또한 게이트 절연막(922)을 선택적으로 에칭함으로써 형성된다.
- [0235] 또한, 공통 전위선(985)은 개구를 통해 공통 전극(987)과 접속된다. 공통 전극(987)은 층간 절연막(921) 위에 제공되고, 접속 단자 전극(915) 및 화소부의 제1 전극(930)과 동일한 재료 및 동일한 단계를 사용하여 형성된다.
- [0236] 도 10b에서의 FFS 모드의 액정 표시 장치에서, 공통 전극(977, 987)은 각각 제3 전극(941)과 접속된다는 것에 유의하라.

- [0237] 다음으로, 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네센스를 이용하는 발광 소자를 사용할 수 있다. 일렉트로루미네센스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 칭하며, 후자는 무기 EL 소자라고 칭한다.
- [0238] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 발광성 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 이들 캐리어(전자 및 정공)는 재결합되기 때문에, 발광성 유기 화합물은 여기된다. 발광성 유기 화합물이 여기 상태에서부터 그라운드 상태로 복귀됨으로써, 발광한다. 이러한 메커니즘으로 인해, 이 발광 소자는 전류 여기형 발광 소자라고 칭한다.
- [0239] 무기 EL 소자는 그 소자 구조에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 내에 분산시킨 발광층을 가지고, 그 발광 메커니즘은 공여체 준위와 수용체 준위를 이용하는 공여체-수용체 재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전체층들 사이에 개재되어 있으며, 또한 전극들 사이에 개재되어 있는 구조를 갖고, 그 발광 메커니즘은 금속 이온의 내각(inner-shell) 전자 천이를 이용하는 국제형 발광이다. 여기에서는 발광 소자로서의 유기 EL 소자의 예를 설명하고 있다는 것에 유의하라.
- [0240] 발광 소자로부터 발광되는 광을 추출하기 위해, 한 쌍의 전극 중 적어도 한쪽이 투명하면 수용할 수 있다. 기관 위에는 트랜지스터 및 발광 소자가 형성된다. 발광 소자는 기관에 대항하는 표면을 통해 발광을 추출하는 상부 방출 구조; 기관측 표면을 통해 발광을 추출하는 하부 방출 구조; 또는 기관측 표면 및 기관에 대항하는 표면을 통해 발광을 추출하는 양면 방출 구조를 가질 수 있으며, 이들 방출 구조들 중 어느 것을 갖는 발광 소자도 사용할 수 있다.
- [0241] 도 11에는 표시 소자로서 발광 소자를 사용한 발광 장치의 예가 나타나 있다. 표시 소자인 발광 소자(963)는 화소부(902)에 제공된 트랜지스터(910)와 전기적으로 접속된다. 발광 소자(963)의 구조가 제1 전극(930), 발광층(951) 및 제2 전극(931)의 적층 구조이지만, 본 구조는 이에 한정되지 않는다는 것에 유의하라. 발광 소자(963)의 구조는 발광 소자(963)로부터 광이 추출되는 방향 등에 따라 적절히 변경할 수 있다.
- [0242] 층간 절연막(921)과 제1 전극(930)의 사이에는 질화 실리콘막(950)이 제공된다. 질화 실리콘막(950)은 층간 절연막(921) 및 절연막(924)의 측면과 접촉한다. 질화 실리콘막(950) 및 제1 전극(930)의 단부 위에는 격벽(960)이 제공된다. 격벽(960)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성될 수 있다. 특히, 격벽(960)은 감광성의 수지 재료를 사용하여 제1 전극(930) 위에 개구를 형성하고, 그 개구의 측벽이 연속적인 곡률을 갖는 경사면을 갖도록 형성하는 것이 바람직하다.
- [0243] 발광층(951)은 단층 구조를 갖거나 복수의 층을 포함하는 적층 구조를 갖도록 형성될 수 있다.
- [0244] 발광 소자(963)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극(931) 및 격벽(960) 위에 보호층을 형성할 수도 있다. 보호층으로서 질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막, DLC막 등을 형성할 수 있다. 또한, 제1 기관(901), 제2 기관(906) 및 시일재(936)로 밀봉된 공간에는 충전재(964)가 제공되어 밀봉된다. 이러한 방식으로 패널이 외부 공기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(예를 들면, 접합 필름 또는 자외선 경화 수지 필름) 또는 커버 재료 패키징(밀봉)하는 것이 바람직하다.
- [0245] 시일재(936)로서, 열경화 수지 또는 광경화 수지와 같은 유기 수지, 저융점 유리를 포함하는 프릿 유리 등을 사용할 수 있다. 프릿 유리는 물 및 산소와 같은 불순물에 대하여 배리어 특성이 높기 때문에 바람직하다. 또한, 시일재(936)로서 프릿 유리를 사용하는 경우, 도 11에 도시한 바와 같이, 질화 실리콘막(950) 위에 프릿 유리를 제공함으로써, 질화 실리콘막(950) 및 프릿 유리의 밀착성이 높아지고, 외부로부터 시일재(936)내부의 물의 침입을 방지할 수 있다.
- [0246] 충전재(964)로서는 질소 또는 아르곤과 같은 불활성 가스는 물론, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고; PVC(polyvinyl chloride), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral), EVA(ethylene vinyl acetate) 등을 사용할 수 있다. 예를 들어, 충전재로서 질소가 사용된다.
- [0247] 필요할 경우, 발광 소자의 발광면으로서, 편광판, 원형 편광판(타원형 편광판을 포함한다), 위상차판(4분의 1 파장판, 2분의 1 파장판) 또는 컬러 필터와 같은 광학 필름이 적절하게 제공될 수 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막이 제공될 수도 있다. 예를 들어, 표면의 요철에 의해 반사광을 확산하여 눈부심(glare)을 저감할 수 있는 안티-글래어(anti-glare) 처리를 실시할 수 있다.

- [0248] 트랜지스터는 정전기 등으로 인해 파괴되기 쉽기 때문에, 구동 회로를 보호하기 위한 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 형성하는 것이 바람직하다.
- [0249] 상술한 바와 같이, 상술한 실시 형태에서 설명한 트랜지스터들 중 임의의 것을 사용함으로써, 표시 기능을 갖는 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0250] 본 실시 형태는 다른 실시 형태에서 설명한 구조와 적절히 조합하여 실시할 수 있다.
- [0251] (실시 형태 6)
- [0252] 상술한 실시 형태들 중 임의의 것에서 설명한 트랜지스터를 사용하여, 대상물의 데이터를 판독하는 이미지 센서 기능을 갖는 반도체 장치를 형성할 수 있다.
- [0253] 도 13a에는 이미지 센서 기능을 갖는 반도체 장치의 일례가 도시되어 있다. 도 13a는 포토 센서의 등가 회로를 나타내며, 도 13b는 포토 센서의 일부가 도시된 단면도이다.
- [0254] 포토 다이오드(602)에서, 한쪽 전극은 포토 다이오드 리셋 신호선(658)에 전기적으로 접속되고, 다른쪽 전극은 트랜지스터(640)의 게이트에 전기적으로 접속된다. 트랜지스터(640)의 소스 및 드레인 중 한쪽은 포토 센서 기준 신호선(672)에 전기적으로 접속되고, 그 소스 또는 드레인 중 다른쪽은 트랜지스터(656)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터(656)의 게이트는 게이트 신호선(659)에 전기적으로 접속되고, 그 소스 또는 드레인 중 다른쪽은 포토 센서 출력 신호선(671)에 전기적으로 접속된다.
- [0255] 본 명세서에서의 회로도에서, 산화물 반도체막을 포함하는 트랜지스터에는 명확하게 식별될 수 있도록, 산화물 반도체막을 포함하는 트랜지스터로서 기호 "OS"가 표기된다. 도 13a에서, 트랜지스터(640) 및 트랜지스터(656)는 각각 상술한 실시 형태들 중 임의의 것에서 설명한 트랜지스터를 적용할 수 있는, 산화물 반도체막을 포함하는 트랜지스터이다. 본 실시 형태에서는 실시 형태 1에서 설명한 트랜지스터(450)와 유사한 구조를 갖는 트랜지스터를 적용한 예를 설명한다.
- [0256] 도 13b는 포토 센서에서의 포토 다이오드(602) 및 트랜지스터(640)의 단면도이다. 절연 표면을 갖는 기판(601)(소자 기판) 위에는 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공된다. 포토 다이오드(602) 및 트랜지스터(640) 위에는 접착층(608)을 사이에 개재하여 기판(613)이 제공된다.
- [0257] 트랜지스터(640) 위에는 절연막(632), 평탄화막(633) 및 평탄화막(634)이 제공된다. 포토 다이오드(602)는 평탄화막(633) 위에 형성된 전극(641b)과; 전극(641b) 위에 순서대로 적층된 제1 반도체막(606a), 제2 반도체막(606b) 및 제3 반도체막(606c)과; 평탄화막(634) 위에 제공되고, 제1 내지 제3 반도체막을 통해 전극(641b)와 전기적으로 접속되는 전극(642)과; 전극(641b)과 동일한 층에 제공되고, 전극(642)과 전기적으로 접속되는 전극(641a)을 포함한다.
- [0258] 전극(641b)은 평탄화막(634) 위에 형성된 도전막(643)과 전기적으로 접속되고, 전극(642)은 전극(641a)을 통해 도전막(645)과 전기적으로 접속된다. 도전막(645)은 트랜지스터(640)의 게이트 전극과 전기적으로 접속되기 때문에, 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속된다.
- [0259] 여기에는, 제1 반도체막(606a)으로서 p형의 도전형을 갖는 반도체막, 제2 반도체막(606b)으로서의 고저항인 반도체막(i형 반도체막), 및 제3 반도체막(606c)로서 n형의 도전형을 갖는 반도체막을 적층하는 편형 포토 다이오드가 일례로서 도시되어 있다.
- [0260] 제1 반도체막(606a)은 p형 반도체막이며, p형의 도전형이 부여된 불순물 원소를 포함하는 아몰퍼스 실리콘막을 사용하여 형성할 수 있다. 제1 반도체막(606a)은 13족에 속하는 불순물 원소(예를 들어, 붕소(B))를 포함하는 반도체 원료 가스를 사용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란(SiH<sub>4</sub>)을 사용할 수 있다. 대안적으로, Si<sub>2</sub>H<sub>6</sub>, SiH<sub>2</sub>Cl<sub>2</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, SiF<sub>4</sub> 등을 사용할 수도 있다. 다른 대안으로서, 불순물 원소를 포함하지 않는 아몰퍼스 실리콘막을 형성하고나서, 확산법 또는 이온 주입법을 사용하여 아몰퍼스 실리콘막에 불순물 원소를 도입할 수도 있다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행함으로써, 불순물 원소를 확산시킬 수 있다. 이 경우, 아몰퍼스 실리콘막을 형성하는 방법으로서는 LPCVD법, 화학 기상 성장법, 스퍼터링법 등을 사용할 수 있다. 제1 반도체막(606a)의 막 두께는 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.
- [0261] 제2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 아몰퍼스 실리콘막을 사용하여 형성한다. 제2 반도체막(606b)의 형성에 관해 말하자면, 아몰퍼스 실리콘막이 반도체 원료 가스를 사용하여, 플라즈마 CVD법에 의해

형성한다. 반도체 재료 가스로서는 실란( $\text{SiH}_4$ )을 사용할 수도 있다. 대안적으로,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용할 수도 있다. 제2 반도체막(606b)은 LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 형성할 수도 있다. 제2 반도체막(606b)의 막 두께는 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다.

[0262] 제3 반도체막(606c)은 n형 반도체막이며, n형의 도전성이 부여된 불순물 원소를 포함하는 아몰퍼스 실리콘막을 사용하여 형성한다. 제3 반도체막(606c)은 15족에 속하는 불순물 원소(예를 들어, 인(P))를 포함하는 반도체 원료 가스를 사용하여, 플라즈마 CVD법에 의해 형성한다. 반도체 재료 가스로서는 실란( $\text{SiH}_4$ )을 사용할 수도 있다. 대안적으로,  $\text{Si}_2\text{H}_6$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiHCl}_3$ ,  $\text{SiCl}_4$ ,  $\text{SiF}_4$  등을 사용할 수도 있다. 다른 대안으로서, 불순물 원소를 포함하지 않는 아몰퍼스 실리콘막을 형성하고나서, 확산법 또는 이온 주입법을 사용하여 아몰퍼스 실리콘막에 불순물 원소를 도입할 수도 있다. 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행함으로써, 불순물 원소를 확산시킬 수 있다. 이 경우, 아몰퍼스 실리콘막을 형성하는 방법으로서는 LPCVD법, 화학 기상 성장법, 스퍼터링법 등을 사용할 수 있다. 제3 반도체막(606c)의 막 두께는 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.

[0263] 제1 반도체막(606a), 제2 반도체막(606b) 및 제3 반도체막(606c)은 반드시 아몰퍼스 반도체를 사용하여 형성될 필요는 없으며, 다결정 반도체 또는 세미-아몰퍼스 반도체(semi-amorphous semiconductor: SAS)를 사용하여 형성할 수도 있다.

[0264] 또한, 광전 효과에 의해 발생한 정공의 이동도는 전자의 이동도보다 낮다. 따라서, 핀형 포토 다이오드는 p형 반도체막측의 표면을 수광면으로 사용할 때 더 나은 특성을 갖는다. 여기에서는 핀형 포토 다이오드가 형성되어 있는 기관(601)의 표면으로부터 포토 다이오드(602)가 수신한 광을 전기 신호로 변환하는 예에 대하여 설명한다. 수광면으로 하는 반도체막측과는 상반된 도전형을 갖는 반도체막측으로부터의 광은 외란 광이기 때문에; 전극은 차광성 도전막을 사용하여 형성되는 것이 바람직하다. n형 반도체막측이 대안적으로 수광면이 될 수도 있다는 것에 유의하라.

[0265] 절연막(632), 평탄화막(633) 및 평탄화막(634)은 절연성 재료를 사용하여, 그 재료에 따라, 스퍼터링법, 플라즈마 CVD법, 스핀 코팅, 딥핑(dipping), 스프레이 코팅, 액적 도출법(예를 들어, 잉크젯법), 스크린 인쇄, 오프셋 인쇄 등에 의해 형성할 수 있다. 절연막(632)은 실시 형태 1의 절연막(412)과 유사한 절연막을 사용한다는 것에 유의하라.

[0266] 평탄화막(633, 634)로서는 예를 들어, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 폴리이미드, 에폭시 수지와 같은, 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 이러한 유기 절연 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등의 단층 또는 적층을 사용할 수 있다.

[0267] 포토 다이오드(602)에 입사하는 광을 검출함으로써, 피검출물의 데이터를 판독할 수 있다. 피검출물의 정보를 판독할 때 백라이트와 같은 광원을 사용할 수 있다는 것에 유의하라.

[0268] 본 실시 형태에서 설명된 구조, 방법 등은 다른 실시 형태에서 설명된 구조, 방법 등과 적절히 조합하여 사용할 수 있다.

[0269] (실시 형태 7)

[0270] 본 명세서에 개시하는 반도체 장치는 다양한 전자 장치(게임기를 포함한다)에 적용할 수 있다. 전자 장치의 예로서는 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 칭한다), 컴퓨터용 등의 모니터, 디지털 카메라 및 디지털 비디오 카메라와 같은 카메라들, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말기, 음향 재생 장치, 게임기(예를 들어, 파칭코 기계 또는 슬롯 머신), 게임 콘솔 등을 포함한다. 이 전자 장치의 구체예는 도 14a 내지 도 14c에 도시되어 있다.

[0271] 도 14a는 표시부를 갖는 테이블(9000)을 나타내고 있다. 테이블(9000)에서, 하우징(9001)에는 표시부(9003)가 내장되어 있고, 화상은 표시부(9003)에 표시할 수 있다. 4개의 다리부(9002)에 의해 하우징(9001)을 지지하는 것에 유의하라. 또한, 전력 공급을 위한 전력 코드(9005)가 하우징(9001)에 제공된다.

[0272] 상술한 실시 형태 중 임의의 것에서 설명한 트랜지스터는 표시부(9003)에 사용할 수 있기에, 전자 장치는 높은 신뢰성을 가질 수 있다.

- [0273] 표시부(9003)는 터치 입력 기능을 갖는다. 사용자가 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 접촉할 경우, 사용자는 화면 조작 및 정보를 입력할 수 있다. 또한, 테이블이 가전 제품과 통신을 하거나 가전 제품을 제어할 수 있을 경우, 테이블(9000)은 화면 조작에 의해 가전 제품을 제어하는 제어 장치로서 기능할 수도 있다. 예를 들어, 실시 형태 6에서 설명한 이미지 센서를 갖는 반도체 장치를 사용하면, 표시부(9003)는 터치 패널로서 기능할 수 있다.
- [0274] 또한, 하우징(9001)에 제공된 힌지에 의해, 표시부(9003)의 화면을 바닥에 대하여 수직하게 배치할 수 있기 때문에; 테이블(9000)은 텔레비전 장치로서도 사용할 수 있다. 좁은 방에 큰 화면을 갖는 텔레비전 장치가 설치되어 있는 경우, 자유로운 공간이 좁아지지만, 테이블에 표시부가 내장되어 있으면, 방의 공간을 효과적으로 이용할 수 있다.
- [0275] 도 14b는 텔레비전 세트(9100)를 나타낸다. 텔레비전 세트(9100)에서, 하우징(9101)에는 표시부(9103)가 내장되고 있고, 화상은 표시부(9103)에 표시될 수 있다. 여기에서는 스탠드(9105)에 의해 하우징(9101)을 지지하고 있다는 것에 유의하라.
- [0276] 텔레비전 세트(9100)는 하우징(9101)의 조작 스위치 또는 별도의 리모콘(9110)에 의해 조작될 수 있다. 리모콘(9110)의 조작 키(9109)에 의해, 채널 및 음량을 제어하여, 표시부(9103)에 표시되는 화상을 제어할 수 있다. 또한, 리모콘(9110)에는 리모콘(9110)으로부터 출력되는 데이터를 표시하는 표시부(9107)가 제공될 수도 있다.
- [0277] 도 14b에 나타난 텔레비전 세트(9100)에는 수신기, 모뎀 등이 제공되어 있다. 텔레비전 세트(9100)는 수신기를 사용하여 일반 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(9100)가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자에게) 또는 쌍방향(송신자와 수신자사이 또는 수신자들사이) 정보 통신을 행할 수 있다.
- [0278] 상술한 실시 형태 중 임의의 것에서 설명한 트랜지스터는 표시부(9103, 9107)에 사용될 수 있기에, 텔레비전 세트 및 리모콘은 높은 신뢰성을 가질 수 있다.
- [0279] 도 14c는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함하는 컴퓨터를 나타낸다.
- [0280] 상술한 실시 형태 중 임의의 것에서 설명한 트랜지스터는 표시부(9203)에 사용될 수 있기에, 컴퓨터는 높은 신뢰성을 가질 수 있다.
- [0281] 도 15a 및 도 15b는 접혀질 수 있는 태블릿형 단말기이다. 도 15a에서, 태블릿형 단말기는 개방한 상태이며, 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 스위칭 버튼(9034), 전력 버튼(9035), 전력 절약 모드 스위칭 버튼(9036), 클립(9033), 동작 버튼(9038)을 포함한다.
- [0282] 상술한 실시 형태 중 임의의 것에서 설명한 트랜지스터는 표시부(9631a) 및 표시부(9631b)에 사용될 수 있기에, 태블릿형 단말기는 높은 신뢰성을 가질 수 있다.
- [0283] 표시부(9631a)의 일부는 터치 패널 영역(9632a)일 수 있으며, 표시된 동작키(9638)를 접촉함으로써 데이터를 입력할 수 있다. 표시부(9631a)에서는 일례로서 절반의 영역이 표시 기능만을 가지고, 나머지 절반의 영역이 터치 패널의 기능을 갖는 구조를 나타내고 있지만, 표시부(9631a)는 이 구조에 한정되지 않는다. 그러나, 표시부(9631a)의 구조는 이에 한정되지 않으며, 표시부(9631a)의 모든 영역이 터치 패널 기능을 가질 수도 있다. 예를 들어, 표시부(9631a)의 모든 영역에 키보드 버튼을 표시하여 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0284] 표시부(9631b)에서도, 표시부(9631a)에서와 같이, 표시부(9631b)의 일부를 터치 패널 영역(9632b)으로 할 수 있다. 터치 패널에서 키보드 표시로 스위칭하기 위한 버튼(9639)이 표시되어 있는 위치에 손가락, 스타일러스 등으로 접촉할 경우, 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0285] 터치 패널 영역(9632a, 9632b)에 대하여 동시에 터치 입력할 수 있다.
- [0286] 표시 모드 스위칭 버튼(9034)은 세로 모드와 가로 모드간의 스위칭, 컬러 표시와 흑백 표시간의 스위칭 등을 행할 수 있다. 전력 절약 모드로 스위칭하기 위한 전력 절약 모드 스위칭 버튼(9036)을 사용하여, 태블릿에 내장되어 있는 포토 센서에 의해 검출되는, 태블릿을 사용하고 있을 때의 외광의 광량에 따라 표시의 휘도를 최적화할 수 있다. 태블릿형 단말기는 포토 센서 이외에, 배향을 검출하기 위한 센서와 같은 다른 검출 장치(예를 들

어, 자이로스코프 또는 가속도 센서)를 포함할 수도 있다.

- [0287] 도 15a에서 표시부(9631a)와 표시부(9631b)가 동일한 표시 면적을 가지고 있지만, 본 발명의 일 실시 형태는 이러한 예에 한정되지 않는다. 표시부(9631a)와 표시부(9631b)는 상이한 면적과 상이한 표시 품질을 가질 수도 있다. 예를 들어, 이들 중 한쪽이 다른 쪽보다도 고정밀 화상을 표시할 수 있는 표시 패널일 수도 있다.
- [0288] 도 15b는 하우징(9630), 태양 전지(9633) 및 충전 제어 회로(9634)를 포함하는, 접혀진 태블릿형 단말기를 나타낸다. 도 15b는 충전 제어 회로(9634)가 배터리(9635)와 DCDC 컨버터(9636)를 포함하는 일례를 나타내고 있다는 것에 유의하라.
- [0289] 태블릿형 단말기는 2단으로 접혀질 수 있기 때문에, 태블릿형 단말기를 사용하지 않을 때에는 하우징(9630)을 닫혀진 상태로 할 수 있다. 따라서, 표시부(9631a) 및 표시부(9631b)를 보호할 수 있기 때문에, 내구성이 우수하고, 장기 사용의 관점에서도 신뢰성이 높은 태블릿형 단말기를 제공할 수 있다.
- [0290] 도 15a 및 도 15b에 나타난 태블릿형 단말기는 다양한 종류의 데이터(예를 들어, 정지 화상, 동화상 및 텍스트 화상)를 표시하는 기능, 캘린더, 일자, 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 데이터를 터치 입력에 의해 조작 또는 편집하는 터치 입력 기능, 다양한 종류의 소프트웨어(프로그램)에 의한 처리를 제어하는 기능 등을 가질 수 있다.
- [0291] 태블릿형 단말기의 표면에 장착된 태양 전지(9633)는 전력을 터치 패널, 표시부, 영상 신호 처리기 등에 공급한다. 태양 전지(9633)를 하우징(9630)의 한쪽면 또는 양면에 제공하여, 배터리(9635)를 효율적으로 충전할 수 있다는 것에 유의하라. 배터리(9635)로서 리튬 이온 전지를 사용할 경우, 소형화를 도모되는 등의 이점이 있다.
- [0292] 도 15b에 나타난 충전 제어 회로(9634)의 구조 및 동작에 대해서 도 15c의 블록도를 참조하여 설명한다. 도 15c에는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치 SW1 내지 SW3, 및 표시부(9631)가 도시되어 있으며, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637) 및 스위치 SW1 내지 SW3는 도 15b에 나타난 충전 제어 회로(9634)에 대응한다.
- [0293] 먼저, 외광을 사용하여 태양 전지(9633)에 의해 전력이 생성되는 경우의 동작 예에 대해서 설명한다. 태양 전지(9633)에서 생성된 전력은 배터리(9635)를 충전하기 위한 전압이 구해지도록 DCDC 컨버터(9636)에 의해 높아지거나 낮아진다. 표시부(9631)가 태양 전지(9633)로부터의 전력에 의해 동작되는 경우, 스위치 SW1은 턴온되고, 전력의 전압은 컨버터(9637)에 의해 표시부(9631)를 동작시키는데 필요한 전압으로 높아지거나 낮아진다. 또한, 표시부(9631)에서의 표시가 수행되지 않을 때에는, 스위치 SW1을 턴오프하고, 스위치 SW2를 턴온시켜서 배터리(9635)의 충전을 행한다.
- [0294] 여기서, 태양 전지(9633)에 대해서는 발전 수단의 일례로서 나타냈지만, 특별히 배터리(9635)를 충전하는 방식에 한정되지 않고, 배터리(9635)는 압전 소자 또는 열전 변환 소자(펠티에 소자)와 같은 다른 발전 수단으로 충전할 수도 있다. 예를 들어, 배터리(9635)는 무선(비접촉)으로 전력을 송수신하여 충전할 수 있는 무접점 전력 전송 모듈로 충전될 수도 있으며, 또는 다른 충전 수단을 조합하여 사용할 수도 있다.
- [0295] 본 실시 형태에서 설명한 구조, 방법 등은 다른 실시 형태에서 설명한 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0296] [실시예 1]
- [0297] 본 실시예에서는 개시된 발명에 따른 반도체 장치에서, 트랜지스터의 소스 전극 및 드레인 전극의 단차 부분의 단면의 관찰 결과에 대해서 설명한다.
- [0298] 우선, 실시예 샘플의 트랜지스터를 제조하는 방법에 대해서 설명한다.
- [0299] 먼저, 유리 기판 위에 게이트 전극을 형성하였다. 스퍼터링법에 의해 두께 100nm인 텅스텐막을 형성하였다. 포토리소그래피 프로세스에 의해 텅스텐막 위에 마스크를 형성하고, 이 마스크를 사용하여 텅스텐막의 일부를 에칭하여 게이트 전극을 형성하였다.
- [0300] 다음으로, 게이트 전극 위에 게이트 절연막을 형성하였다. 게이트 절연막으로서, 두께 50nm인 질화 실리콘막과 두께 200nm인 산화질화 실리콘막의 적층을 형성하였다. 질화 실리콘막은 유량이 50sccm인 실란과 유량이 5000sccm인 질소를 플라즈마 CVD 장치의 처리실에 공급하고; 처리실내의 압력을 60Pa이 되도록 제어하고; 27.12MHz의 고주파 전원을 사용하여 150W의 전력을 공급하는 조건하에서 형성하였다. 산화질화 실리콘막은 유

량이 20sccm인 실란, 유량이 3000sccm인 일산화 이질소를 플라즈마 CVD 장치의 처리실에 공급하고; 처리실내의 압력을 40Pa이 되도록 제어하고; 27.12MHz의 고주파 전원을 사용하여 100W의 전력을 공급하는 조건하에서 형성하였다. 질화 실리콘막 및 산화질화 실리콘막은 각각 350℃의 기판 온도에서 형성하였음에 유의하라.

- [0301] 다음으로, 게이트 절연막을 사이에 개재하여 게이트 전극과 중첩하도록 산화물 반도체막을 형성하였다. 여기에서는 게이트 절연막 위에 CAAC-OS막인 IGZO막을 스퍼터링법으로 형성하였고, 포토리소그래피 프로세스에 의해 IGZO막 위에 마스크를 형성하였으며, 이 마스크를 사용하여 IGZO막의 일부를 에칭하였다. 다음으로, 에칭된 IGZO막에 가열 처리를 행하여, 산화물 반도체막을 형성하였다. 본 실시예에서 형성된 IGZO막은 35nm의 두께를 갖는다는 것에 유의하라.
- [0302] IGZO막은 1:1:1의 원자수비로 In, Ga 및 Zn을 포함하는 스퍼터링 타겟을 사용하였고; 스퍼터링 가스로서 유량이 50sccm인 아르곤과 유량이 50sccm인 산소를 스퍼터링 장치의 처리실에 공급하였고; 처리실내의 압력을 0.6Pa로 제어하였으며; 5kW의 직류 전력을 공급한 조건하에서 형성하였다. IGZO막은 170℃의 기판 온도에서 형성하였다는 것에 유의하라.
- [0303] 다음으로, 가열 처리에 의해 산화물 반도체막에 포함되는 물, 수소 등이 방출되었다. 여기에서는 질소 분위기에서, 450℃에서 1시간 동안 가열 처리를 행한 후, 질소 및 산소 분위기에서, 450℃에서 1시간동안 가열 처리를 행하였다.
- [0304] 다음으로, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하고, 포토리소그래피 프로세스에 의해 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 도전막의 일부를 에칭하여, 소스 전극 및 드레인 전극을 형성하였다. 소스 전극 및 드레인 전극이 되는 도전막으로서, 두께 50nm인 텅스텐막 위에 두께 400nm인 알루미늄막을 형성하고, 알루미늄막 위에 두께 100nm인 티타늄막을 형성하였다는 것에 유의하라.
- [0305] 다음으로, 감압된 처리실로 기판을 이동하여 220℃에서 가열한 후, 일산화 이질소가 충전된 처리실로 기판을 이동시켰다. 다음으로, 처리실에 제공되는 상부 전극에 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 공급하여 발생시킨 산소 플라즈마에 산화물 반도체막을 노출시켰다.
- [0306] 다음으로, 상술한 플라즈마 처리후, 대기에 노출시키지 않고, 연속적으로 산화물 반도체막, 소스 전극 및 드레인 전극 위에 절연막을 형성하였다. 절연막은 조건 A1, 조건 A2, 조건 A3 및 조건 A4인 4가지 조건을 사용하여 형성하였다. 조건 A1을 사용하여 형성된 샘플은 샘플 A1이라고 지칭된다. 조건 A2를 사용하여 형성된 샘플은 샘플 A2라고 지칭된다. 조건 A3를 사용하여 형성된 샘플은 샘플 A3라고 지칭된다. 조건 A4를 사용하여 형성된 샘플은 샘플 A4라고 지칭된다. 샘플 A1 내지 샘플 A4는 각각 두께가 400nm인 절연막을 갖는다.
- [0307] 조건 1에서는, 절연막으로서 산화질화 실리콘막을 사용하였다. 이 산화질화 실리콘막은 유량이 30sccm인 실란과 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하였고; 처리실의 압력을 40Pa로 하였고; 기판 온도를 220℃로 하였으며; 150W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. XRR에 의해 막 전체를 측정하였을 때, 막 밀도는 2.26g/cm<sup>3</sup>이었다는 것에 유의하라.
- [0308] 조건 2에서는, 절연막으로서 산화질화 실리콘막을 사용하였다. 이 산화질화 실리콘막은 유량이 160sccm인 실란과 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였고; 기판 온도를 220℃로 하였으며; 1500W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. XRR에 의해 막 전체를 측정하였을 때, 막 밀도는 2.31g/cm<sup>3</sup>이었다는 것에 유의하라.
- [0309] 조건 3에서는, 절연막으로서 질화 실리콘막을 사용하였다. 이 질화 실리콘막은 유량이 50sccm인 실란, 유량이 5000sccm인 질소, 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였고; 기판 온도를 220℃로 하였으며; 1000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. XRR에 의해 막 전체를 측정하였을 때, 막 밀도는 2.50g/cm<sup>3</sup>이었다는 것에 유의하라.
- [0310] 조건 4에서는, 절연막으로서 질화 실리콘막을 사용하였다. 이 질화 실리콘막은 유량이 200sccm인 실란, 유량이 2000sccm인 질소, 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였고; 기판 온도를 350℃로 하였으며; 2000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. XRR에 의해 막 전체를 측정하였을 때, 막 밀도는 2.72g/cm<sup>3</sup>이었다는 것에 유의하라.
- [0311] 샘플 A1 내지 샘플 A4의 단면은 STEM(scanning transmission electron microscopy)에 의해 관찰되었다. 도 16a는 샘플 A1의 STEM 화상을 나타내고, 도 16b는 샘플 A2의 STEM 화상을 나타내고, 도 17a는 샘플 A3의 STEM

화상을 나타내며, 도 17b는 샘플 A4의 STEM 화상을 나타낸다.

- [0312] 도 16a 및 도 16b와 도 17a에 도시한 바와 같이, 소스 전극 및 드레인 전극을 피복하는 절연막내에 점선으로 둘러싸여 있는 부분에 공극부가 생성되고 있다는 것이 관찰되었다. 한편, 도 17b에서는 소스 전극 및 드레인 전극을 피복하는 절연막에 공극부의 발생은 관찰되지 않았다.
- [0313] 따라서, 샘플 A1 내지 샘플 A4에서, 막 밀도가  $2.26\text{g}/\text{cm}^3$  이상  $2.50\text{g}/\text{cm}^3$  이하일 때 소스 전극 및 드레인 전극을 피복하는 절연막에 공극부가 발생하는 것으로 나타났다.
- [0314] [실시에 2]
- [0315] 본 실시예에서는 산화물 절연막 위에 질화물 절연막이 형성되어 있는 트랜지스터의 특성의 측정 결과에 대해서 설명한다.
- [0316] 우선, 실시예 샘플의 트랜지스터를 제조하기 위한 방법에 대해서 설명한다.
- [0317] 본 실시예에서는, 실시예 1과 마찬가지로, 유리 기판 위에 게이트 전극, 게이트 절연막 및 산화물 반도체막을 형성하였고, 가열 처리에 의해 산화물 반도체막에 포함되어 있는 물, 수소 등이 방출되었다. 여기에서는 질소 분위기에서,  $450^\circ\text{C}$ 에서, 1시간동안 가열 처리를 행한 후, 질소 및 산소 분위기에서,  $450^\circ\text{C}$ 에서, 1시간동안 가열 처리를 행하였다.
- [0318] 다음으로, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하였고, 포토리소그래피 프로세스에 의해 도전막 위에 마스크를 형성하였고, 이 마스크를 사용하여 도전막의 일부를 에칭하여, 소스 전극 및 드레인 전극을 형성하였다.
- [0319] 다음으로, 감압된 처리실로 기판을 이동하여  $220^\circ\text{C}$ 에서 가열한 후, 일산화 이질소가 충전된 처리실로 기판을 이동시켰다. 다음으로, 처리실에 제공되는 상부 전극에 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 공급하는 방식으로 발생시킨 산소 플라즈마에 산화물 반도체막을 노출시켰다.
- [0320] 여기까지는 실시예 1을 참조할 수 있다.
- [0321] 다음으로, 상술한 플라즈마 처리후, 대기에 노출시키지 않고, 연속적으로 산화물 반도체막, 소스 전극 및 드레인 전극 위에 절연막을 형성하였다. 절연막은 산화물 절연막 위에 질화물 절연막이 형성되어 있는 적층 구조를 갖는다. 산화물 절연막은 두께 50nm인 제1 산화질화 실리콘막과 두께 400nm인 제2 산화질화 실리콘막을 적층하여 형성하였다.
- [0322] 제1 산화질화 실리콘막은 유량이 30sccm인 실란과 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하였고; 처리실의 압력을 40Pa로 하였고; 기판 온도를  $220^\circ\text{C}$ 로 하였으며; 150W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다.
- [0323] 제2 산화질화 실리콘막은 유량이 160sccm인 실란과 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였고; 기판 온도를  $220^\circ\text{C}$ 로 하였으며; 1500W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. 상술한 조건하에서, 화학양론적 조성보다 다량의 산소가 포함되고, 가열에 의해 산소의 일부가 방출되는 산화질화 실리콘막을 형성할 수 있다.
- [0324] 다음으로, 가열 처리에 의해 산화물 절연막에 포함되어 있는 물, 수소 등이 방출되었다. 여기에서는 질소와 산소가 혼합된 분위기에서,  $350^\circ\text{C}$ 에서, 1시간동안 가열 처리를 행하였다.
- [0325] 다음으로, 산화물 절연막 위에 질화물 절연막을 형성하였다. 질화물 절연막으로서, 두께 50nm인 질화 실리콘막을 형성하였다. 질화 실리콘막은 유량이 200sccm인 실란, 유량이 2000sccm인 질소 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 100Pa로 하였고; 기판 온도를  $350^\circ\text{C}$ 로 하였으며; 2000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다.
- [0326] 다음으로, 절연막(산화물 절연막 및 질화물 절연막)의 일부를 에칭하였고, 소스 전극 및 드레인 전극의 일부를 노출한 개구를 형성하였다.
- [0327] 다음으로, 절연막(질화물 절연막) 위에 층간 절연막을 형성하였다. 여기에서는, 조성물로 질화물 절연막을 도포한 후, 노광 및 현상을 행하여, 소스 전극 또는 드레인 전극의 일부를 노출시킨 개구를 갖는 층간 절연막을 조성물로부터 형성하였다. 층간 절연막으로서 두께  $1.5\mu\text{m}$ 인 아크릴 수지를 형성하였다는 것에 유의하라. 이

후, 가열 처리를 행하였다. 이 가열 처리는 250℃의 온도에서, 질소 분위기에서 1시간동안 행하였다.

- [0328] 다음으로, 소스 전극 또는 드레인 전극의 일부에 접속되는 도전막을 형성하였다. 여기에서는 스퍼터링법에 의해 두께 100nm의 산화 실리콘을 포함하는 ITO막을 형성하였다.
- [0329] 상술한 단계를 통해, 실시예 샘플의 트랜지스터를 제조하였다.
- [0330] 또한, 비교예로서, 산화물 절연막만이 절연막으로서 형성되어 있으며 질화물 절연막은 형성되어 있지 않은 비교예 샘플의 트랜지스터를 제조하였다.
- [0331] 상술한 실시예 샘플 및 비교예 샘플의 단면은 STEM에 의해 관찰되었다. 도 18a는 실시예 샘플의 STEM 화상을 나타내고, 도 18b는 비교예 샘플의 STEM 화상을 나타낸다.
- [0332] 도 18a 및 도 18b에 도시된 바와 같이, 소스 전극 및 드레인 전극을 피복하는 제1 산화질화 실리콘막 및 제2 산화질화 실리콘막에 점선으로 둘러싸여 있는 부분에 공극부가 발생하고 있다는 것이 관찰되었다. 또한, 도 18a에 도시된 바와 같이, 제2 산화질화 실리콘막 위의 질화 실리콘막에는 공극부가 발생되지 않는다. 제1 산화질화 실리콘막 및 제2 산화질화 실리콘막의 공극부는 질화 실리콘막으로 피복되어 있는 것이 발견되었다.
- [0333] 다음으로, 상술한 실시예 샘플 및 비교예 샘플의 트랜지스터의  $V_g$ - $I_d$  특성을 측정하였다.
- [0334] 습기 저항(moisture resistance)을 평가하기 위한 가속 수명 시험으로서, PCT(pressure cooker test)를 행하였다. 본 실시예에서의 PCT에서, 온도는 130℃로 하였고; 습도는 85%로 하였으며; 압력은 0.23MPa로 한 조건하에서, 실시예 샘플 및 비교예 샘플을 1시간동안 유지하였다.
- [0335] 실시예 샘플 및 비교예 샘플 각각에 대해, GBT(gate bias temperature)스트레스 시험을 행하였다. 본 실시예에서, GBT 스트레스 시험은 어두운 환경에서,  $V_g = -30V$ ;  $V_d = 0V$ ;  $V_s = 0V$ ; 스트레스 온도=60℃; 광조사 없음; 스트레스 인가 시간=1시간인 조건하에서 행하였다. 채널 길이(L), 채널 폭(W) 및 산화막(게이트 절연막)의 막 두께( $T_{ox}$ )의 측정값은 각각 6  $\mu m$ , 50  $\mu m$  및 280nm이었다.
- [0336] 도 19a는 실시예 샘플에 대해 수행된 GBT 스트레스 시험의 결과를 나타내고, 도 19b는 비교예 샘플에 대해 수행된 GBT 스트레스 시험의 결과를 나타낸다. 그 그래프에서, 점선은 PCT 전에 행해진 측정 결과를 나타내고, 실선은 PCT 후에 행해진 측정 결과를 나타낸다. 도 19a 및 도 19b에는, 드레인 전압( $V_d$ : [V])이 1V로 설정되었을 때와 드레인 전압( $V_d$ : [V])이 10V로 설정되었을 때의 측정 결과가 나타나 있고, 횡축은 게이트 전압( $V_g$ : [V])을 나타내고, 종축은 드레인 전류( $I_d$ : [A])를 나타낸다. "드레인 전압( $V_d$ : [V])"은 소스의 전위를 기준 전위로 사용한 경우의 드레인 전류와 소스간의 전위차를 가리키며, "게이트 전압( $V_g$ : [V])"은 소스의 전위를 기준 전위로 사용한 경우의 게이트와 소스간의 전위차를 가리킨다는 것에 유의하라.
- [0337] 도 19a에 도시한 바와 같이, 실시예 샘플의 트랜지스터는 PCT 후에 현저하게 변하지 않았다. 한편, 도 19b에 도시한 바와 같이, 비교예 샘플의 트랜지스터는 PCT 후에 현저하게 변하였으며, PCT 후에 임계값이 마이너스 방향으로 시프트되고 있는 것이 발견되었다.
- [0338] 실시예 샘플과 비교예 샘플간 차이는 제2 산화질화 실리콘막 위에 질화 실리콘막이 제공되었는지의 여부이다. 따라서, PCT 후에도 질화 실리콘막의 효과에 의해, 특성의 변동량을 저감할 수 있다는 것이 발견되었다.
- [0339] 따라서, 산화질화 실리콘막의 공극부를 질화 실리콘막으로 피복함으로써, 산화물 반도체를 사용하는 반도체 장치는 안정된 전기 특성 및 고신뢰성을 가질 수 있다.
- [0340] [실시예 3]
- [0341] 본 실시예에서, 산화물 절연막 위의 질화물 절연막이 상이한 온도에서 성막된 트랜지스터들의 특성의 측정 결과에 대해 설명한다.
- [0342] 우선, 실시예 샘플의 트랜지스터를 제조하기 위한 방법에 대해서 설명한다.
- [0343] 실시예 샘플로서, 실시예 2의 실시예 샘플의 질화 실리콘막의 성막 온도가 220℃인 샘플은 샘플 B1으로 하고, 실시예 2의 실시예 샘플과 유사한 샘플(질화 실리콘막의 성막 온도가 350℃인 샘플)은 샘플 B2로 한다.
- [0344] 샘플 B1의 질화 실리콘막은 유량이 50sccm인 실란, 유량이 5000sccm인 질소 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였고; 기판 온도를 220℃로 하였으며; 1000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. 샘플 B2의 질화 실리콘막의 형성

방법은 질화 실리콘막의 기판 온도를 350℃로 한 것 이외에는 샘플 B1과 유사하다.

- [0345] 다음으로, 상술한 샘플 B1 및 샘플 B2의 트랜지스터의  $V_g$ - $I_d$  특성을 측정하였다.
- [0346] 습기 저항을 평가하기 위한 가속 수명 시험으로서, PCT(pressure cooker test)를 행하였다. 본 실시예에서의 PCT에서, 온도는 130℃로 하였고; 습도는 85%로 하였으며; 압력은 0.20MPa로 한 조건하에서, 샘플 B1 및 샘플 B2를 1시간동안 유지하였다.
- [0347] 샘플 B1 및 샘플 B2 각각에 대해, GBT 스트레스 시험을 행하였다. 본 실시예에서, GBT 스트레스 시험은 어두운 환경에서,  $V_g = -30V$  내지  $30V$ ;  $V_d = 0V$ ;  $V_s = 0V$ ; 스트레스 온도 =  $60^\circ C$ ; 광조사 없음; 스트레스 인가 시간 = 1시간인 조건하에서 행하였다. 채널 길이(L), 채널 폭(W) 및 산화막(게이트 절연막)의 막 두께( $T_{ox}$ )의 측정값은 각각  $6\mu m$ ,  $50\mu m$  및  $280nm$ 이었다.
- [0348] 도 20의 A1은 PCT전의 샘플 B1에 대해 행해진 GBT 스트레스 시험의 결과를 나타내고, 도 20의 A2는 PCT후의 샘플 B1에 대해 행해진 GBT 스트레스 시험의 결과를 나타낸다. 도 20의 B1은 PCT전의 샘플 B2에 대해 행해진 GBT 스트레스 시험의 결과를 나타내고, 도 20의 B2는 PCT후의 샘플 B2에 대해 행해진 GBT 스트레스 시험의 결과를 나타낸다. 도 20의 A1, A2, B1 및 B2에는, 드레인 전압( $V_d$ : [V])이 1V로 설정되었을 때와 드레인 전압( $V_d$ : [V])이 10V로 설정되었을 때의 측정 결과가 나타나 있고, 횡축은 게이트 전압( $V_g$ : [V])을 가리키고, 종축은 드레인 전류( $I_d$ : [A])와 전계 효과 이동도( $\mu FE$ : [ $cm^2/Vs$ ])를 가리킨다. 도 20의 A3 및 도 20의 B3에는, 샘플 B1 및 샘플 B2의 PCT전과 후 사이의 임계값 전압의 변동량( $\Delta V_{th}$ )과 시프트 값의 변동량( $\Delta Shift$ )이 나타나 있다.
- [0349] 본 명세서에서, 횡축은 게이트 전압( $V_g$ : [V])을 가리키고, 종축은 드레인 전류의 평방근( $I_d^{(1/2)}$ : [A])을 가리키는 곡선에서, 임계값 전압( $V_{th}$ )은 최대 기울기를 갖는  $I_d^{(1/2)}$ 의 추론된 접선과  $V_g$ 축(즉, 0A의  $I_d^{(1/2)}$ )의 교점에서의 게이트 전압으로서 정의된다. 본 명세서에서는 10V의 드레인 전압  $V_d$ 로 임계값 전압을 산출한다는 것에 유의하라.
- [0350] 본 명세서에서, 횡축은 게이트 전압( $V_g$ : [V])을 가리키고, 종축은 드레인 전류( $I_d$ : [A])의 대수를 가리키는 곡선에서, 시프트 값(Shift)은 최대 기울기를 갖는  $I_d$ 의 추론된 접선과  $I_d = 1.0 \times 10^{-12}$  [A]의 직선의 교점에서의 게이트 전압으로서 정의된다. 본 명세서에서는 10V의 드레인 전압  $V_d$ 로 시프트 값을 산출한다는 것에 유의하라.
- [0351] 도 20의 A3 및 도 20의 B3에 도시한 바와 같이, 샘플 B1 및 샘플 B2의 트랜지스터의 임계값 전압과 시프트 값은 PCT후에 약간 변화하고 트랜지스터가 열화한다는 것이 발견된다. 또한, 샘플 B2(질화 실리콘막의 성막 온도가 350℃이다)의 트랜지스터의 임계값 전압과 시프트 값의 변동량이 샘플 B1(질화 실리콘막의 성막 온도가 220℃이다)보다 작은 것이 발견된다.
- [0352] [실시예 4]
- [0353] 본 실시예에서는 절연막의 일부인 질화 실리콘막에 대해 행해진 RBS(Rutherford Backscattering spectrometry) 분석 결과와 SIMS(secondary ion mass spectrometry)에 의한 평가 결과에 대해서 설명한다.
- [0354] 먼저, 분석한 샘플에 대해서 설명한다.
- [0355] 샘플은 실리콘 웨이퍼(11) 위에 플라즈마 CVD법에 의해 질화 실리콘막(12)을 형성함으로써 제조하였다(도 21 참조). 질화 실리콘막(12)은 조건 C1 및 조건 C2인 2가지 조건을 사용하여 형성하였다. 조건 C1을 사용하여 형성된 샘플은 샘플 C1이라고 지칭된다. 조건 C2를 사용하여 형성된 샘플은 샘플 C2라고 지칭된다.
- [0356] 조건 C1에서, 실리콘 웨이퍼(11)를 유지한 온도를 220℃로 하였고; 유량이 50sccm인 실란, 유량이 5000sccm인 질소 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였으며; 1000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 두께 100nm인 질화 실리콘막(12)을 형성하였다.
- [0357] 조건 C2에서, 실리콘 웨이퍼(11)를 유지한 온도를 350℃로 하였고; 유량이 200sccm인 실란, 유량이 2000sccm인 질소 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였으며; 2000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 두께 300nm인 질화 실리콘막(12)을 형성하였다.

[0358] 다음으로, 샘플 C1 및 샘플 C2를 평가하였다. RBS 결과를 표 1에 나타낸다.

표 1

질화 실리콘막 형성 온도		220°C	350°C
조성 [%]	Si	26.5%	40.0%
	N	45.5%	49.2%
	H	28.1%	10.8%
RBS 밀도 [g/cm <sup>3</sup> ]		2.1	2.6

[0359]

[0360] 샘플 C1에는, 실리콘, 질소 및 수소가 각각 26.5 atomic%, 45.5 atomic%, 28.1 atomic% 포함되어 있다. 샘플 C2에는, 실리콘, 질소 및 수소가 각각 40.0 atomic%, 49.2 atomic%, 10.8 atomic% 포함되어 있다. 따라서, 샘플 C2의 수소의 비율은 샘플 C1보다 낮다.

[0361] 다음으로, 도 22a 및 도 22b는 SIMS 분석 결과를 나타낸다.

[0362] 도 22a는 SIMS에 의해 구해진 샘플 C1의 수소, 산소, 불소 및 탄소의 농도 프로파일을 나타내고, 도 22b는 SIMS에 의해 구해진 샘플 C2의 수소, 산소, 불소 및 탄소의 농도 프로파일을 나타낸다.

[0363] 또한, 도 22a 및 도 22b에서의 SIMS 분석 결과의 상세는 표 2에 나타나 있다.

표 2

질화 실리콘막의 원자 밀도 [atoms/cm <sup>3</sup> ]			
질화 실리콘막 형성 온도		220°C	350°C
정량 원소 분석 결과	H	$2.8 \times 10^{22}$	$1.6 \times 10^{22}$
	O	$1.0 \times 10^{19}$	$6.8 \times 10^{17}$
	F	$2.3 \times 10^{19}$	$7.4 \times 10^{18}$
	C	$5.5 \times 10^{18}$	$7.4 \times 10^{17}$

[0364]

[0365] 샘플 C1에는, 수소, 산소, 불소 및 탄소가 각각  $2.8 \times 10^{22}$  atoms/cm<sup>3</sup>,  $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>,  $2.3 \times 10^{19}$  atoms/cm<sup>3</sup>,  $5.5 \times 10^{18}$  atoms/cm<sup>3</sup> 포함되어 있다. 샘플 C2에는, 수소, 산소, 불소 및 탄소가 각각  $1.6 \times 10^{22}$  atoms/cm<sup>3</sup>,  $6.8 \times 10^{17}$  atoms/cm<sup>3</sup>,  $7.4 \times 10^{18}$  atoms/cm<sup>3</sup>,  $7.4 \times 10^{17}$  atoms/cm<sup>3</sup> 포함되어 있다. 따라서, RBS 결과와 마찬가지로, SIMS 분석 결과는 샘플 C2의 수소의 비율은 C1보다 낮다는 것을 나타낸다. 또한, 샘플 C2의 수소, 산소, 불소 및 탄소와 같은 불순물의 농도는 샘플 C1보다 낮다.

[0366] [실시예 5]

[0367] 본 실시예에서는 절연막에 생성된 공극부가 물, 수소 등이 침입하는 경로가 되고 있는지를 보기 위해 검증을 행하였다. 검증 방법으로는 SIMS를 사용하였다.

[0368] 먼저, 샘플에 대해서 도 23a 및 도 23b를 참조하여 설명한다. 2가지 종류의 샘플은 도 23a에서 산화물 반도체막 위에 전극을 제공함으로써 공극부가 발생하는 샘플 D1과; 도 23b에서 산화물 반도체막 위에 전극이 제공되지 않기 때문에 공극부가 생성되지 않는 샘플 D2를 준비하였다.

- [0369] 유리 기판(21) 위에 게이트 절연막(22) 및 산화물 반도체막(23)을 형성하였고, 가열 처리에 의해 산화물 반도체막(23)에 포함되어 있는 물, 수소 등이 방출되었다. 여기에서는 질소 분위기에서, 450℃에서 1시간동안 가열 처리를 행한 후, 질소 및 산소 분위기에서, 450℃에서 1시간동안 가열 처리를 행하였다.
- [0370] 다음으로, 게이트 절연막(22) 및 산화물 반도체막(23) 위에 도전막을 형성하였고, 포토리소그래피 프로세스에 의해 도전막 위에 마스크를 형성하였으며, 이 마스크를 사용하여 도전막의 일부를 에칭하여, 전극(24)을 형성하였다.
- [0371] 다음으로, 감압된 처리실로 기판을 이동하고, 220℃에서 가열한 후, 일산화 이질소가 충전된 처리실로 기판을 이동시켰다. 다음으로, 처리실에 제공되는 상부 전극에 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 공급하여 발생시킨 산소 플라즈마에 산화물 반도체막을 노출시켰다.
- [0372] 여기까지는 단계에 대해 실시예 1을 참조할 수 있다.
- [0373] 다음으로, 상술한 플라즈마 처리후, 대기에 노출시키지 않고, 연속적으로 산화물 반도체막(23) 및 전극(24) 위에 절연막(27)을 형성하였다. 절연막(27)은 산화물 절연막(25) 위에 질화물 절연막(26)이 형성되어 있는 적층 구조를 갖는다. 산화물 절연막(25)은 두께 50nm인 제1 산화질화 실리콘막(25a)과 두께 400nm인 제2 산화질화 실리콘막(25b)을 적층하여 형성하였다.
- [0374] 제1 산화질화 실리콘막(25a)은 유량이 30sccm인 실란과 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하였고; 처리실의 압력을 40Pa로 하였고; 기판 온도를 220℃로 하였으며; 150W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다.
- [0375] 제2 산화질화 실리콘막(25b)은 유량이 160sccm인 실란과 유량이 4000sccm인 일산화 이질소를 원료 가스로 사용하였고; 처리실의 압력을 200Pa하였고; 기판 온도를 220℃로 하였으며; 1500W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다. 상술한 조건하에서, 화학양론적 조성보다 더 많은 산소를 포함하고, 가열에 의해 산소의 일부가 방출되는 산화질화 실리콘막을 형성할 수 있다.
- [0376] 다음으로, 가열 처리에 의해 산화물 절연막에 포함되어 있는 물, 수소 등이 방출되었다. 여기에서는 질소와 산소가 혼합된 분위기에서, 350℃에서 1시간동안 가열 처리를 행하였다.
- [0377] 다음으로, 산화물 절연막(25) 위에 질화물 절연막(26)을 형성하였다. 질화물 절연막(26)으로서, 두께 50nm인 질화 실리콘막을 형성하였다. 질화 실리콘막은 유량이 50sccm인 실란, 유량이 5000sccm인 질소, 및 유량이 100sccm인 암모니아를 원료 가스로 사용하였고; 처리실의 압력을 200Pa로 하였고; 기판 온도를 220℃로 하였으며; 2000W의 고주파 전력을 평행 평판 전극에 공급한 조건하에서 플라즈마 CVD법에 의해 형성하였다.
- [0378] 이러한 방식으로, 샘플 D1을 제조하였다. 또한, 전극이 형성되지 않는 샘플 D2를 제조하였다(도 23a 및 도 23b 참조).
- [0379] 샘플 D1 및 샘플 D2에 대해 PCT를 행하였다. 본 실시예에서의 PCT에서, 온도는 130℃로 하였고; 습도는 85% (기체 중에 포함되는 수증기의 증수에 대한 물의 체적비는 H<sub>2</sub>O(물):D<sub>2</sub>O(중수(deuterated water))=4:1)로 하였으며; 기압은 2.0 atm(0.20MPa)로 한 조건하에서 샘플 D1 및 샘플 D2를 15시간동안 유지하였다.
- [0380] 본 실시예에서, "D 원자", 예를 들어, 중수는 질량수가 2인 수소 원자(<sup>2</sup>H)로 표현된다.
- [0381] SIMS 분석으로서, SSDP(substrate side depth profile)-SIMS(뒷면으로부터의 SIMS 측정)을 사용하여, PCT 후의 샘플 D1 및 샘플 D2의 H 원자 및 D 원자의 농도를 측정하였다.
- [0382] 도 24a는 샘플 D1의 PCT 후의 SIMS에 의해 구해진 H 원자 및 D 원자의 농도 프로파일을 나타내고, 도 24b는 샘플 D2의 PCT 후의 SIMS에 의해 구해진 H 원자 및 D 원자의 농도 프로파일을 나타낸다. 도 24a 및 도 24b에서, D 원자(자연 밀도)의 농도 프로파일은 D 원자의 존재비가 0.015%라는 가정하에서 H 원자의 프로파일을 사용하여 구해진, 자연계에 존재하는 D 원자의 산출된 농도 프로파일이다. 따라서, PCT에 의해 샘플내에 혼합된 D 원자량은 측정된 D 원자 농도와 자연적인 D 원자 밀도간의 차와 동일하다.
- [0383] 샘플 D1과 샘플 D2를 비교하면, 도 24a에 도시한 바와 같이, 산화물 반도체막 위에 전극을 제공함으로써 생성된 공극부로 인해 산화물 반도체막의 측정된 D 원자의 농도 프로파일이 크게 증가하여, 산화물 반도체막에 다량의 D 원자가 혼입된다는 것이 발견된다. 따라서, 샘플 D1은 외부로부터의 물(H<sub>2</sub>O, D<sub>2</sub>O)에 대하여, 배리어 특성이 낮다는 것을 확인하였다.

**부호의 설명**

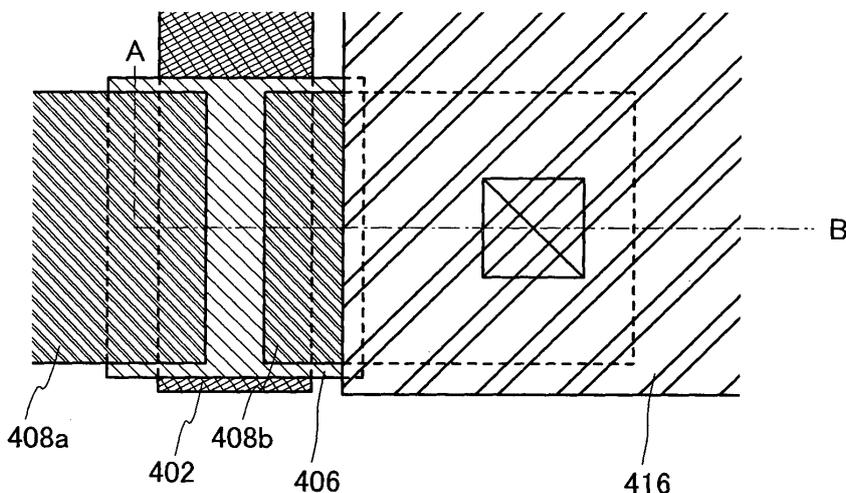
[0384]

11: 실리콘 웨이퍼, 12: 질화 실리콘막, 21: 유리 기판, 22: 게이트 절연막, 23: 산화물 반도체막, 24: 전극, 25: 산화물 절연막, 25a: 제1 산화질화 실리콘막, 25b: 제2 산화질화 실리콘막, 26: 질화물 절연막, 27: 절연막, 31: 산화물 반도체막, 32: 산화물 절연막, 32a: 산화물 절연막, 32b: 산화물 절연막, 400: 기판, 401: 하지 절연막, 402: 게이트 전극, 404: 게이트 절연막, 404a: 게이트 절연막, 404b: 게이트 절연막, 406: 반도체막, 407a: 도전막, 407b: 도전막, 407c: 도전막, 408b: 드레인 전극, 410: 산화물 절연막, 410a: 산화물 절연막, 410b: 산화물 절연막, 410c: 산화물 절연막, 410d: 산화물 절연막, 410e: 산화물 절연막, 411: 질화물 절연막, 412: 절연막, 413: 공극부, 414: 층간 절연막, 416: 전극, 450: 트랜지스터, 510: 산화물 절연막, 510a: 산화물 절연막, 510b: 산화물 절연막, 511: 질화물 절연막, 512: 게이트 절연막, 530: 절연막, 550: 트랜지스터, 552: 게이트 전극, 560: 트랜지스터, 570: 트랜지스터, 580: 트랜지스터, 601: 기판, 602: 포토 다이오드, 606a: 반도체막, 606b: 반도체막, 606c: 반도체막, 608: 접착층, 613: 기판, 632: 절연막, 633: 평탄화막, 634: 평탄화막, 640: 트랜지스터, 641a: 전극, 641b: 전극, 642: 전극, 643: 도전막, 645: 도전막, 656: 트랜지스터, 658: 포토 다이오드 리셋 신호선, 659: 게이트 신호선, 671: 포토 센서 출력 신호선, 672: 포토 센서 기준 신호선, 901: 기판, 902: 화소부, 903: 신호선 구동 회로, 904: 주사선 구동 회로, 905: 시일재, 906: 기판, 908: 액정층, 910: 트랜지스터, 911: 트랜지스터, 913: 액정 소자, 915: 접속 단자 전극, 915a: 접속 단자 전극, 915b: 접속 단자 전극, 916: 단자 전극, 917: 도전막, 918: FPC, 918a: FPC, 918b: FPC, 919: 이방성 도전재, 921: 층간 절연막, 922: 게이트 절연막, 923: 절연막, 924: 절연막, 925: 시일재, 930: 전극, 931: 전극, 932: 절연막, 933: 절연막, 935: 스페이서, 936: 시일재, 941: 전극, 943: 액정 소자, 944: 절연막, 950: 질화 실리콘막, 951: 발광층, 955: 접속 단자 전극, 960: 격벽, 963: 발광 소자, 964: 충전재, 971: 소스 전극, 973: 드레인 전극, 975: 공통 전위선, 977: 공통 전극, 985: 공통 전위선, 987: 공통 전극, 9000: 테이블, 9001: 하우징, 9002: 다리부, 9003: 표시부, 9004: 표시 버튼, 9005: 전력 코드, 9033: 클립, 9034: 스위치, 9035: 전력 버튼, 9036: 스위치, 9038: 동작 버튼, 9100: 텔레비전 세트, 9101: 하우징, 9103: 표시부, 9105: 스탠드, 9107: 표시부, 9109: 동작키, 9110: 리모콘, 9201: 본체, 9202: 하우징, 9203: 표시부, 9204: 키보드, 9205: 외부 접속 포트, 9206: 포인팅 디바이스, 9630: 하우징, 9631: 표시부, 9631a: 표시부, 9631b: 표시부, 9632a: 영역, 9632b: 영역, 9633: 태양 전지, 9634: 충전제 제어 회로, 9635: 배터리, 9636: DCDC 컨버터, 9637: 컨버터, 9638: 동작키, 9639: 버튼

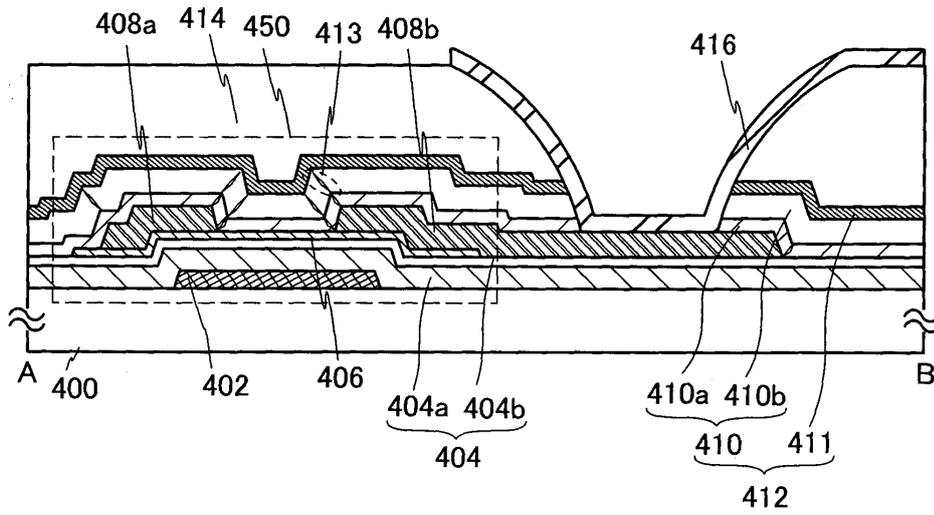
본 출원은 2012년 7월 20일자로 일본 특허청에 제출된 일본 특허 출원 제2012-161688호에 기초하며, 그 전체 내용은 참조로서 결합된다.

**도면**

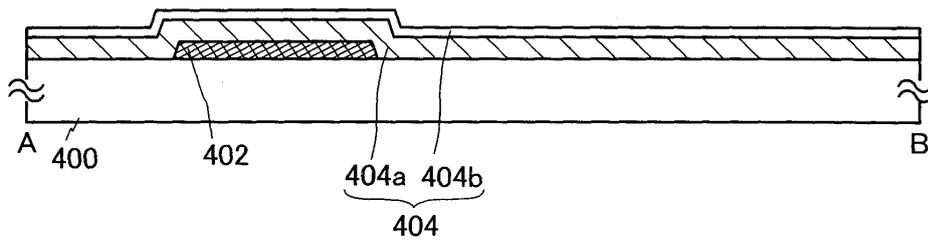
**도면1a**



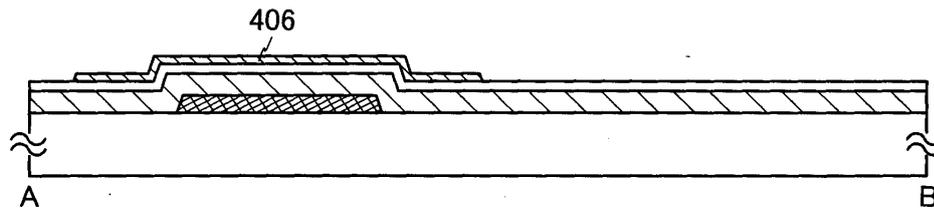
도면1b



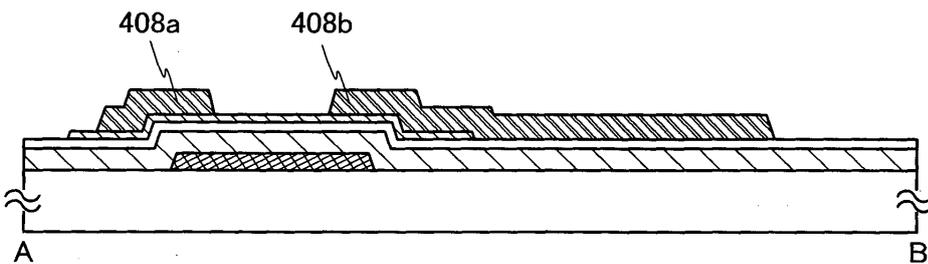
도면2a



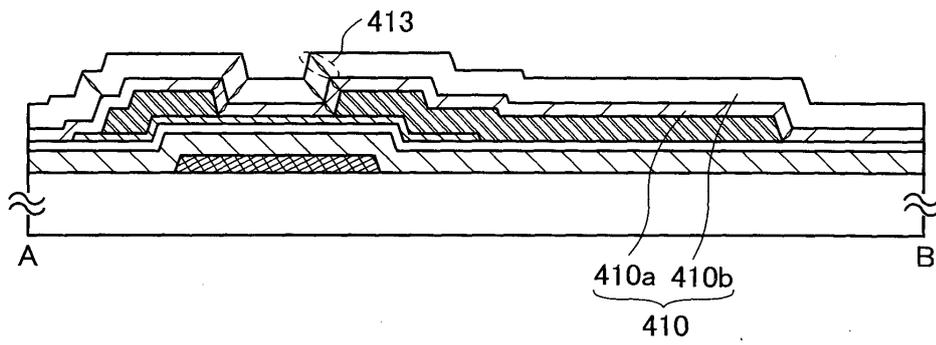
도면2b



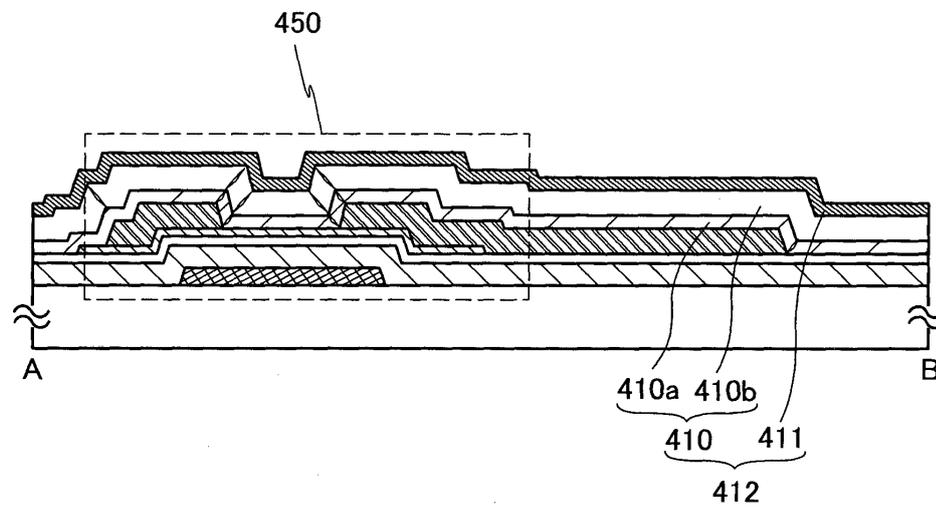
도면2c



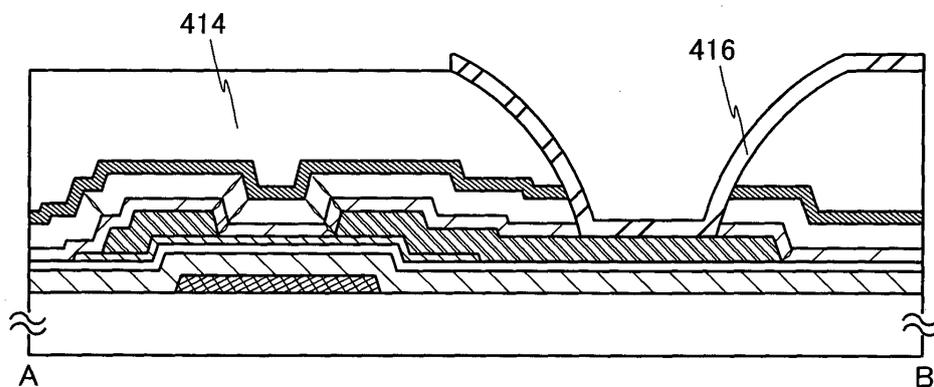
도면3a



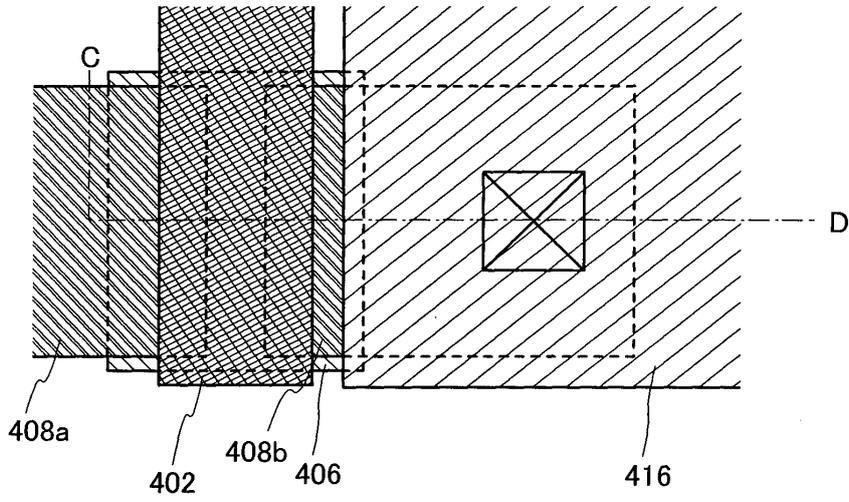
도면3b



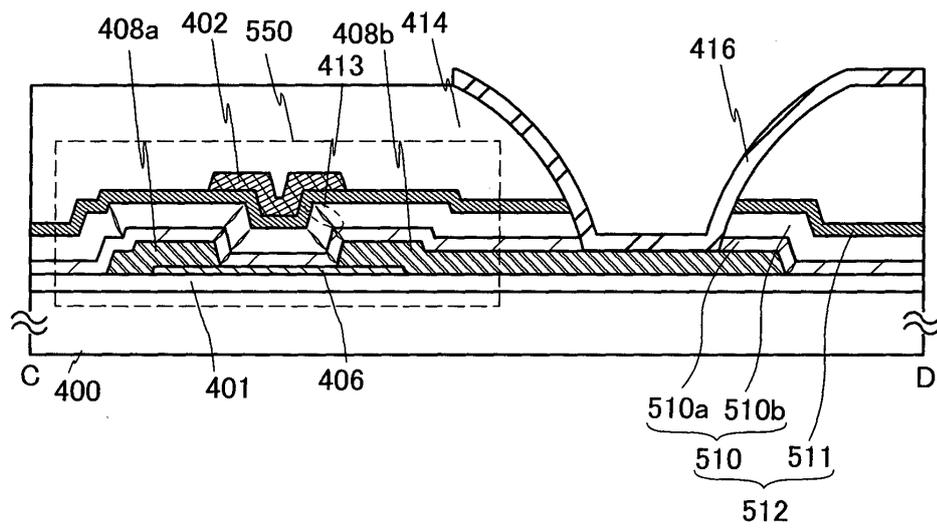
도면3c



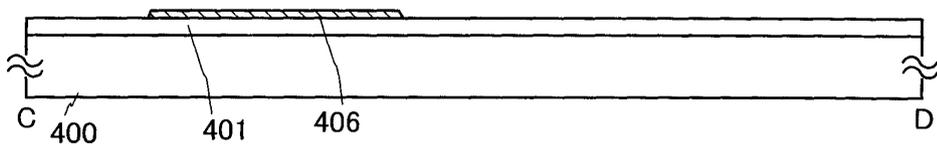
도면4a



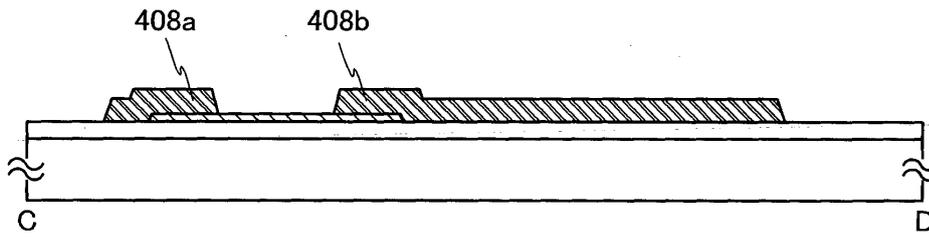
도면4b



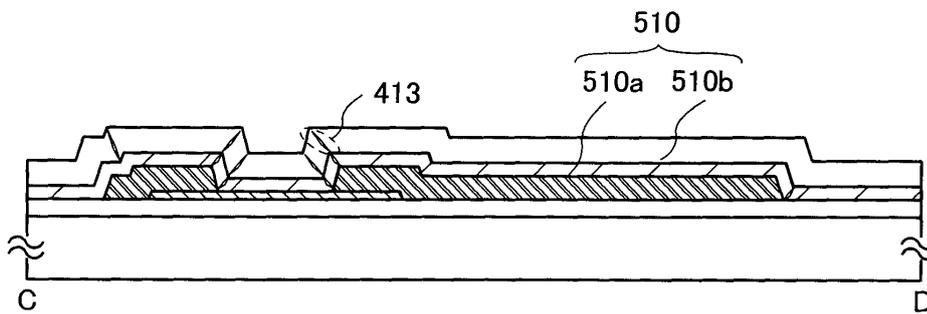
도면5a



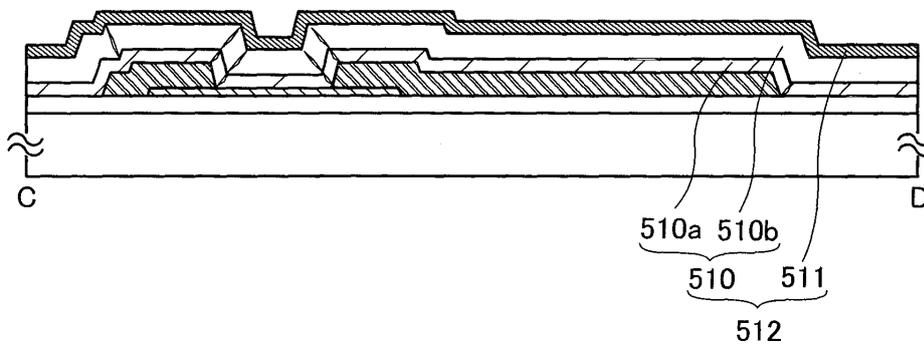
도면5b



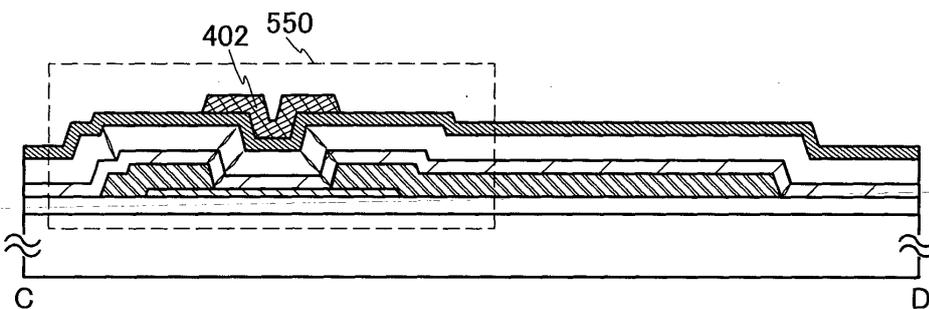
도면5c



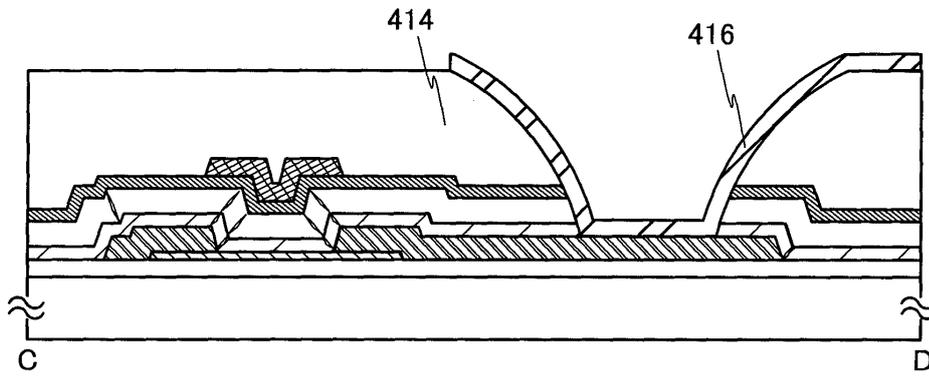
도면6a



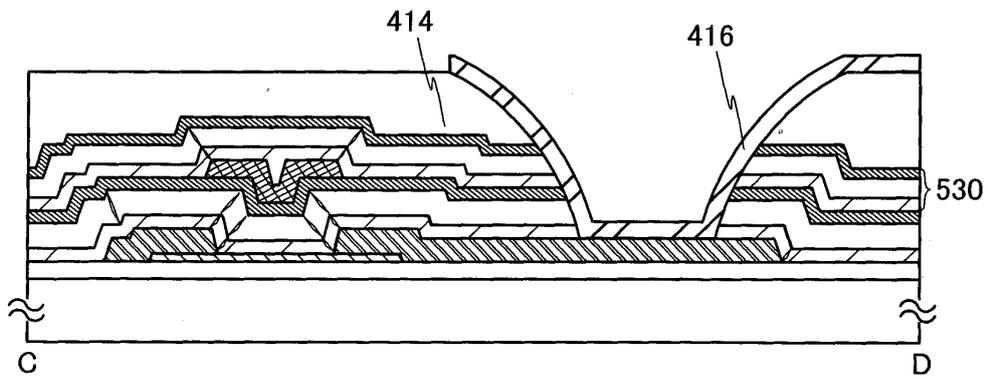
도면6b



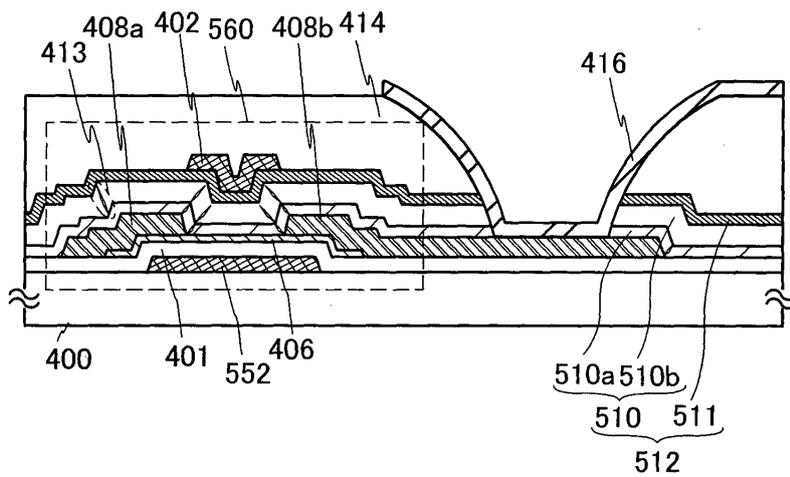
도면6c



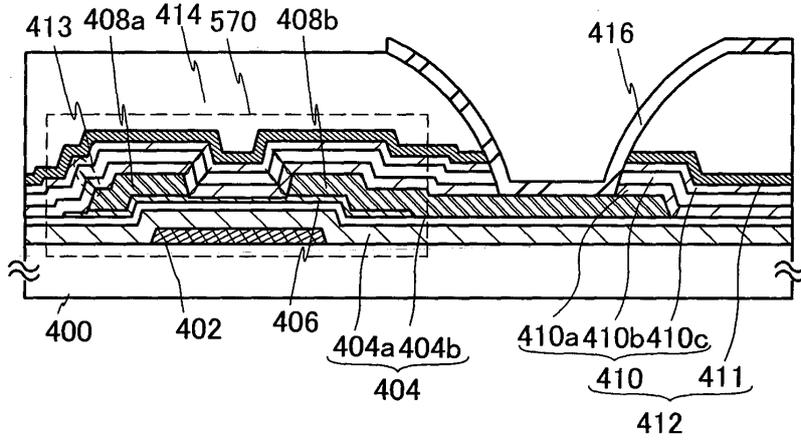
도면6d



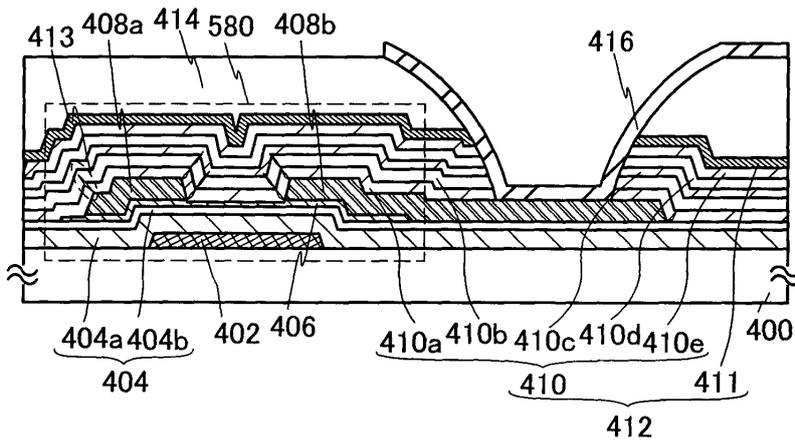
도면7a



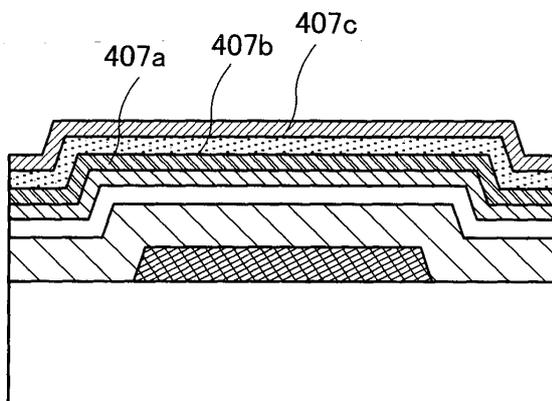
도면7b



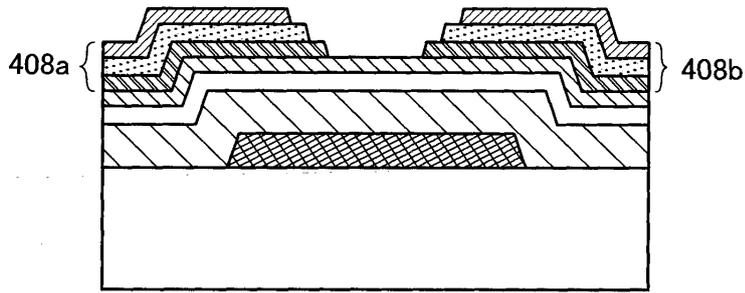
도면7c



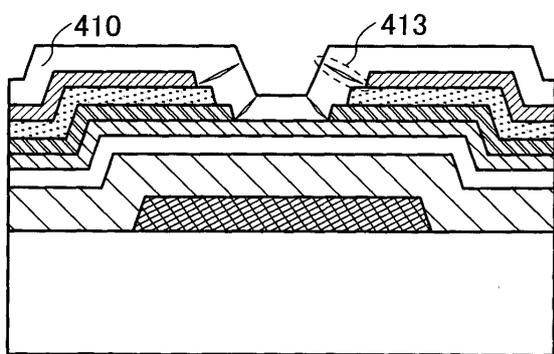
도면8a



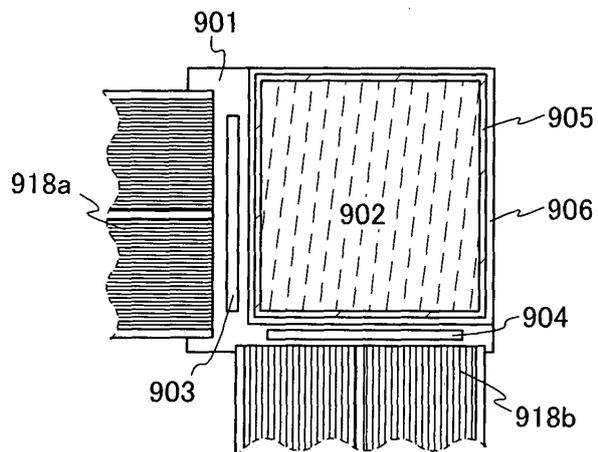
도면8b



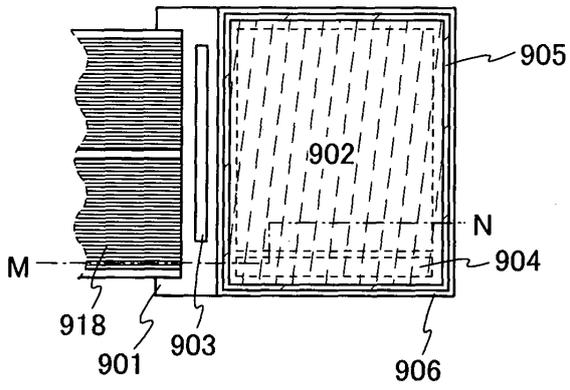
도면8c



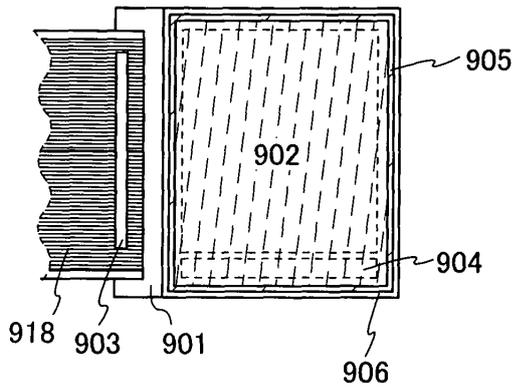
도면9a



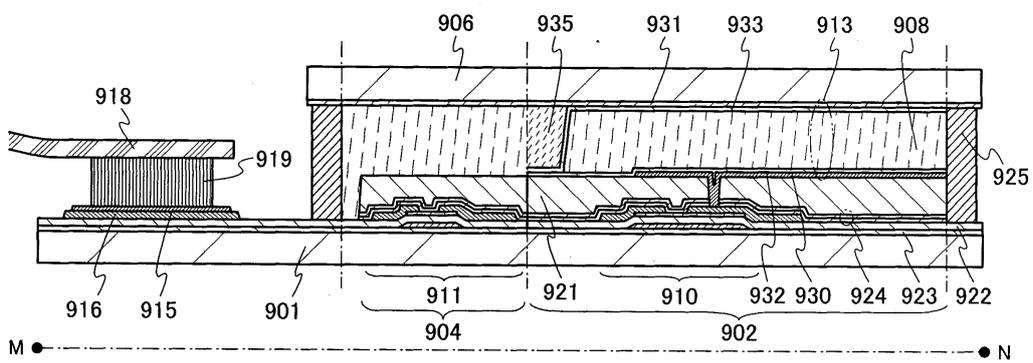
도면9b



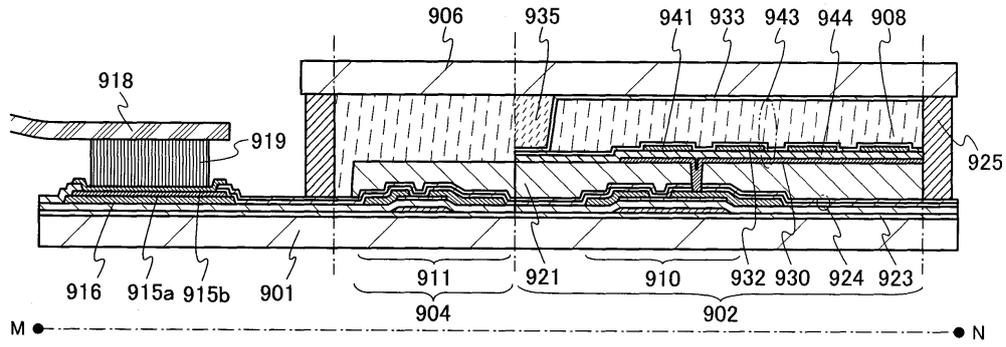
도면9c



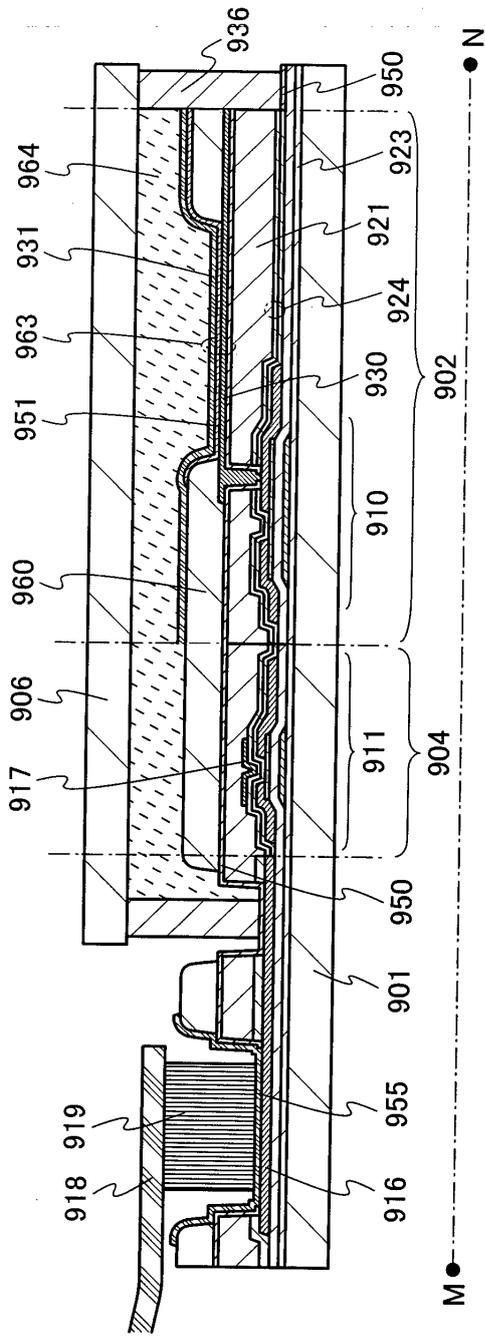
도면10a



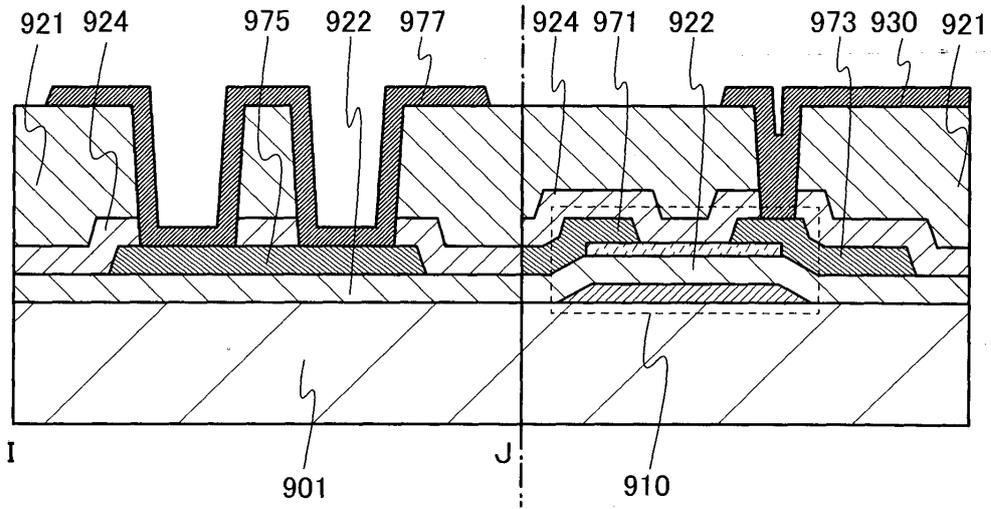
도면10b



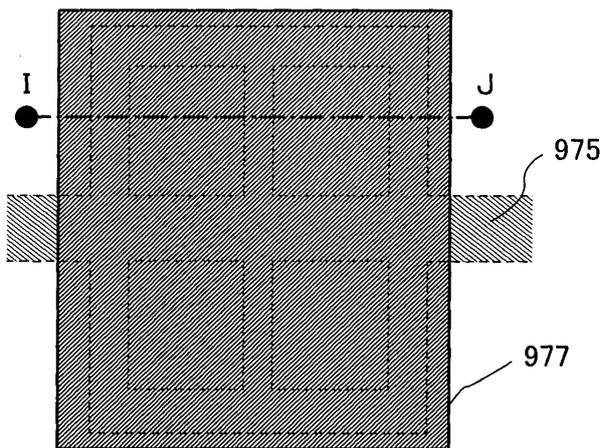
도면11



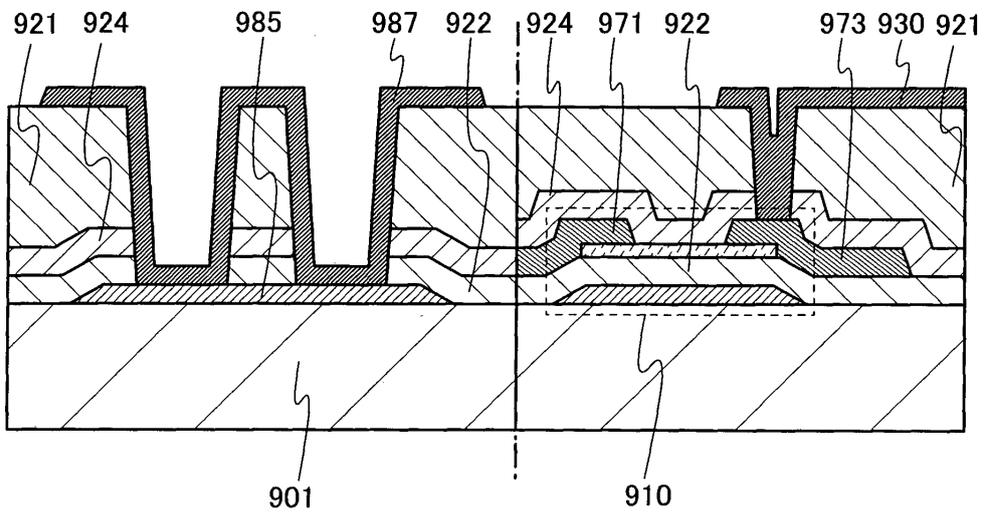
도면12a



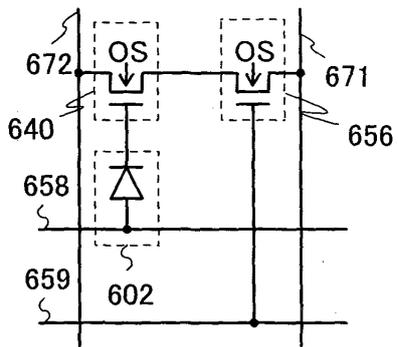
도면12b



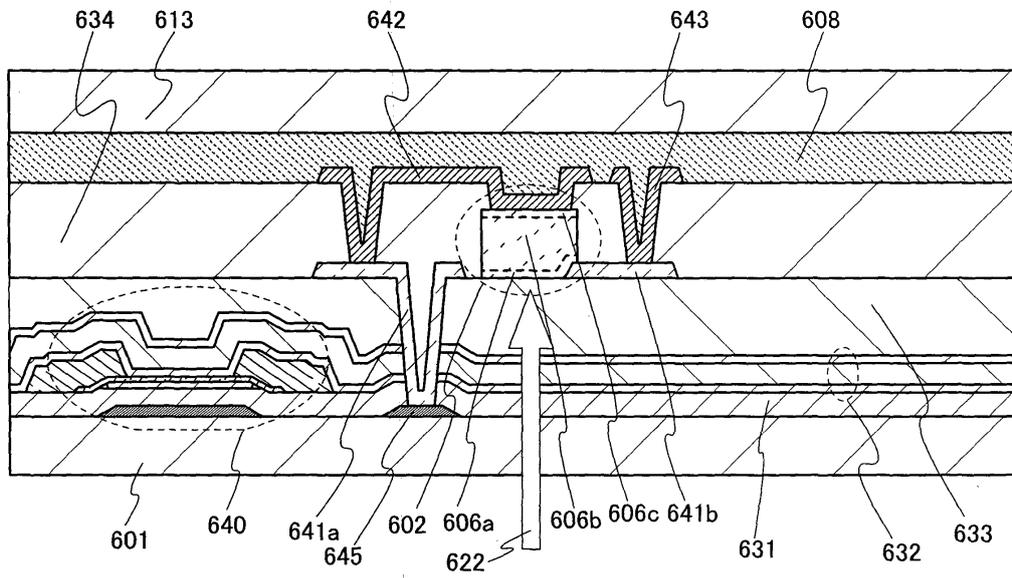
도면12c



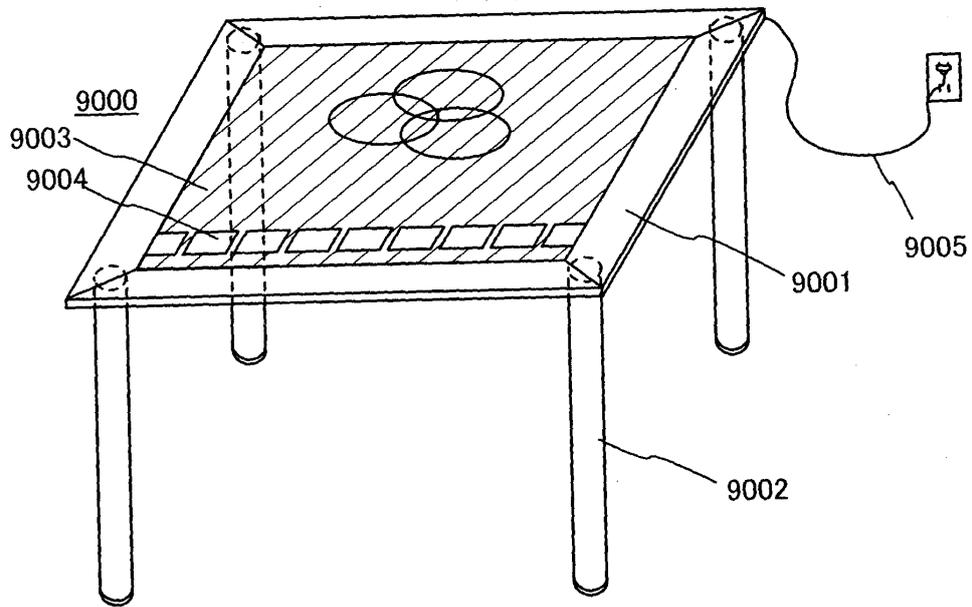
도면13a



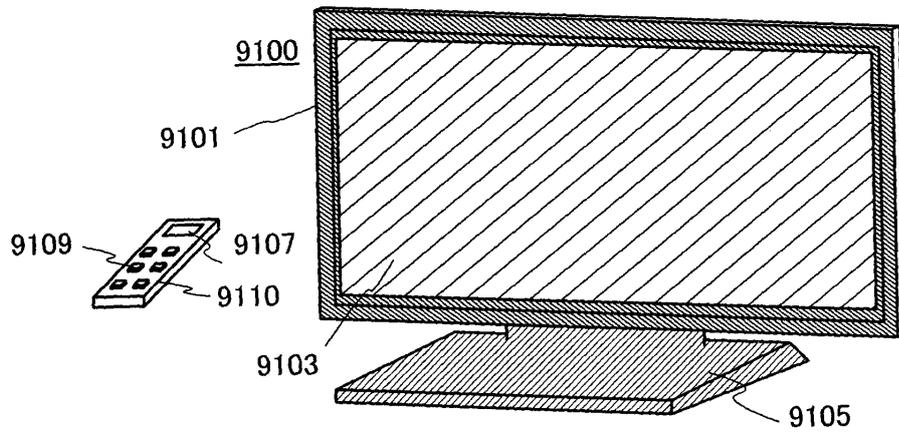
도면13b



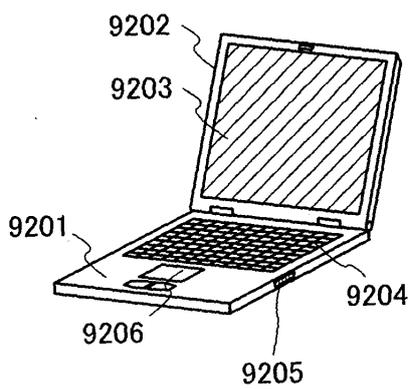
도면14a



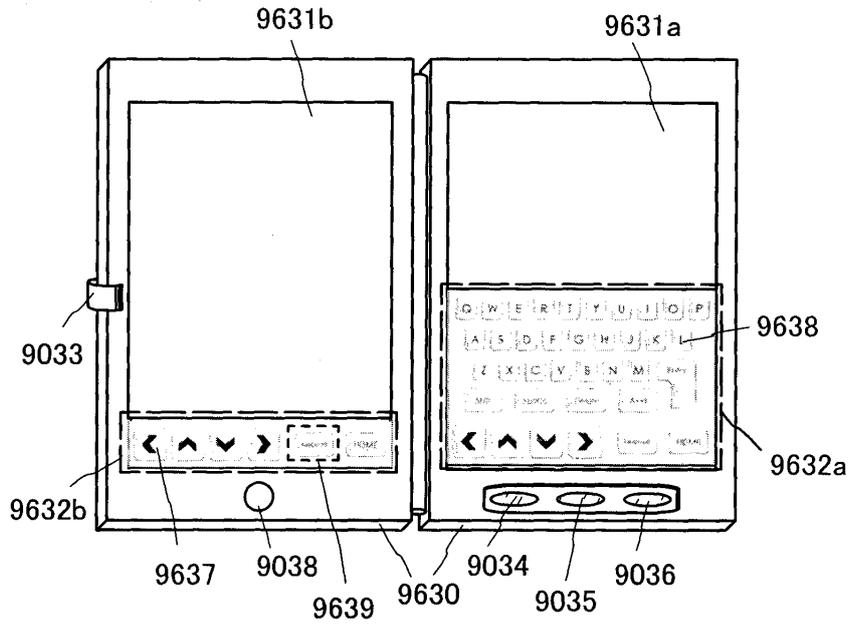
도면14b



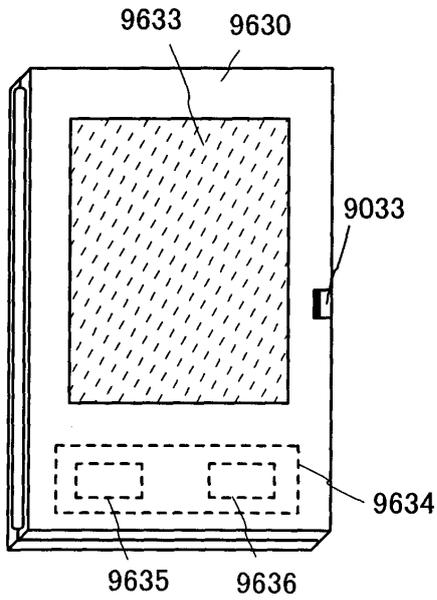
도면14c



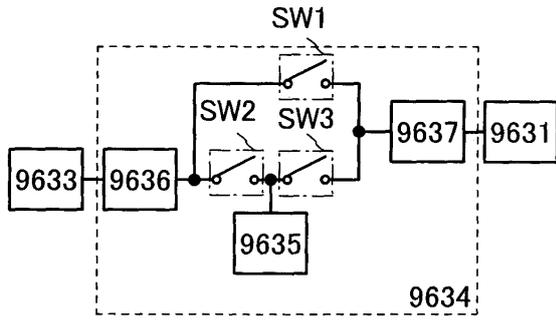
도면15a



도면15b

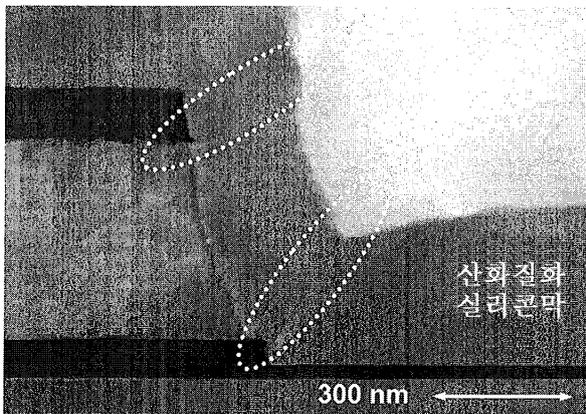


도면15c



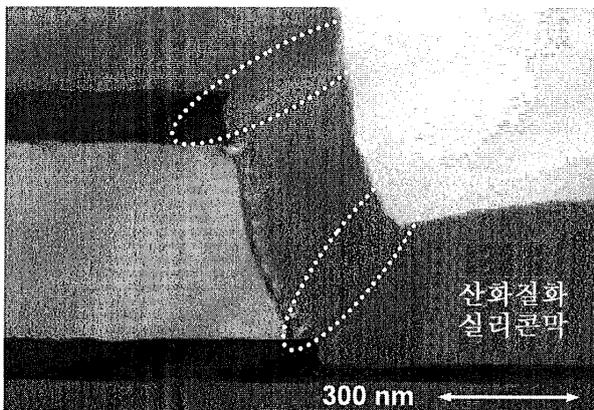
도면16a

샘플 A1



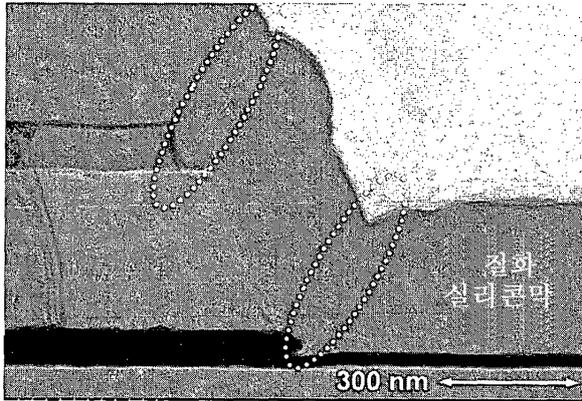
도면16b

샘플 A2



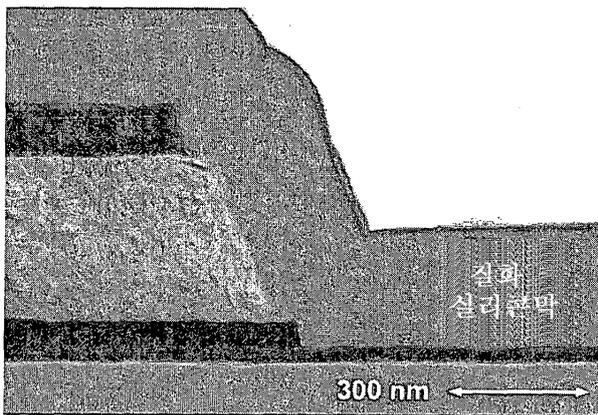
도면17a

샘플 A3

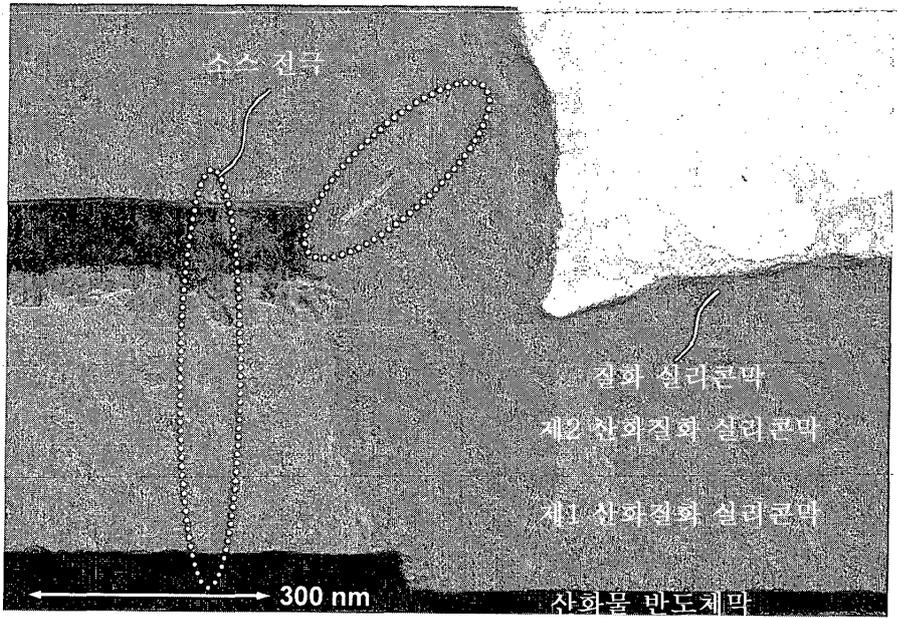


도면17b

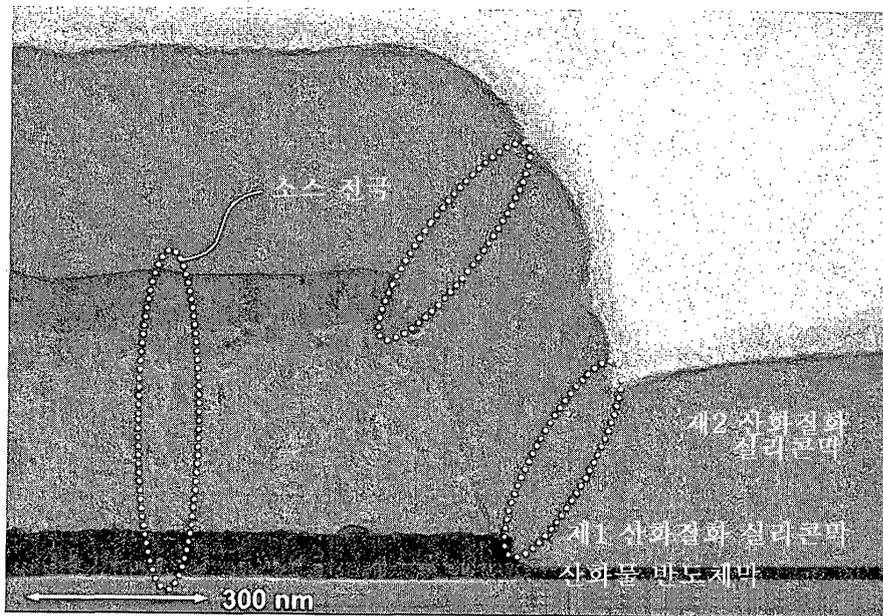
샘플 A4



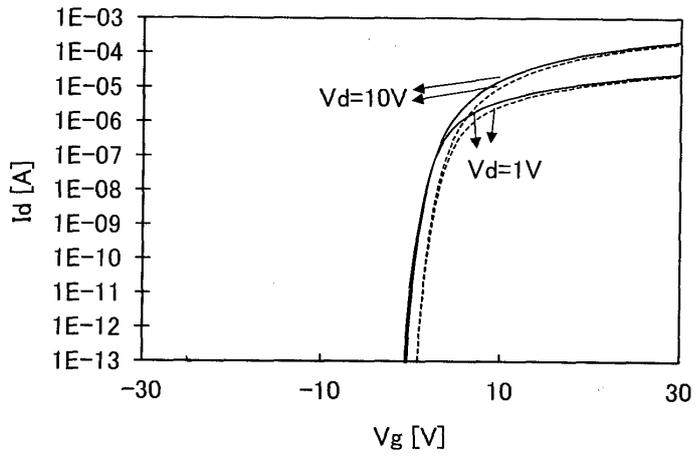
도면18a



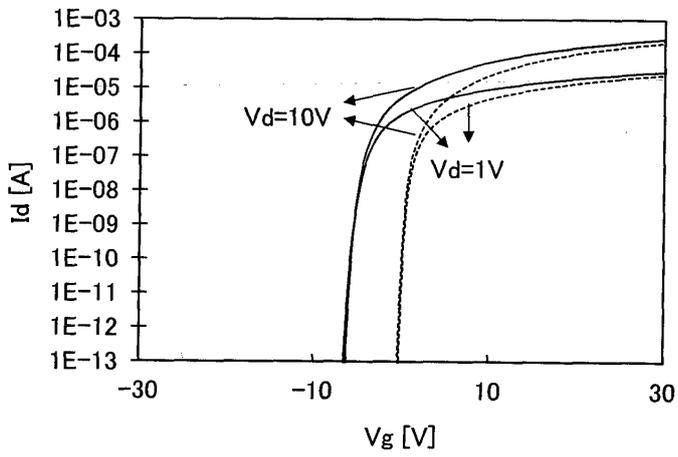
도면18b



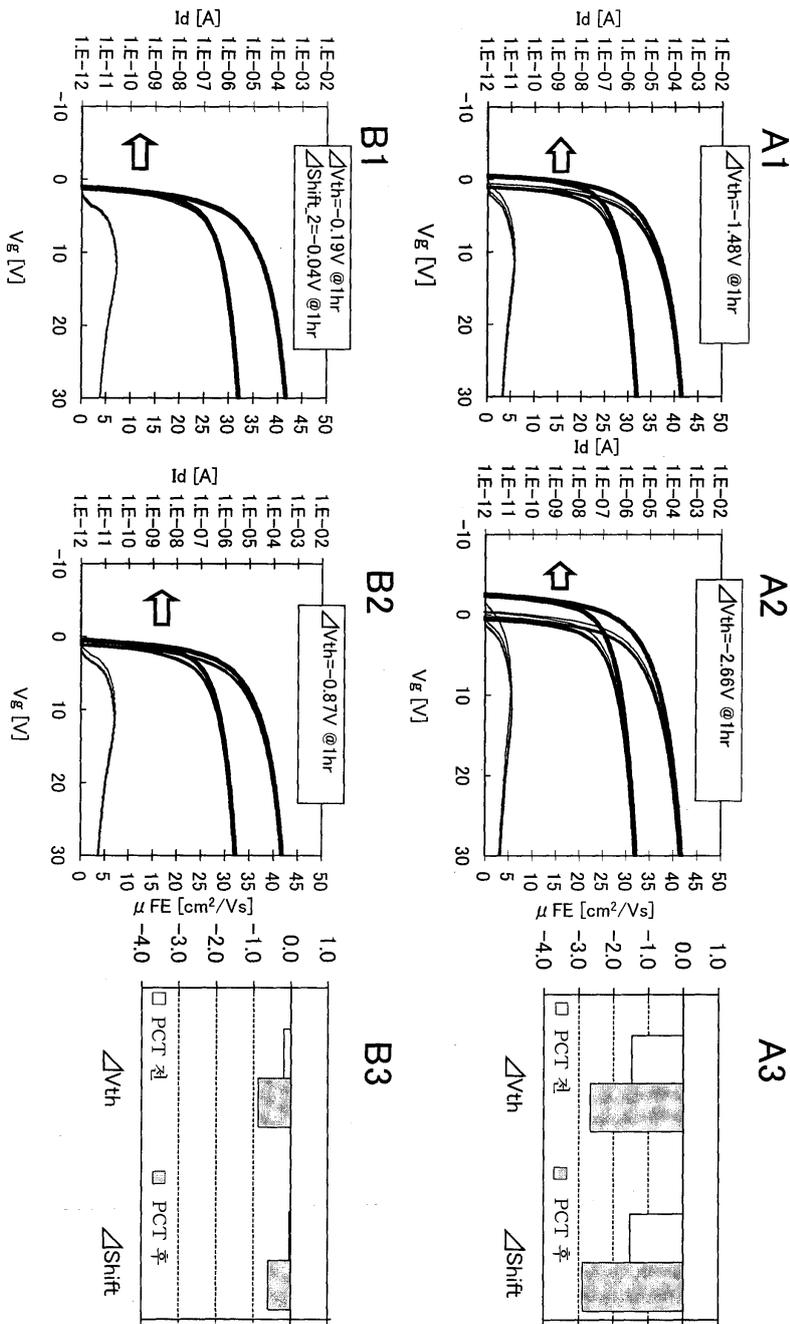
도면19a



도면19b



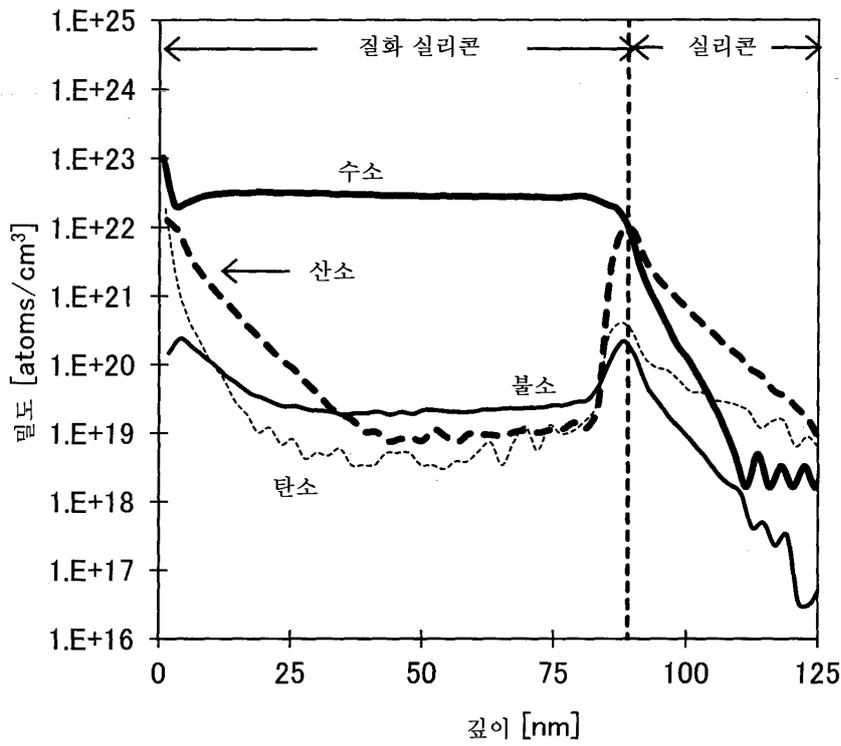
도면20



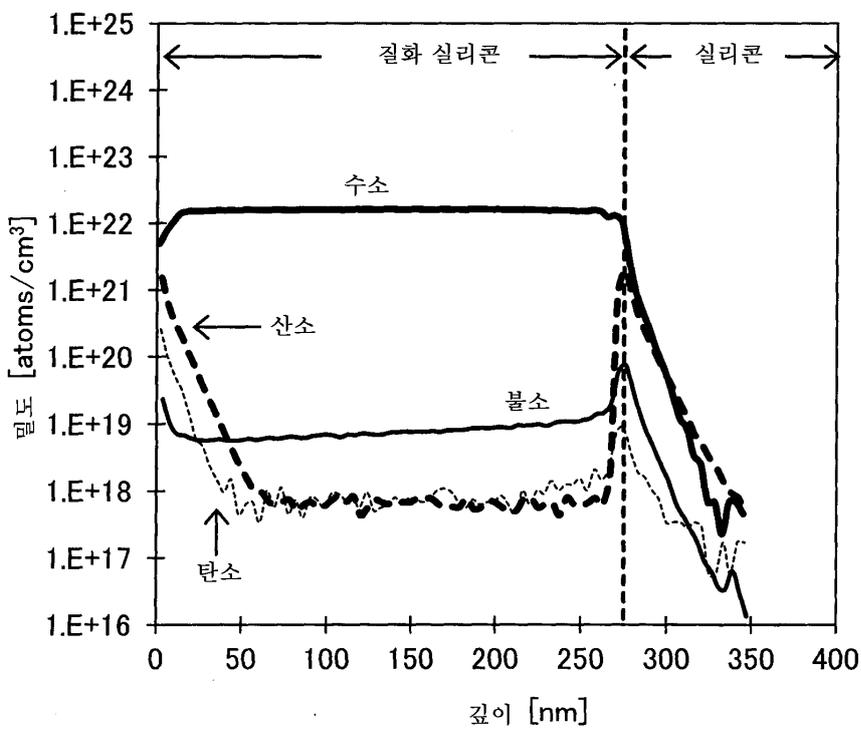
도면21



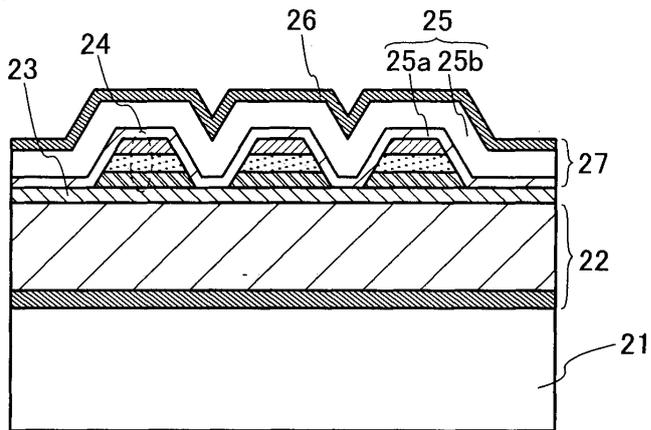
도면22a



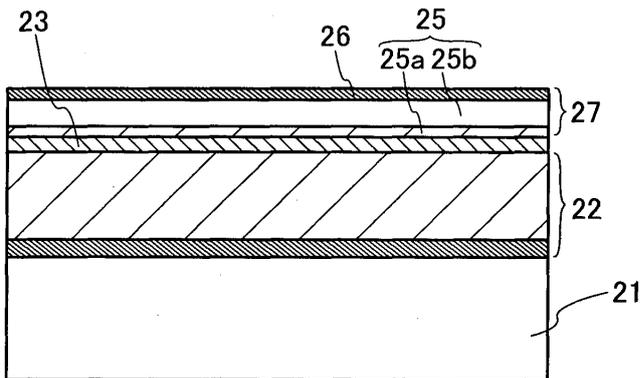
도면22b



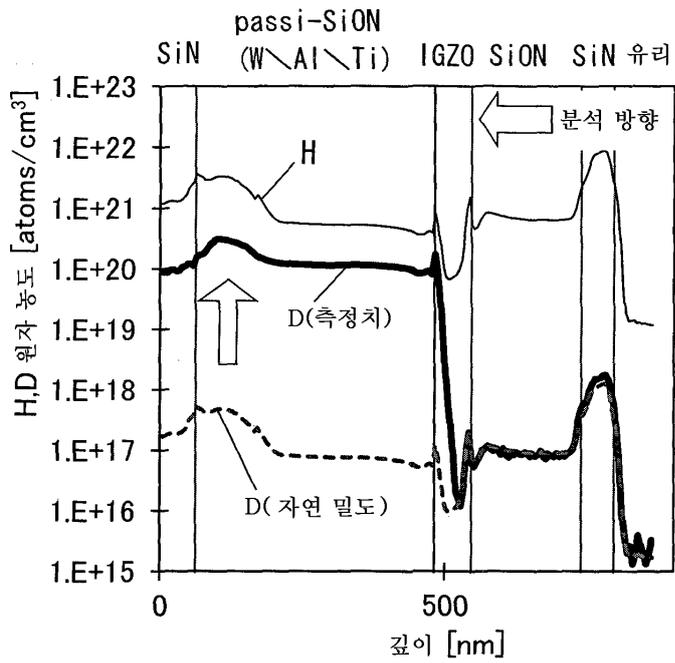
도면23a



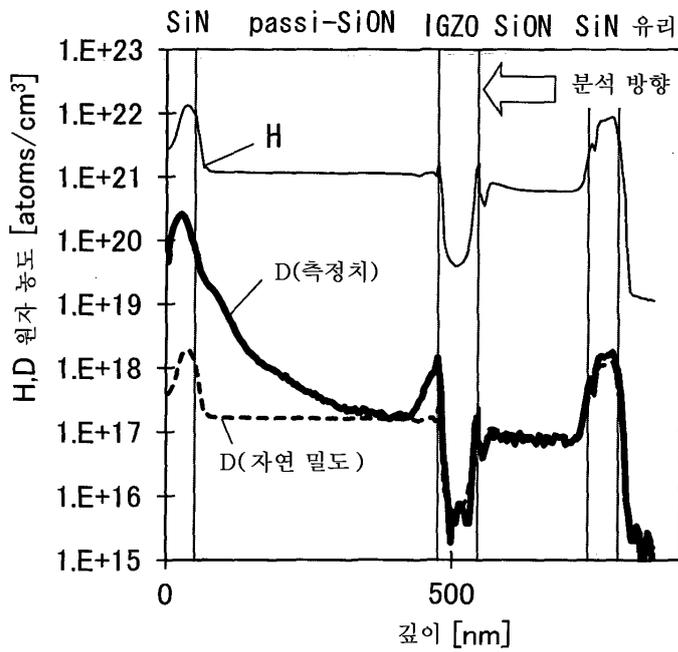
도면23b



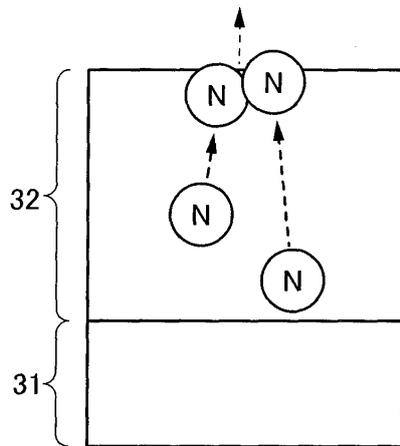
도면24a



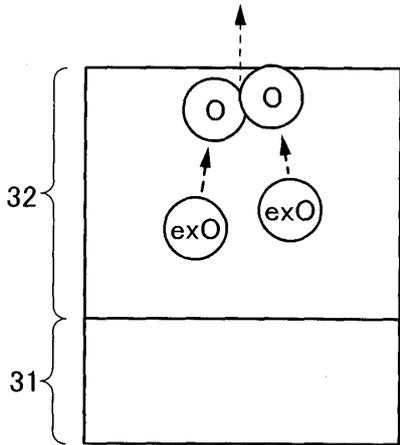
도면24b



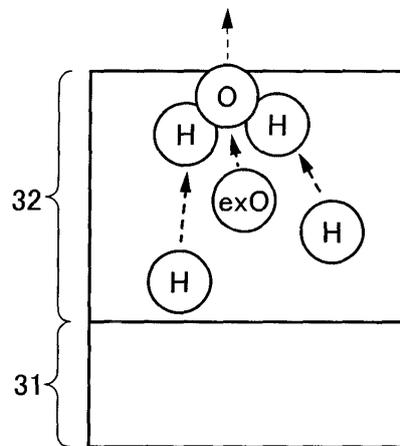
도면25a



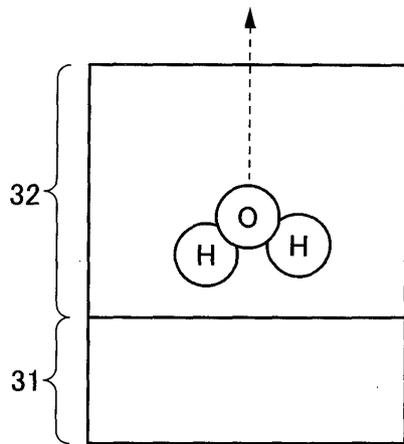
도면25b



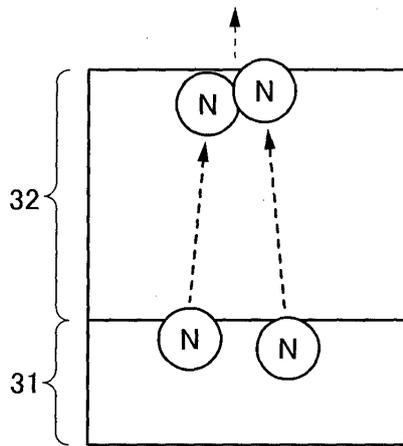
도면25c



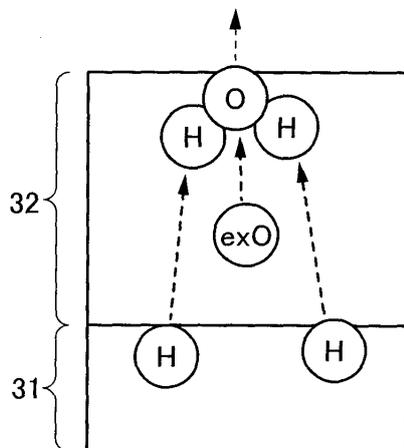
도면25d



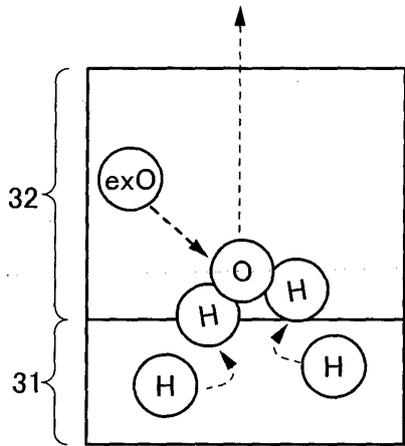
도면26a



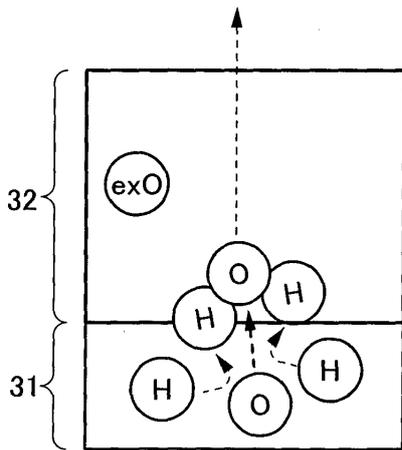
도면26b



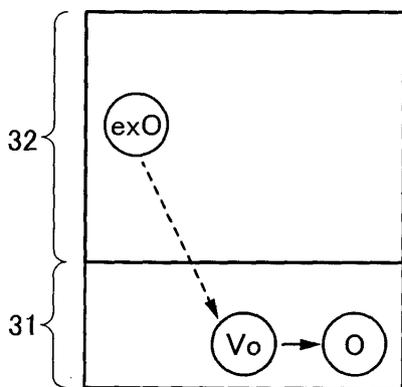
도면26c



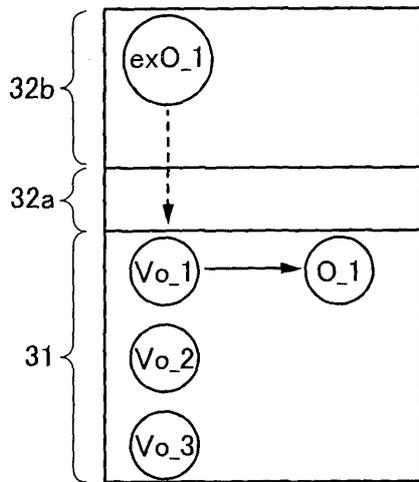
도면26d



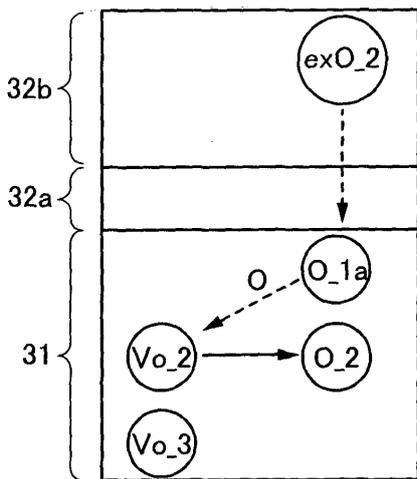
도면26e



도면27a



도면27b



도면27c

