



(12) 发明专利

(10) 授权公告号 CN 115332272 B

(45) 授权公告日 2023. 01. 24

(21) 申请号 202211256571.2

H01L 21/77 (2017.01)

(22) 申请日 2022.10.14

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 113889526 A, 2022.01.04

申请公布号 CN 115332272 A

US 2012276697 A1, 2012.11.01

(43) 申请公布日 2022.11.11

审查员 沈冬云

(73) 专利权人 广州华星光电半导体显示技术有限公司

地址 510700 广东省广州市黄埔区(中新广州知识城)亿创街1号406房之417

(72) 发明人 王航

(74) 专利代理机构 深圳紫藤知识产权代理有限公司 44570

专利代理师 孟霞

(51) Int. Cl.

H01L 27/12 (2006.01)

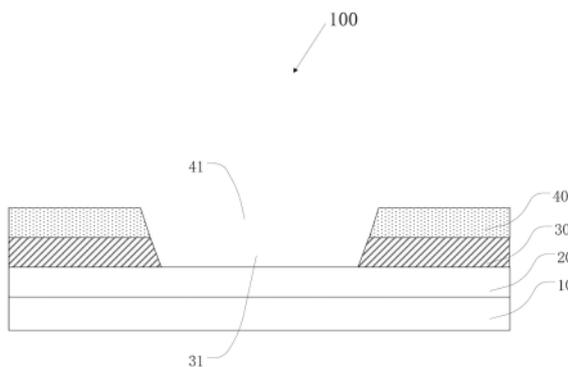
权利要求书1页 说明书5页 附图4页

(54) 发明名称

一种阵列基板及其制备方法、显示面板

(57) 摘要

本发明的实施例公开了一种阵列基板及其制备方法、显示面板。所述阵列基板包括衬底；金属层，设于所述衬底的一侧；第一绝缘层，设于所述金属层的远离所述衬底的一侧，所述第一绝缘层具有贯穿所述第一绝缘层的第一过孔；第二绝缘层，设于所述第一绝缘层的远离所述金属层的一侧，所述第二绝缘层具有贯穿所述第二绝缘层的第一通孔；所述第一通孔与所述第一过孔连通，所述第一过孔在所述衬底上的投影完全落入所述第一通孔在所述衬底上的投影中，所述第一通孔的侧壁与所述第一过孔的侧壁位于同一倾斜面上，倾斜角度相同，从而顺滑连接形成连续性的结构，解决了断层错开的问题。



1. 一种阵列基板的制备方法,其特征在于,所述制备方法包括以下步骤:

提供一衬底,在所述衬底上依次形成金属层、第一绝缘层、第二绝缘层以及一图案化的掩模层,所述第一绝缘层为氮化硅层,所述第二绝缘层为氧化硅层;所述掩模层包括第一遮光部和第二遮光部,所述第一遮光部的厚度小于所述第二遮光部的厚度,所述第一遮光部上形成有暴露所述第二绝缘层的透光孔;

通过所述掩模层对所述第一绝缘层和所述第二绝缘层进行第一次干法蚀刻以在所述第二绝缘层与所述透光孔对应的位置形成一初始通孔,在所述第一绝缘层与所述透光孔对应的位置形成一初始过孔,所述初始通孔与所述初始过孔连通,所述第二绝缘层的蚀刻速率小于所述第一绝缘层的蚀刻速率,所述初始通孔的底部孔径小于所述初始过孔的顶部孔径,且所述初始通孔在所述衬底上的投影完全落入所述初始过孔在所述衬底上的投影中;以及

去除所述第一遮光部,并通过所述掩模层对所述第一绝缘层和所述第二绝缘层进行第二次干法蚀刻,以将所述初始通孔蚀刻形成为第一通孔,将所述初始过孔蚀刻形成为第一过孔,其中,所述第二绝缘层的蚀刻速率大于所述第一绝缘层的蚀刻速率,所述第一通孔的底部孔径大于所述第一过孔的顶部孔径,且所述第一过孔在所述衬底上的投影完全落入所述第一通孔在所述衬底上的投影中;

所述第一通孔的侧壁与所述第一过孔的侧壁位于同一斜面上,且倾斜角度相同。

2. 如权利要求1所述的阵列基板的制备方法,其特征在于,在所述衬底上依次形成金属层、第一绝缘层、第二绝缘层以及一图案化的掩模层的步骤包括:

在所述衬底上依次形成金属层、第一绝缘层、第二绝缘层以及一掩模层;

提供一半色调掩模版,所述半色调掩模版具有透光区、第一遮光区和第二遮光区,所述第一遮光区和所述第二遮光区的光透过率不同;以及

通过所述半色调掩模版对所述掩模层进行曝光和显影,以在与所述透光区对应的位置形成所述透光孔,在与所述第一遮光区对应的位置形成所述第一遮光部,在与所述第二遮光区对应的位置形成所述第二遮光部。

3. 如权利要求1所述的阵列基板的制备方法,其特征在于,在所述的去掉所述第一遮光部的步骤中,通过灰化工艺去除所述第一遮光部和至少部分所述第二遮光部。

4. 如权利要求1所述的阵列基板的制备方法,其特征在于,在所述的对所述第一绝缘层和所述第二绝缘层进行第二次蚀刻的步骤之后,还包括:移除所述掩模层。

一种阵列基板及其制备方法、显示面板

技术领域

[0001] 本发明涉及显示面板领域,特别涉及一种阵列基板及其制备方法、显示面板。

背景技术

[0002] 薄膜晶体管(Thin Film Transistor,TFT)是平板显示的核心器件,目前的TFT器件广泛采用底栅结构。根据制作工艺的差异,底栅结构的TFT器件一般分为BCE(Back-channel Etchant,背沟道蚀刻)型TFT器件和ESL(Etched-stopper Layer,蚀刻阻挡层)型器件。其中由于BCE型TFT器件具有制程工艺步骤少,且不会对半导体层的背沟道造成蚀刻损伤的优势,因此BCE型TFT器件得到广泛应用。

[0003] 在常用的底栅型的背沟道蚀刻(BCE结构薄膜晶体管中,需要对GI层进行蚀刻,用于将两个金属层进行导通连接。请参阅图1,图1为现有技术中提供的阵列基板100的结构示意图,阵列基板100包括衬底10、金属层20、第一绝缘层30和第二绝缘层40,对第一绝缘层30和第二绝缘层40蚀刻使得第一绝缘层30具有贯穿第一绝缘层30的初始过孔311,第二绝缘层40具有贯穿第二绝缘层40的初始通孔411,初始通孔411与初始过孔311连通。在干刻的蚀刻过程中,第一绝缘层30的蚀刻速率比第二绝缘层40的蚀刻速率快,因此蚀刻后,初始通孔411的侧壁与初始过孔311的侧壁就会出现不连续的断层情况,后续在金属层搭接时会出现断线异常。

[0004] 有鉴于此,实有必要开发一种新型的阵列基板及其制备方法,用以解决现有技术中金属层搭接出现断线异常的问题。

发明内容

[0005] 本发明的实施例提供一种阵列基板及其制备方法、显示面板,用以解决现有技术中金属层搭接出现断线异常的问题。

[0006] 为了解决上述技术问题,本发明的实施例公开了如下技术方案:

[0007] 一方面,本申请提供一种阵列基板,包括:衬底;金属层,设于所述衬底的一侧;第一绝缘层,设于所述金属层的远离所述衬底的一侧,所述第一绝缘层具有贯穿所述第一绝缘层的第一过孔;第二绝缘层,设于所述第一绝缘层的远离所述金属层的一侧,所述第二绝缘层具有贯穿所述第二绝缘层的第一通孔;所述第一通孔与所述第一过孔连通,且所述第一过孔在所述衬底上的投影完全落入所述第一通孔在所述衬底上的投影中。

[0008] 除了上述公开的一个或多个特征之外,或者作为替代,所述第一通孔的底部与所述第一过孔的顶部重合,所述第一通孔的侧壁与所述第一过孔的侧壁呈连续性连接。

[0009] 除了上述公开的一个或多个特征之外,或者作为替代,所述第一绝缘层为氮化硅层,所述第二绝缘层为氧化硅层。

[0010] 另一方面,还提供一种阵列基板的制备方法,所述制备方法包括以下步骤:提供一衬底,在所述衬底上依次形成金属层、第一绝缘层、第二绝缘层以及一图案化的掩模层,所述掩模层包括第一遮光部和第二遮光部,所述第一遮光部的厚度小于所述第二遮光部的厚

度,所述第一遮光部上形成有暴露所述第二绝缘层的透光孔;通过所述掩模层对所述第一绝缘层和所述第二绝缘层进行第一次蚀刻,以在所述第二绝缘层与所述透光孔对应的位置形成一初始通孔,在所述第一绝缘层与所述透光孔对应的位置形成一初始过孔,所述初始通孔与所述初始过孔连通;以及去除所述第一遮光部,并通过所述掩模层对所述第一绝缘层和所述第二绝缘层进行第二次蚀刻,以将所述初始通孔蚀刻形成为第一通孔,将所述初始过孔蚀刻形成为第一过孔,其中,所述第一过孔在所述衬底上的投影完全落入所述第一通孔在所述衬底上的投影中。

[0011] 除了上述公开的一个或多个特征之外,或者作为替代,在所述衬底上依次形成金属层、第一绝缘层、第二绝缘层以及一图案化的掩模层的步骤包括:在所述衬底上依次形成金属层、第一绝缘层、第二绝缘层以及一掩模层;提供一半色调掩模版,所述半色调掩模版具有透光区、第一遮光区和第二遮光区,所述第一遮光区和所述第二遮光区的光透过率不同;以及通过所述半色调掩模版对所述掩模层进行曝光和显影,以在与所述透光区对应的位置形成所述透光孔,在与所述第一遮光区对应的位置形成所述第一遮光部,在与所述第二遮光区对应的位置形成所述第二遮光部。

[0012] 除了上述公开的一个或多个特征之外,或者作为替代,所述第一遮光部的厚度范围为 $0.3\mu\text{m}\sim 1\mu\text{m}$,所述第一遮光部的宽度范围为 $0.3\mu\text{m}\sim 0.6\mu\text{m}$ 。

[0013] 除了上述公开的一个或多个特征之外,或者作为替代,所述第二遮光部的厚度范围为 $0.6\mu\text{m}\sim 2\mu\text{m}$,所述第二遮光部的宽度范围为 $0.6\mu\text{m}\sim 1.2\mu\text{m}$ 。

[0014] 除了上述公开的一个或多个特征之外,或者作为替代,在所述的通过所述掩模层对所述第一绝缘层和所述第二绝缘层进行第一次蚀刻的步骤中,所述第二绝缘层的蚀刻速率小于所述第一绝缘层的蚀刻速率,所述初始通孔的底部孔径小于所述初始过孔的顶部孔径,且所述初始通孔在所述衬底上的投影完全落入所述初始过孔在所述衬底上的投影中;所述初始通孔的内侧壁和所述初始过孔的内侧壁呈断层错开。

[0015] 除了上述公开的一个或多个特征之外,或者作为替代,在所述对所述第一绝缘层和所述第二绝缘层进行第一次蚀刻的步骤中,采用干法蚀刻。

[0016] 除了上述公开的一个或多个特征之外,或者作为替代,在所述对所述第一绝缘层和所述第二绝缘层进行第一次蚀刻的步骤中,所述第二绝缘层没有受到垂直方向的蚀刻,只受到水平方向的蚀刻。

[0017] 除了上述公开的一个或多个特征之外,或者作为替代,在所述的去除所述第一遮光部的步骤中,通过灰化工艺去除所述第一遮光部和至少部分所述第二遮光部。

[0018] 除了上述公开的一个或多个特征之外,或者作为替代,在通过所述掩模层对所述第一绝缘层和所述第二绝缘层进行第二次蚀刻的步骤中,对所述第二绝缘层的蚀刻速率大于所述第一绝缘层的蚀刻速率,所述第一通孔的底部孔径大于所述第一过孔的顶部孔径,且所述第一过孔在所述衬底上的投影完全落入所述第一通孔在所述衬底上的投影中。

[0019] 除了上述公开的一个或多个特征之外,或者作为替代,在所述的对所述第一绝缘层和所述第二绝缘层进行第二次蚀刻的步骤之后,还包括:移除所述掩模层。

[0020] 除了上述公开的一个或多个特征之外,或者作为替代,在所述对所述第一绝缘层和所述第二绝缘层进行第二次蚀刻的步骤中,采用干法蚀刻。

[0021] 除了上述公开的一个或多个特征之外,或者作为替代,在所述的对所述第一绝缘

层和所述第二绝缘层进行第二次蚀刻的步骤中,所述第二绝缘层的蚀刻速率大于所述第一绝缘层的蚀刻速率。

[0022] 除了上述公开的一个或多个特征之外,或者作为替代,在所述的对所述第一绝缘层和所述第二绝缘层进行第二次蚀刻的步骤中,所述第二绝缘层受到垂直方向的蚀刻和水平方向的蚀刻,所述第一绝缘层仅受到水平方向的蚀刻,垂直方向的蚀刻速率大于水平方向的蚀刻速率。

[0023] 因为干刻的离子在垂直方向电场的引导下轰击膜层造成物理性蚀刻,造成垂直方向除开水平方向有的化学性蚀刻下还有垂直方向下的物理性蚀刻,所以垂直方向蚀刻速率远大于水平方向蚀刻率,垂直方向的蚀刻速率可以大于3倍的水平方向的蚀刻速率,第一次蚀刻时第一遮光部的第二绝缘层因为有光刻胶的阻挡,所以没有垂直方向的蚀刻,只有水平方向的蚀刻,因为第一绝缘层采用氮化硅,氮化硅与离子反应更剧烈,同时氮化硅膜质也疏松一些,因此所述第一绝缘层的蚀刻速率大于所述第二绝缘层的蚀刻速率。第二次蚀刻时第一遮光部的光刻胶已去除,裸露在外的第二绝缘层经受垂直和水平方向的蚀刻,所以所述第二绝缘层的蚀刻速率大于所述第一绝缘层的蚀刻速率,以使得所述第一通孔的侧壁与所述第一过孔的侧壁呈连续性连接。

[0024] 通过对第一绝缘层和第二绝缘层进行两次蚀刻,使得所述第一过孔在所述衬底上的投影完全落入所述第一通孔在所述衬底上的投影中,避免后续金属层搭接会出现断线异常的问题,提升器件的稳定性;并且工艺简单可操作性高。

[0025] 另一方面,还提供一种显示面板,包括本发明涉及的所述阵列基板。

[0026] 上述技术方案中的一个技术方案具有如下优点或有益效果:第一通孔的侧壁与第一过孔的侧壁位于同一倾斜面上,倾斜角度相同,从而顺滑连接形成连续性的结构,解决了断层错开的问题。

附图说明

[0027] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其它有益效果显而易见。

[0028] 图1为现有技术提供的阵列基板的结构示意图;

[0029] 图2为本发明实施例提供的阵列基板的结构示意图;

[0030] 图3为本发明实施例提供的阵列基板的制备方法的流程图;

[0031] 图4为本发明实施例提供的制备方法中步骤1时的结构示意图;

[0032] 图5为本发明实施例提供的制备方法中步骤2时的结构示意图;

[0033] 图6为本发明实施例提供的制备方法中步骤3时的结构示意图;

[0034] 图7为本发明实施例提供的制备方法中步骤4时的结构示意图。

[0035] 附图标记:

[0036] 阵列基板-100;衬底-10;

[0037] 金属层-20;

[0038] 第一绝缘层-30;第二绝缘层-40;

[0039] 掩模层-50;第二遮光部-51;

[0040] 第一遮光部-52;透光孔-53;

[0041] 初始通孔-411;初始过孔-311;

[0042] 第一通孔-41;第一过孔-31。

具体实施方式

[0043] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0044] 请参阅图2,图2为本发明实施例提供的一种阵列基板100的结构示意图,阵列基板100,包括衬底10、金属层20、第一绝缘层30和第二绝缘层40。

[0045] 金属层20设于衬底10的一侧。第一绝缘层30设于金属层20的远离衬底10的一侧,第一绝缘层30为氮化硅层,第一绝缘层30具有贯穿第一绝缘层30的第一过孔31。第二绝缘层40设于第一绝缘层30的远离金属层20的一侧,第二绝缘层40为氧化硅层,第二绝缘层40具有贯穿第二绝缘层40的第一通孔41。

[0046] 第一通孔41与第一过孔31连通,第一通孔41的侧壁与第一过孔31的侧壁呈连续性连接。第一通孔41的底部与第一过孔31的顶部重合,且第一过孔31在衬底10上的投影完全落入第一通孔41在衬底10上的投影中。第一通孔41的侧壁与第一过孔31的侧壁位于同一倾斜面上,倾斜角度相同,从而顺滑连接形成连续性的结构,解决了断层错开的问题。

[0047] 本发明实施例还提供一种显示面板,包括本发明涉及的阵列基板100。

[0048] 请参阅图3,图3为本发明实施例提供的一种阵列基板100的制备方法的流程图,制备方法包括步骤1-步骤4。

[0049] 步骤1:提供一衬底10,在衬底10上依次形成金属层20、第一绝缘层30、第二绝缘层40以及一图案化的掩模层50;掩模层50包括第一遮光部52和第二遮光部51,第一遮光部52的厚度小于第二遮光部51的厚度,第一遮光部52上形成有暴露第二绝缘层40的透光孔53。

[0050] 请参阅图4,第一遮光部52的厚度范围为 $0.3\mu\text{m}\sim 1\mu\text{m}$ 。优选地,第一遮光部52的宽度范围为 $0.3\mu\text{m}\sim 0.6\mu\text{m}$ 。

[0051] 第二遮光部51的厚度范围为 $0.6\mu\text{m}\sim 2\mu\text{m}$ 。优选地,第二遮光部51的宽度范围为 $0.6\mu\text{m}\sim 1.2\mu\text{m}$ 。

[0052] 步骤1的具体步骤包括:

[0053] 在衬底10上依次形成金属层20、第一绝缘层30、第二绝缘层40以及一掩模层50;

[0054] 提供一半色调掩模版,半色调掩模版具有透光区、第一遮光区和第二遮光区,第一遮光区和第二遮光区的光透过率不同;以及

[0055] 通过半色调掩模版对掩模层50进行曝光和显影,以在与透光区对应的位置形成透光孔53,在与第一遮光区对应的位置形成第一遮光部52,在与第二遮光区对应的位置形成第二遮光部51。

[0056] 步骤2:通过掩模层50对第一绝缘层30和第二绝缘层40进行第一次蚀刻;以在第二绝缘层40与透光孔53对应的位置形成有一初始通孔411,在第一绝缘层30与透光孔53对应

的位置形成有一初始过孔311,初始通孔411与初始过孔311连通。

[0057] 请参阅图5,第一次蚀刻采用干法蚀刻。

[0058] 第一次蚀刻时第一遮光部52的第二绝缘层40因为有光刻胶的阻挡,所以没有垂直方向的蚀刻,只有水平方向的蚀刻,因为第一绝缘层30采用氮化硅,氮化硅与离子反应更剧烈,同时氮化硅膜质也疏松一些,因此第一绝缘层30的蚀刻速率大于第二绝缘层40的蚀刻速率。

[0059] 第二绝缘层40的蚀刻速率小于第一绝缘层30的蚀刻速率,初始通孔411的底部孔径小于初始过孔311的顶部孔径,且初始通孔411在衬底10上的投影完全落入初始过孔311在衬底10上的投影中;初始通孔411的内侧壁和初始过孔311的内侧壁呈断层错开。

[0060] 步骤3:去除第一遮光部52,并通过掩模层50对第一绝缘层30和第二绝缘层40进行第二次蚀刻,以将初始通孔411蚀刻形成为第一通孔41,将初始过孔311蚀刻形成为第一过孔31,其中,第一过孔31在衬底10上的投影完全落入第一通孔41在衬底10上的投影中。

[0061] 请参阅图6,通过灰化工艺去除第一遮光部52和至少部分第二遮光部51。

[0062] 第二次蚀刻采用干法蚀刻。

[0063] 初始通孔411被扩大形成第一通孔41,初始过孔311被扩大或不变化形成第一过孔31,第一通孔41的底部与第一过孔31的顶部重合,第一过孔31在衬底10上的投影完全落入第一通孔41在衬底10上的投影中。

[0064] 第二绝缘层40的蚀刻速率大于第一绝缘层30的蚀刻速率,第一通孔41的底部孔径大于第一过孔31的顶部孔径。

[0065] 第二绝缘层40受到垂直方向的蚀刻和水平方向的蚀刻,第一绝缘层30仅受到水平方向的蚀刻,垂直方向的蚀刻速率大于水平方向的蚀刻速率。

[0066] 因为干刻的离子在垂直方向电场的引导下轰击膜层造成物理性蚀刻,造成垂直方向除开水平方向有的化学性蚀刻下还有垂直方向下的物理性蚀刻,所以垂直方向蚀刻速率远大于水平方向蚀刻率,垂直方向的蚀刻速率可以大于3倍的水平方向的蚀刻速率。第二次蚀刻时第一遮光部52的光刻胶已去除,裸露在外的第二绝缘层40经受垂直和水平方向的蚀刻,所以第二绝缘层40的蚀刻速率大于第一绝缘层30的蚀刻速率,以使得第一通孔41的侧壁与第一过孔31的侧壁呈连续性连接。

[0067] 步骤4:移除掩模层50。

[0068] 请参阅图7,第一通孔41的侧壁与第一过孔31的侧壁位于同一倾斜面上,倾斜角度相同,从而顺滑连接形成连续性的结构,解决了断层错开的问题。

[0069] 通过对第一绝缘层30和第二绝缘层40进行两次蚀刻,使得第一过孔31在衬底上的投影完全落入第一通孔41在衬底上的投影中,避免后续金属层搭接会出现断线异常的问题,提升器件的稳定性;并且工艺简单可操作性高。

[0070] 以上对本发明实施例所提供的一种阵列基板及其制备方法、显示面板进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的技术方案及其核心思想;本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例的技术方案的范围。

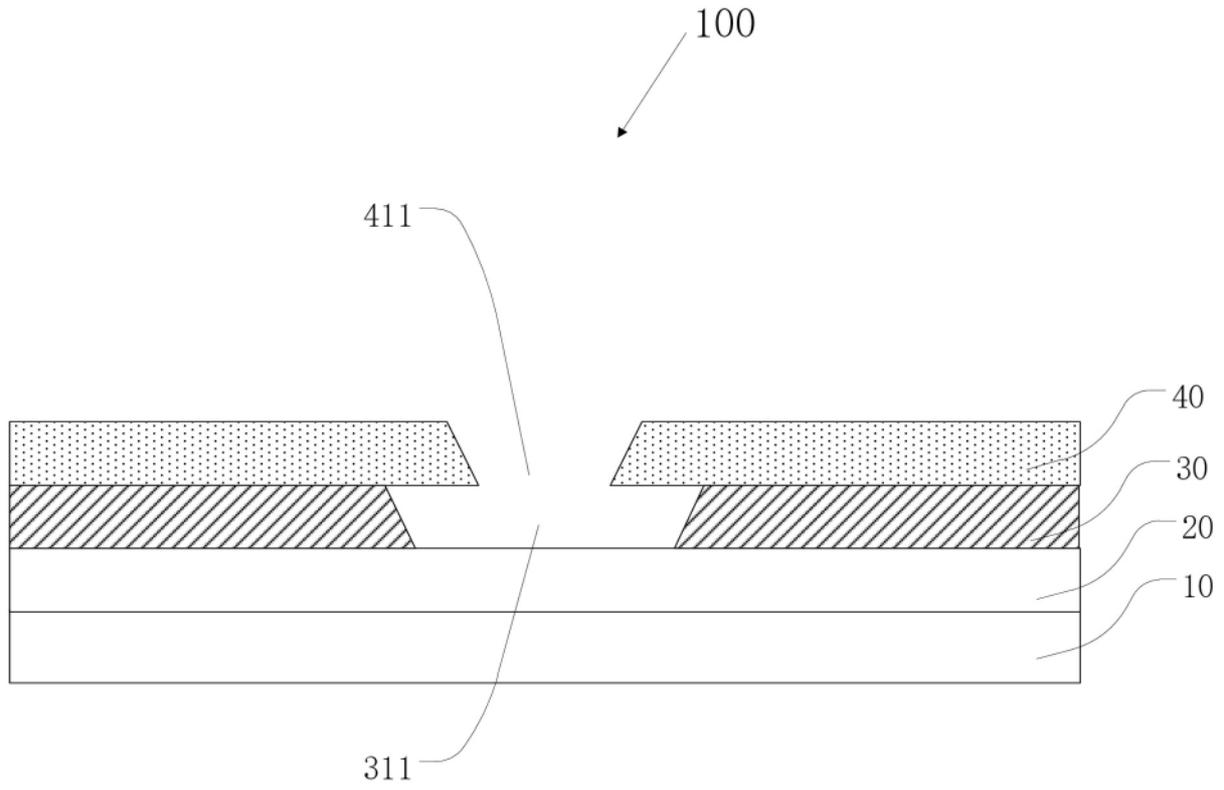


图 1

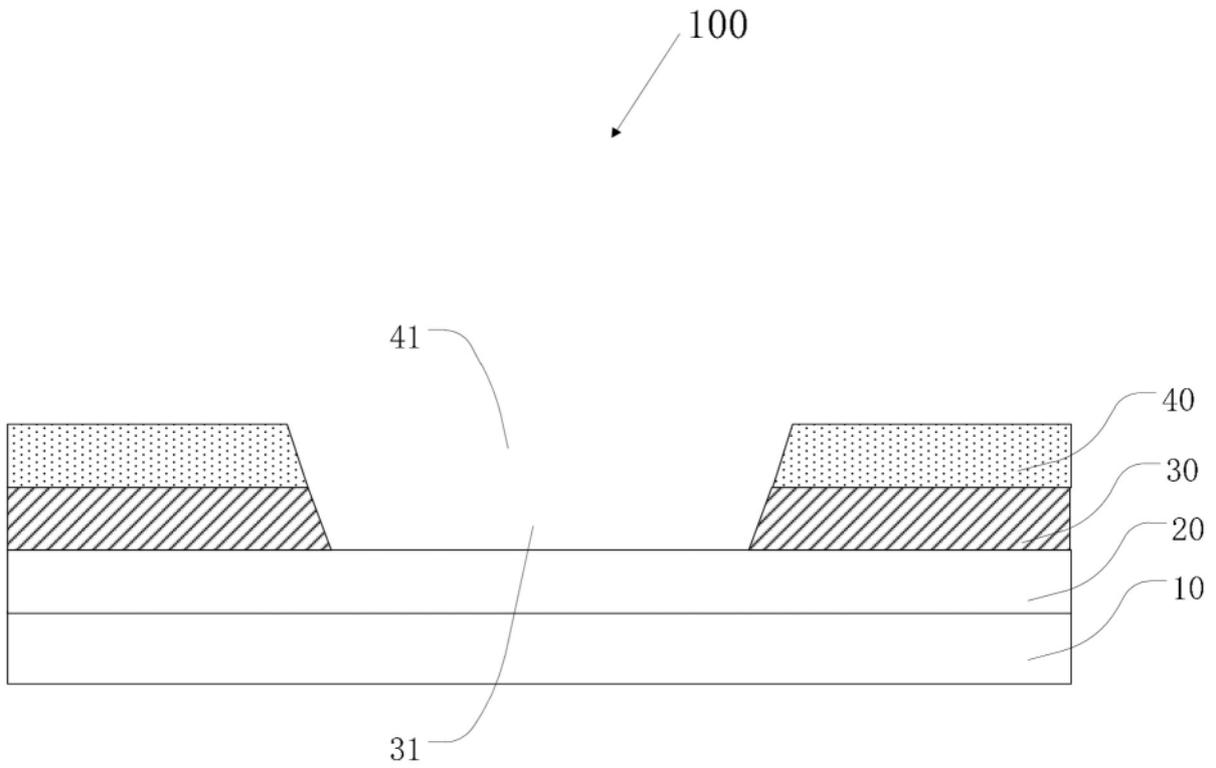


图 2

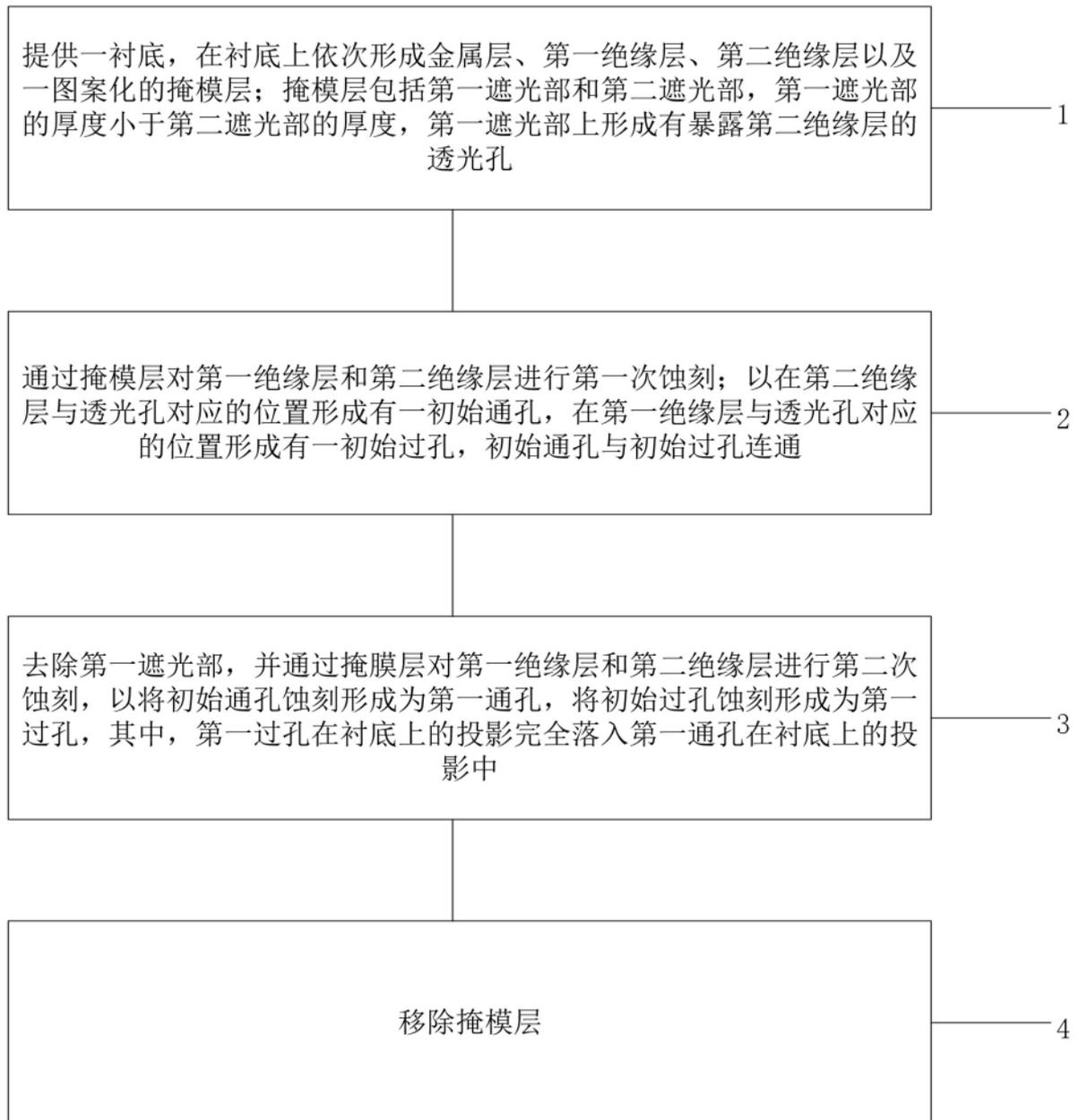


图 3

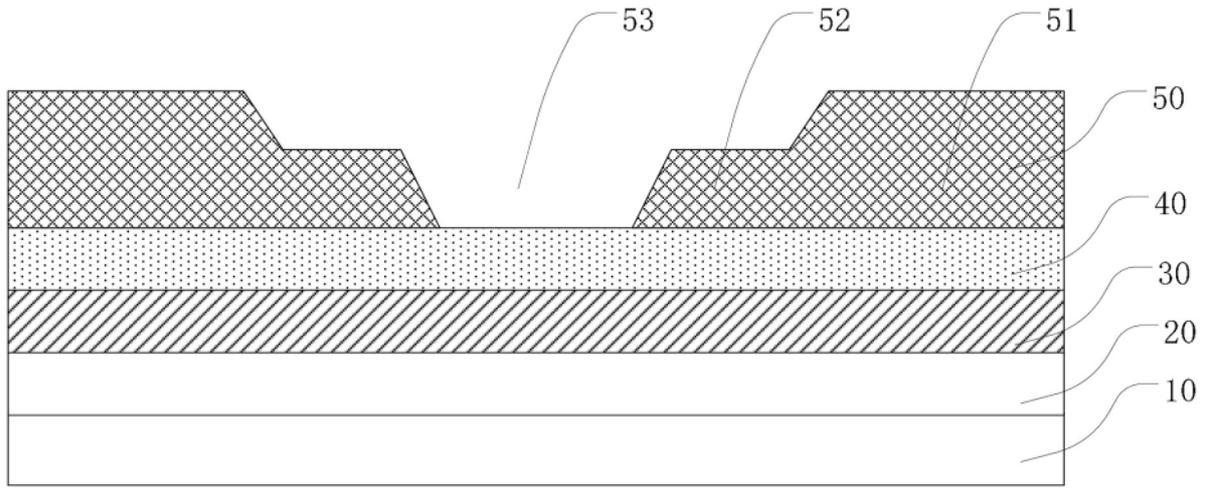


图 4

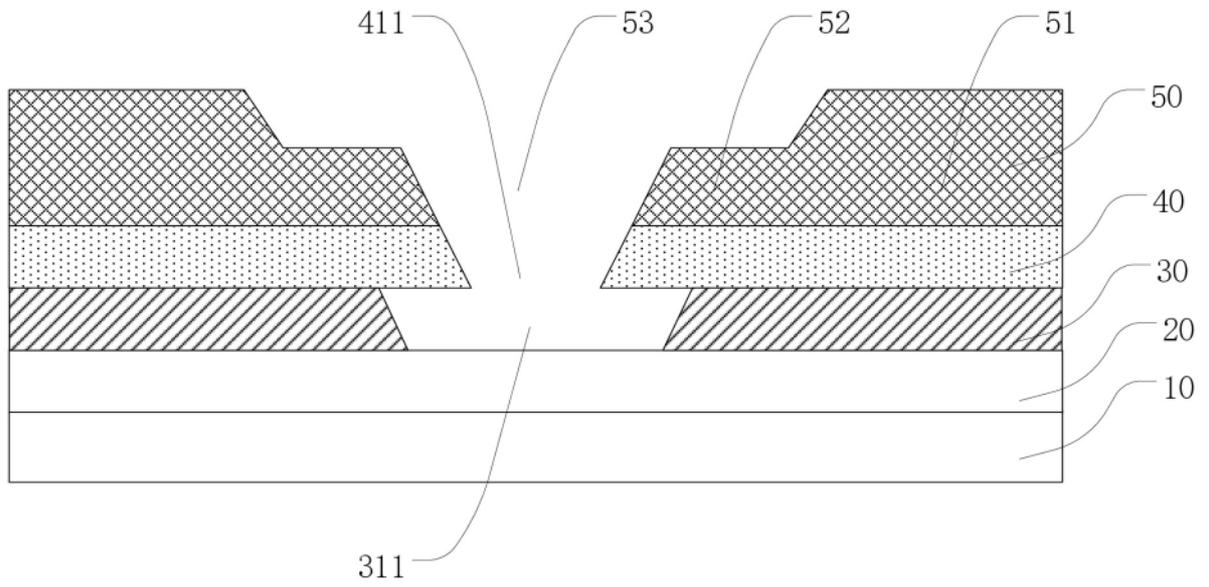


图 5

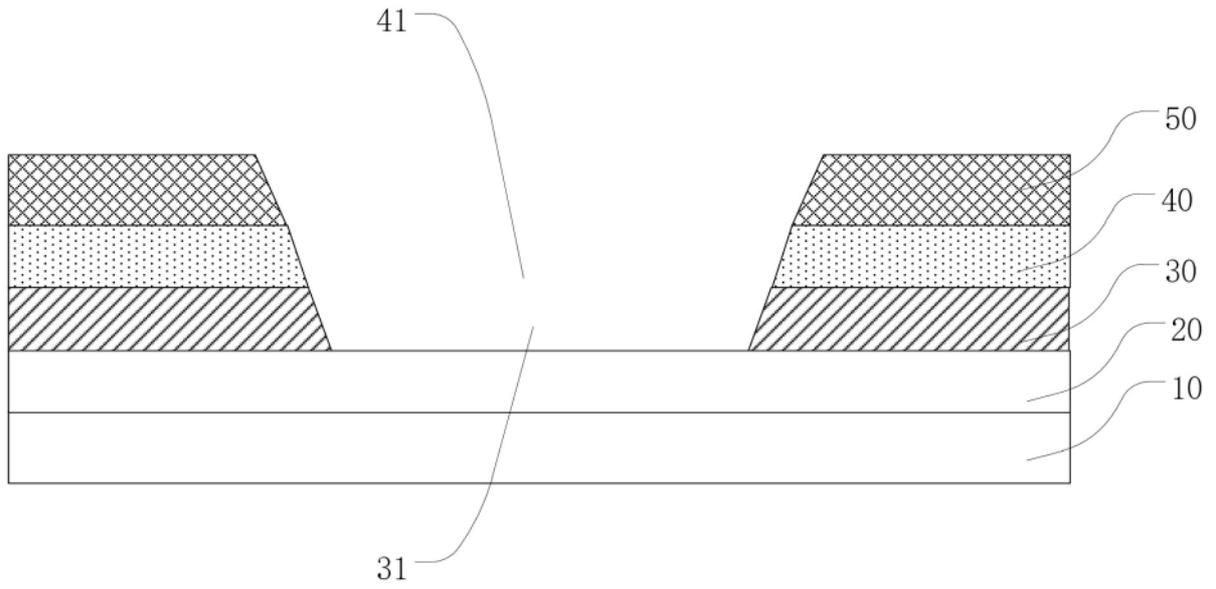


图 6

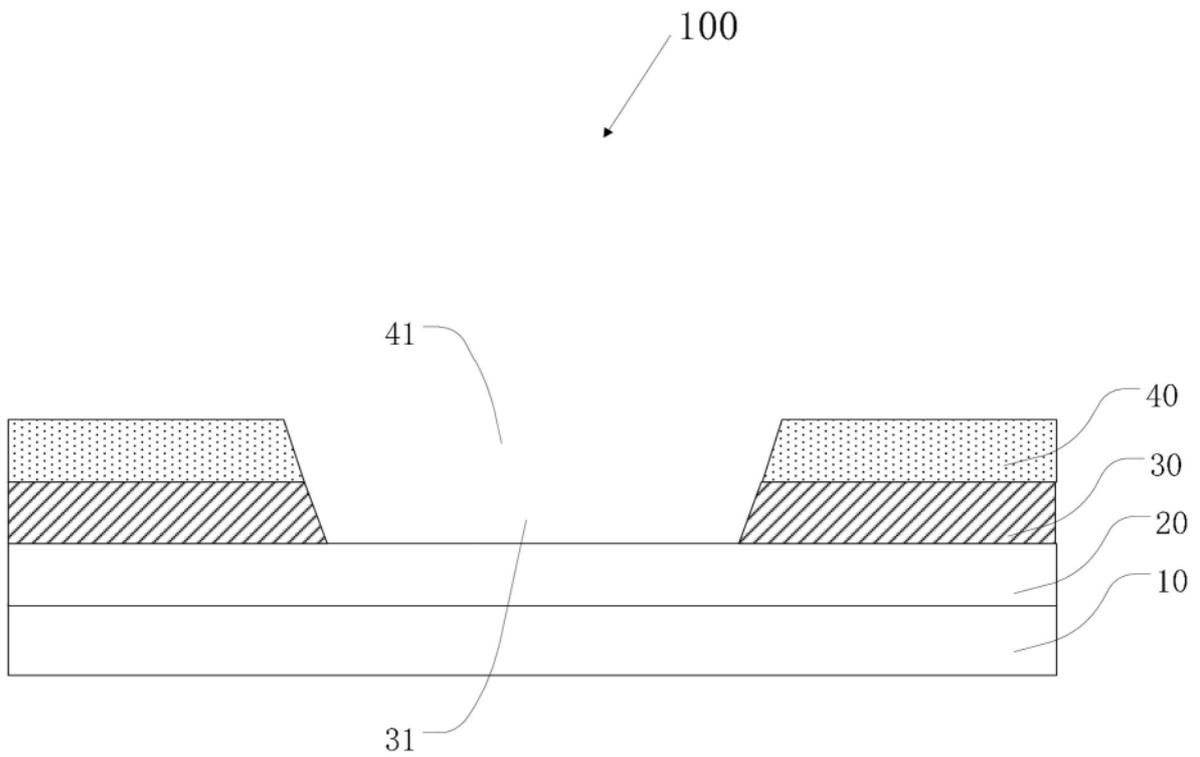


图 7