

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5268481号
(P5268481)

(45) 発行日 平成25年8月21日(2013.8.21)

(24) 登録日 平成25年5月17日(2013.5.17)

(51) Int.Cl. F I
G 1 1 C 13/00 (2006.01) G 1 1 C 13/00 1 5 0
 G 1 1 C 13/00 1 1 0 R

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2008-197608 (P2008-197608)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成20年7月31日(2008.7.31)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2010-33683 (P2010-33683A)	(74) 代理人	110001612 きさらぎ国際特許業務法人
(43) 公開日	平成22年2月12日(2010.2.12)	(72) 発明者	永嶋 宏行 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成22年9月15日(2010.9.15)	(72) 発明者	井上 裕文 東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	後藤 彰

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

M A T (単位セルアレイ) を複数個配列してなり、各 M A T 毎に別個に複数の第 1 の配線、これら複数の第 1 の配線と交差する複数の第 2 の配線、並びに前記第 1 及び第 2 の配線の交差部で両配線間に接続された電気的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルが備わっている、セルアレイと、

前記各 M A T に接続されて各 M A T 毎に内部のメモリセルに対して、入力データに応じたデータの書き込み又は消去を行う複数の書き込み / 消去回路と

を有し、

複数の前記書き込み / 消去回路の一部が、対応する M A T 内のメモリセルに対して選択した 1 本の前記第 1 の配線及び選択した 1 本の前記第 2 の配線にセット電圧を印加することでデータを書き込むと同時に、複数の前記書き込み / 消去回路の他の一部が対応する M A T 内のメモリセルに対して選択した 1 本の前記第 1 の配線及び選択した 1 本の前記第 2 の配線にリセット電圧を印加することでデータの消去を実行する

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】

データ書き込み用の書き込み電圧とデータ消去用の消去電圧とを同時に発生させるパルスジェネレータを備え、

前記書き込み / 消去回路は、前記パルスジェネレータからの書き込み前記セット電圧と

消去前記リセット電圧を入力しこれら電圧を入力データに応じて選択して前記第 1 の配線又は第 2 の配線に転送する選択回路を備えている

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記選択回路は、前記書き込みセット電圧又は消去リセット電圧をそれらの印加時間だけ選択して前記第 1 の配線又は第 2 の配線に転送し、それ以外はリカバリ電圧を選択して前記第 1 の配線又は第 2 の配線に転送する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記書き込み / 消去回路は、選択メモリセルの保持データを読み出すと共に入力データを入力し、前記保持データが入力データと等しい場合には、対応する M A T に対するアクセスを行わない

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】

前記入力データが書き込みデータである場合に前記メモリセルに流れる電流値を制限する電流リミッタ回路を有する

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗値をデータとして記憶する可変抵抗素子を用いた不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、電気的に書き換え可能な不揮発性メモリとしては、フローティングゲート構造を有するメモリセルを N A N D 接続又は N O R 接続してセルアレイを構成したフラッシュメモリが周知である。また、不揮発性で且つ高速なランダムアクセスが可能なメモリとして、強誘電体メモリも知られている。

【0003】

一方、メモリセルの更なる微細化を図る技術として、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶 / アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トンネル磁気抵抗効果による抵抗変化を用いる M R A M 素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電 R A M (P F R A M) のメモリ素子、電気パルス印加によって抵抗変化を起こす R e R A M 素子等が知られている (特許文献 1) 。

【0004】

この抵抗変化型メモリはトランジスタに替えてショットキーダイオードと可変抵抗素子の直列回路によりメモリセルを構成することができるので、積層が容易で 3 次元構造化することにより更なる高集積化が図れるという利点がある (特許文献 2) 。

【0005】

このような抵抗変化型メモリに対するデータ書き込み方法の一つとして、一旦、全メモリセルをクリアしておく方法がある。この方法は、直前に記憶されていたデータを考慮する必要がなく、該当するメモリセルに対して “ 0 ” データのみを書き込めば良いという利点がある。しかし、この方法は、リセットのための処理時間を要するため、抵抗変化型メモリが有する動作速度のパフォーマンスを十分に発揮することができない。

【特許文献 1】特開 2 0 0 6 - 3 4 4 3 4 9 号、段落 0 0 2 1

【特許文献 2】特開 2 0 0 5 - 5 2 2 0 4 5 号

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

20

30

40

50

上記問題に鑑み、本発明では、複数のメモリセルに対するデータ書き込み/消去を一括同時動作させることで、データ保存の処理速度を向上させた不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の一つの態様に係る不揮発性半導体記憶装置は、複数の第1の配線、これら複数の配線と交差する複数の第2の配線、並びに前記第1及び第2の配線の交差部で両配線間に接続された電氣的書き換えが可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び非オーミック素子の直列回路からなるメモリセルを有する複数のMAT(単位セルアレイ)をマトリクス配列してなるセルアレイと、前記各MATに接続されて各MAT毎に内部のメモリセルに対して、入力データに応じたデータの書き込み又は消去を行う複数の書き込み/消去回路とを有し、複数の前記書き込み/消去回路の一部が、対応するMAT内のメモリセルに対してデータを書き込むと同時に、複数の前記書き込み/消去回路の他の一部が対応するMAT内のメモリセルに対してデータの消去を実行することを特徴とする。

10

【発明の効果】

【0008】

本発明によれば、複数のメモリセルに対するデータ書き込み/消去を一括同時動作させることで、データ保存の処理速度を向上させた不揮発性半導体記憶装置を提供することができる。

20

【発明を実施するための最良の形態】

【0009】

以下、図面を参照しながら、本発明に係る不揮発性半導体記憶装置の実施の形態について詳細に説明する。

【0010】

[第1の実施形態]

図1は、本発明の第1の実施形態に係る不揮発性メモリのブロック図である。

【0011】

この不揮発性メモリは、後述するReRAM(可変抵抗素子)等の抵抗変化型素子をメモリセルとして使用したマトリクス状に配置された複数のMAT(単位セルアレイ)1を備える。また、各MAT1に接続され、カラム制御回路2及びロウ制御回路3からなる複数の書き込み/消去回路を備えている。カラム制御回路2は、MAT1のビット線BLを制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行う。また、ロウ制御回路3は、MAT1のワード線WLを選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加する。

30

【0012】

データ入出力バッファ4は、図示しない外部のホストにI/O線を介して接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。

40

【0013】

データ入出力バッファ4は、受け取った入力データをカラム制御回路2に送り、カラム制御回路2から読み出されたデータを受け取って外部に出力する。外部からデータ入出力バッファ4に供給されたアドレスは、アドレスレジスタ5を介してカラム制御回路2及びロウ制御回路3に送られる。また、ホストからデータ入出力バッファ4に供給されたコマンドは、コマンド・インターフェイス6に送られる。コマンド・インターフェイス6は、ホストからの外部制御信号を受け、データ入出力バッファ4に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてコントローラ7に転送する。コントローラ7は、この不揮発性メモリ全体の管理を行うもので、ホストからのコマンドを受け付け、読み出し、書き込み、消去、データの入出力

50

管理等を行う。また、外部のホストは、コントローラ7が管理するステータス情報を受け取り、動作結果を判断することも可能である。さらに、このステータス情報は書き込み、消去の制御にも利用される。

【0014】

また、コントローラ7によってパルスジェネレータ8が制御される。この制御により、パルスジェネレータ8は、任意の電圧及びタイミングのパルスを出力することが可能となる。ここで、形成されたパルスはカラム制御回路2及びロウ制御回路3で選択された任意の配線へ転送することが可能である。

【0015】

なお、MAT1以外の周辺回路素子は、配線層に形成されたMAT1の直下のSi基板に形成可能であり、これにより、この不揮発性メモリのチップ面積はほぼ、複数のMAT1を合わせた面積に等しくすることも可能である。

10

【0016】

図2は、MAT1の一部の斜視図、図3は、図2におけるI-I'線で切断して矢印方向に見たメモリセル1個分の断面図である。

【0017】

複数本の第1の配線としてワード線WL0~WL2が平行に配設され、これと交差して複数本の第2の配線としてビット線BL0~BL2が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセルMCが配置される。ワード線WL及びビット線BLは、熱に強く、且つ抵抗値の低い材料が望ましく、例えばW、WSi、NiSi、CoSi等を用いることができる。

20

【0018】

メモリセルMCは、図3に示すように、可変抵抗素子VRと非オーミック素子NOの直列接続回路からなる。

【0019】

可変抵抗素子VRとしては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極EL1、EL2が配置される。電極材としては、Pt、Au、Ag、TiAlN、SrRuO、Ru、RuN、Ir、Co、Ti、TiN、TaN、LaNiO、Al、PtIrOx、PtRhOx、Rh、TaAlN等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

30

【0020】

可変抵抗素子VRは、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの(PCRAM)、金属陽イオンを析出させて電極間に架橋(コンタクティングブリッジ)を形成したり、析出した金属をイオン化したりして架橋を破壊することで抵抗値を変化させるもの(CBRAM)、一致した理論はない(抵抗変化の要因として、電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるといふもの、酸素欠損等に起因する伝導パスの存在の有無により抵抗変化が起きるといふもの、大きく2つに分かれている。)ものの電圧あるいは電流印加により抵抗値が変化するもの(ReRAM)、等を用いることができる。

40

【0021】

図4は、ReRAMの例を示す図である。図4に示す可変抵抗素子VRは、電極層11、13の間に記録層12を配置してなる。記録層12は、少なくとも2種類の陽イオン元素を有する複合化合物から構成される。陽イオン元素の少なくとも1種類は電子が不完全に満たされたd軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32nm以下とする。具体的には、化学式 $A_xM_yX_z$ (AとMは互いに異なる元素)で表され、例えばスピネル構造(AM_2O_4)、イルメナイト構造(AMO_3)、デラフォサイト構造(AMO_2)、LiMoN₂構造(AMN_2)、ウルフラマイト構造(AMO_4)、オリピン構造(A_2MO_4)、ホランダイト構造(A_xMO_2)、ラムスデラ

50

イト構造 ($A \times MO_2$)、ペロブスカイト構造 (AMO_3) 等の結晶構造を持つ材料により構成される。

【0022】

図4の例では、AがZn、MがMn、XがOである。記録層12内の小さな白丸は拡散イオン (Zn)、大きな白丸は陰イオン (O)、小さな黒丸は遷移元素イオン (Mn) をそれぞれ表している。記録層12の初期状態は高抵抗状態であるが、電極層11を固定電位、電極層13側に負の電圧を印加すると、記録層12中の拡散イオンの一部が電極層13側に移動し、記録層12内の拡散イオンが陰イオンに対して相対的に減少する。電極層13側に移動した拡散イオンは、電極層13から電子を受け取り、メタルとして析出するため、メタル層14を形成する。記録層12の内部では、陰イオンが過剰となり、結果的に記録層12内の遷移元素イオンの下層を上昇させる。これにより、記録層12はキャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層12を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。プログラム状態 (低抵抗状態) を初期状態 (高抵抗状態) にリセットするには、例えば記録層12に大電流を十分な時間流してジュール加熱して、記録層12の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってもリセット動作が可能である。

10

【0023】

非オーミック素子NOは、例えば、ショットキーダイオード、PN接合ダイオード、PINダイオード等の各種ダイオード、MIM (Metal-Insulator-Metal) 構造、SIS構造 (Silicon-Insulator-Silicon) 等からなる。ここにもバリアメタル層、接着層を形成する電極EL2、EL3を挿入しても良い。また、ダイオードを使用する場合はその特性上、ユニポーラ動作を行うことができ、また、MIM構造、SIS構造等の場合にはバイポーラ動作を行うことが可能である。なお、非オーミック素子NOと可変抵抗素子VRの配置は、図3と上下を逆にしても良いし、非オーミック素子NOの極性を上下反転させても良い。

20

【0024】

なお、以下の説明において、可変抵抗素子VRの抵抗状態が高抵抗状態にある場合をデータ“1”、低抵抗状態にある場合をデータ“0”とする。また、書き込み動作あるいはセット動作を“0”書き込み動作、一方、消去動作あるいはリセット動作を“1”書き込み動作と表現することもある。

30

【0025】

次に、本実施形態のデータ書き込み動作について説明する。

【0026】

図5及び図6は、MAT1の回路図である。

【0027】

MAT1は、ワード線WLを例えば1024本、これらワード線WLと交差するビット線BLを例えば512本有している。また、1024×512ある各配線の交差部には、アノードがワード線WLに接続された非オーミック素子NOであるダイオードDiと、このダイオードDiのカソード及びビット線BL間に接続された可変抵抗素子VRとからなるメモリセルMCが接続されている。MAT1のサイズは、ワード線WLやビット線BL等の電圧降下、CR遅延、データ書き込み動作の処理速度等を勘案して任意に決定することができる。例えば、図5に示すMAT1の他、1024×2048等、MATのサイズは自由に選択することができる。

40

【0028】

この構成によるMAT1について、具体例としてメモリセルMC1に“0”、その他のメモリセルMCに“1”を書き込み場合について説明する。

【0029】

まず、このようなMAT1に対するデータの書き込み方法として、一旦、MAT1内の全メモリセルMCを“1”にクリア (リセット動作) する方法が考えられる。この方法は

50

、直前に記憶されていたデータを考慮する必要がなく、入力された“0”データのみを書き込めば良いという利点がある。

【0030】

MAT1内の全メモリセルMCをリセットするため、図5の場合、MAT1の発熱を考慮して1本のワード線WLに接続された所定数のメモリセルMC毎に処理する。具体例として、図5の点線で囲まれ、ワード線WL1に接続されたメモリセルMC1~MC3を“1”にクリアする方法を説明する。

【0031】

この場合、ロウ制御回路3からワード線WL1に対し、ワード線リセット電圧Vresetw1（例えば1V）が供給されるとともに、カラム制御回路3からビット線BL1~BL3に対し、ビット線リセット電圧Vresetb1（例えば0V）が供給される。その結果、メモリセルMC1~MC3のダイオードDiには、順方向バイアスがかかり、可変抵抗素子VRは、高抵抗状態に遷移する。一方、他のメモリセルMCに接続されたワード線WL2、WL3に対しては、ロウ制御回路3からワード線非選択電圧Vnsw1（例えば0V）が供給される。その結果、他のメモリセルMCのダイオードDiには、逆方向バイアスがかかり、可変抵抗素子VRの抵抗状態は遷移しない。これにより、メモリセルMC1~MC3は“1”にクリアされる。以上を全てのワード線WLについて繰り返すことで全メモリセルMCは“1”にクリアされる。

10

【0032】

また、リセット時のメモリセルMCの発熱を考慮する必要がない場合には、全てのワード線WLにワード線リセット電圧Vresetw1（例えば3V）を供給することで、MAT1全体を一括にリセットすることもできる。この場合、ワード線WL毎に“1”でクリアするより、時間の短縮が図れる。

20

【0033】

なお、以下の説明において、上記の具体例でいうメモリセルMC1~MC3のように一括して処理される複数のメモリセルMCの組を「ページ」と表現することもある。

【0034】

次に、メモリセルMC1に“0”を書き込む。

【0035】

この場合、ロウ制御回路3からワード線WL1に対し、ワード線セット電圧Vsetw1（例えば3V）が供給されるとともに、カラム制御回路3からメモリセルMC1に接続されたビット線BL1に対し、ビット線セット電圧Vsetb1（例えば0V）が供給される。一方、その他のメモリセルMCに接続されたワード線WL及びビット線BLに対しては、それぞれワード線非選択電圧Vnsw1（例えば0V）及びビット線非選択電圧Vnswb1（例えば3V）が供給される。その結果、メモリセルMC1のダイオードDiには、順方向バイアスがかかり、可変抵抗素子VRは、低抵抗状態に遷移する。一方、他のメモリセルMCのダイオードDiには、逆方向バイアスがかかり、可変抵抗素子VRの抵抗状態は遷移しない。これにより、メモリセルMC1にのみ“0”が書き込まれる。

30

【0036】

以上により、メモリセルMC1へ“0”、その他のメモリセルMCへ“0”を書き込むことができる。

40

【0037】

しかし、この方法によれば、一旦、全てのメモリセルMCを“1”でクリアする必要があり、その分だけ処理時間が長くなる点が問題となる。また、このデータ書き込み方法では、1ページを構成するメモリセルMCが密接に配置されているため、各メモリセルMCのダイオードDi及び可変抵抗素子VRの発熱が相互に影響し、動作が不安定になる要因となる。

【0038】

そこで、本実施形態では、図7に示すように、各MAT1から1個のメモリセルMCを選択し、図中の点線で囲まれたページを構成する各メモリセルMCに対しデータ“0”又

50

は“ 1 ”を同時に書き込む。

【 0 0 3 9 】

これにより、図 5 及び図 6 の場合に比べデータ書き込みに先立ってリセットする必要がなくなるためデータ書き込み処理に要する時間を短縮することができる。さらに、ページを構成する複数のメモリセル M C が互いに離間して配置されているため、データ書き込み動作時のメモリセル M C の発熱の影響を緩和することができる。

【 0 0 4 0 】

図 8 は、本実施形態におけるセルアレイのブロック図であり、図中の白丸で囲まれた数字は各メモリセル M C に対し割り当てられた論理アドレスを示す。

【 0 0 4 1 】

図 8 のセルアレイは、ワード線 W L が延びる x 方向に 4 列、ビット線 B L が延びる y 方向に 3 行、合計 1 2 の M A T 1 に分けられている。以下の説明において、図 8 の上段にある M A T 1 を左から M A T # 0、# 1、# 2、# 3、中段にある M A T 1 を左から M A T # 4、# 5、# 6、# 7、下段にある M A T 1 を M A T # 8、# 9、# 1 0、# 1 1 とする。また、各 M A T 1 には、カラム制御回路 2 及びロウ制御回路 3 が設けられている。これらカラム制御回路 2 及びロウ制御回路 3 には、図 1 に示したパルスジェネレータ 8 から、データの書き込み / 読み出しに必要な各種パルス電圧が供給される。

【 0 0 4 2 】

y 方向に並ぶ M A T # 0、# 4、# 8 のカラム制御回路 2 は、トランスファトランジスタ T 0、T 4、T 8 を介して I O パッド 0 に接続されている。同様に、M A T # 1、# 5、# 9 のカラム制御回路 2 は、トランスファトランジスタ T 1、T 5、T 9 を介して I O パッド 1 に、M A T # 2、# 6、# 1 0 のカラム制御回路 2 は、トランスファトランジスタ T 2、T 6、T 1 0 を介して I O パッド 2 に、M A T # 3、# 7、# 1 1 のカラム制御回路 2 は、トランスファトランジスタ T 3、T 7、T 1 1 を介して I O パッド 3 にそれぞれ接続されている。

【 0 0 4 3 】

また、x 方向に並ぶ、トランスファトランジスタ T 0 ~ T 3 のゲートには、共通の入力データ選択信号 I D S T 0 が入力される。同様に、トランスファトランジスタ T 4 ~ T 7 及び T 8 ~ T 1 1 のゲートには、それぞれ共通の入力データ選択信号 I D S T 1 及び I D S T 2 が入力される。この入力データ選択信号 I D S T 0 ~ 2 は、入力されるアドレスに基づいて決定される信号である。

【 0 0 4 4 】

さらに、各 M A T 1 のロウ制御回路 3 は、図 9 に示す選択回路であるマルチプレクサ回路 1 5 を備える。このマルチプレクサ回路 1 5 は、パルスジェネレータ 8 からロウ制御回路 3 に供給されるワード線セット電圧 V s e t w l 及びワード線リセット電圧 V r e s e t w l を選択的に選択ワード線 W L に供給するものである。いずれの電圧を供給するかは、入力データ D I N により決定される。具体的には、入力データが“ 0 ”の場合、選択ワード線 W L にワード線セット電圧 V s e t w l を供給し、“ 1 ”の場合、選択ワード線 W L にワード線リセット電圧 V r e s e t w l を供給する。

【 0 0 4 5 】

各 M A T 1 のカラム制御回路 2 も、図 9 と同様の回路を備える。カラム制御回路 2 が備えるマルチプレクサ回路は、パルスジェネレータ 8 からカラム制御回路 2 に供給されるビット線セット電圧 V s e t b l 及びビット線リセット電圧 V r e s e t b l を選択的に選択ワード線 W L に供給するものである。

【 0 0 4 6 】

次に、このセルアレイが有する各メモリセル M C に対する論理アドレスの割り付けについて説明する。

【 0 0 4 7 】

論理アドレス i は、論理アドレス i - 1 2 のメモリセル M C の右側、i - 6 1 4 4 (ビット線 B L が 5 1 2 本の場合) のメモリセル M C の下側に隣接するメモリセル M C に割り

10

20

30

40

50

当てられている。また、 MAT_n の左上隅に位置するメモリセルMCには、論理アドレス n が割り当てられている。例えば、 $MAT\#2$ の場合、 $MAT1$ の左上隅、右上隅、左下隅、右下隅に位置する各メモリセルMCには、それぞれ論理アドレス#2、#6134、#6285314、#6291446が割り当てられていることになる(ワード線WLが1024本、ビット線BLが512本の場合)。

【0048】

また、 $MAT1$ は12個あり、各 $MAT1$ につき1個ずつのメモリセルMCが選択されることから、1ページを構成するメモリセルMCの数は12個になる。したがって、 j 番目のページは、論理アドレス $12 \times (j - 1)$ から論理アドレス $12 \times (j - 1) + 11$ のメモリセルMCにより構成される。例えば、2番目のページは、論理アドレス#12 ~ #23の12個のメモリセルMCにより構成されていることになる。

10

【0049】

次に、このようなセルアレイに対するデータ書き込みについて説明する。

【0050】

始めに、外部から与えられた入力データは、IOパッドを介して各 $MAT1$ にあるカラム制御回路2に転送される。図8の構成によればIOパッドが4個あるため、12個全ての $MAT1$ のカラム制御回路2に入力データを転送する場合、3回に分けて転送する必要がある。具体的には、まず、4ビットの入力データがIOパッド0~3に用意される。その後、入力データ選択信号IDST0がアクティブ(“H”)になると、トランスファトランジスタT0~T3がオンされ、IOパッド0~3と $MAT\#0$ ~ $\#3$ のカラム制御回路2が接続される。これにより、IOパッド0~3にある入力データが $MAT\#0$ ~ $\#3$ のカラム制御回路2に転送される。次に、続く4ビットの入力データがIOパッド0~3に用意される。その後、入力データ選択信号IDST1がアクティブ(“H”)になると、トランスファトランジスタT4~T7がオンされ、IOパッド0~3と $MAT\#4$ ~ $\#7$ のカラム制御回路2が接続される。これにより、IOパッド0~3にある入力データが $MAT\#4$ ~ $\#7$ のカラム制御回路2に転送される。同様に、続く4ビットの入力データが $MAT\#8$ ~ $\#11$ のカラム制御回路2に転送される。以上により、全ての $MAT1$ のカラム制御回路2に1ビットの入力データが準備される。ここで、入力データ選択信号IDST0~2は、動作サイクル毎に順次アクティブになるよう制御される。

20

【0051】

この状態で、各 $MAT1$ の選択メモリセルMCにデータを書き込む。

30

【0052】

続いて、各 $MAT1$ のデータ書き込み動作について説明する。

【0053】

まず、入力データが“0”であった場合について説明する。この場合の $MAT1$ のワード線WL及びビット線BLに対する供給電圧は図6と同様である。

【0054】

メモリセルMC1に接続されているワード線WL1及びビット線BL1には、それぞれ、ロウ制御回路2からワード線セット電圧Vsetwl(例えば3V)、カラム制御回路3からビット線セット電圧Vsetbl(例えば0V)が供給される。その結果、メモリセルMC1のダイオードDiには、順方向バイアスがかかり、可変抵抗素子VRが低抵抗状態にあった場合は低抵抗状態が維持され、高抵抗状態にあった場合は低抵抗状態に遷移する。一方、その他のメモリセルMCに接続されているワード線WL及びビット線BLには、ロウ制御回路3からワード線非選択電圧Vnswl(例えば0V)、カラム制御回路2からビット線非選択電圧Vnsbl(例えば3V)が供給される。その結果、メモリセルMCのダイオードDiには逆方向バイアスがかかり、可変抵抗素子VRの抵抗状態は遷移しない。これにより、メモリセルMC1にのみ“0”が書き込まれる。

40

【0055】

次に、入力データが“1”であった場合について図10を用いて説明する。

【0056】

50

メモリセルMC1に接続されているワード線WL1及びビット線BL1には、それぞれ、ロウ制御回路2からワード線リセット電圧Vresetwl(例えば1V)、カラム制御回路3からビット線リセット電圧Vsetbl(例えば0V)が供給される。その結果、メモリセルMC1のダイオードDiには、順方向バイアスがかかり、可変抵抗素子VRが高抵抗状態にあった場合は高抵抗状態が維持され、低抵抗状態にあった場合は高抵抗状態に遷移する。一方、その他のメモリセルMCに接続されているワード線WL及びビット線BLには、ロウ制御回路3からワード線非選択電圧Vnswl(例えば0V)、カラム制御回路2からビット線非選択電圧Vnsbl(例えば1V)が供給される。その結果、メモリセルMCのダイオードDiには逆方向バイアスがかかり、可変抵抗素子VRの抵抗状態は遷移しない。これにより、メモリセルMC1にのみ“1”が書き込まれる。

10

【0057】

以上のデータ書き込みをMAT#0~MAT#11について一括に行うことで、1ページ分のデータ書き込みが完了する。さらに、この処理を全ページについて繰り返すことで、セルアレイ全体のデータ書き込みが完了する。

【0058】

次に、“1”書き込み時及び“0”書き込み時のワード線WL及びビット線BLに対する電圧供給時間が異なる場合の制御方法について説明する。

【0059】

図11は、この場合における各MATの動作波形であり、(a)、(b)は、それぞれ入力データが“0”、“1”の場合である。

20

【0060】

図11の例では、“0”書き込み時の選択ワード線WLに対するワード線セット電圧Vsetwlの供給時間より、“1”書き込み時の選択ワード線WLに対するワード線リセット電圧Vresetwlの供給時間の方がtだけ長い。これは、上述の通り、リセット動作においては、可変抵抗素子VRに対して長時間電流を流すことでジュール加熱による酸化還元反応を促進させるためである。

【0061】

この場合、マルチプレクサ回路15の後段に更に図12に示すマルチプレクサ回路115を追加する。

【0062】

30

マルチプレクサ回路115は、マルチプレクサ回路15から与えられるワード線セット電圧Vsetwl又はワード線リセット電圧Vresetwlとリカバリ電圧(例えば0V)を選択的にワード線WLに供給するものである。ここで、リカバリ電圧とは、ワード線セット電圧Vsetwl又はワード線リセット電圧Vresetwlを所定時間供給した後、ワード線WLに供給する平常時の電圧である。マルチプレクサ回路115は、入力データが“0”の場合にアクティブ(“H”)になるデータ識別信号DATA0及び図1に示すコントローラ7から10回分のクロックが与えられている間アクティブ(“H”)になるクロック回数信号CLK10を入力とするAND回路G101の出力と、入力データが“1”の場合にアクティブ(“H”)になるデータ識別信号DATA1及び図1に示すコントローラ7から100回分のクロックが与えられている間アクティブ(“H”)になるクロック回数信号CLK100を入力とするAND回路G102の出力とを入力とするNORゲートG103の出力により制御される。クロック回数信号は、“0”及び“1”書き込み時の選択ワード線WLに対するワード線セット電圧Vsetwl及びワード線リセット電圧Vresetwlの供給時間とステートマシンから与えられるクロック周期により決定される信号である。図12の例では、このクロック周期が10nsであった場合、“0”書き込み時のワード線セット電圧Vsetwl供給時間と“1”書き込み時のワード線リセット電圧Vresetwl供給時間は、それぞれ100ns及び1μsになる。これら供給時間は、クロック回数信号のアクティブ期間により調整することができる。

40

【0063】

50

続いて、このマルチプレクサ回路 115 の動作を説明する。

【0064】

入力データが“0”の場合、図9のマルチプレクサ回路115の入力In0にはマルチプレクサ15からワード線セット電圧Vsetw1が供給される。また、入力データ識別信号DATA0及びクロック回数信号CLK10、CLK100は“H”(アクティブ)、入力データ識別信号DATA1は“L”になる。この場合、ANDゲートG101の出力は“H”、NORゲートG103の出力は“L”となる。その結果、選択ワード線WLには、ワード線セット電圧Vsetw1が供給される。その後、ステートマシンから10回のパルスが供給されるとクロック回数信号CLK10は“L”になるため、ANDゲートG101の出力は“L”、NORゲートG103の出力は“H”になる。その結果、選択ワード線WLにはリカバリ電圧が供給される。

10

【0065】

次に、入力データが“1”の場合、マルチプレクサ回路115の入力In0にはワード線リセット電圧Vresetw1が供給される。また、入力データ識別信号DATA1及びクロック回数信号CLK10、CLK100は“H”(アクティブ)、入力データ識別信号DATA1は“L”になる。この場合、ANDゲートG102の出力は“H”、NORゲートG103の出力は“L”となる。その結果、選択ワード線WLには、ワード線リセット電圧Vresetw1が供給される。その後、ステートマシンから100回のパルスが供給されるとクロック回数信号CLK100が“L”になるため、ANDゲートG101の出力は“L”、NORゲートG103の出力は“H”になる。その結果、選択ワード線WLにはリカバリ電圧が供給される。

20

【0066】

カラム制御回路2も、図12に示す回路と同様の回路を備えている。カラム制御回路2のマルチプレクサ回路の場合、入力データに応じて入力In0にビット線セット電圧Vsetb1(例えば0V)又はビット線リセット電圧Vresetb1(例えば0V)が入力される。

【0067】

以上により、選択ワード線WL及び選択ビット線BLに接続されたメモリセルMCにデータが書き込まれる。これを全てのMAT1について同時に行うことで、1ページ分のデータ書き込みが完了する。

30

【0068】

なお、上記実施形態の場合、“0”書き込みに100ns、“1”書き込みに1μs要するため、1ページ分のデータ書き込みに要する時間は、1μsとなり、図5及び図6に示す場合と比べて、100nsの処理時間の短縮を図ることができる。

【0069】

次に、データ書き込み時のベリファイ動作について説明する。上記書き込み動作にさらにベリファイ動作を追加することで、より確実にデータを書き込むことができる。

【0070】

例えば、あるMAT1に対する入力データが“1”だった場合、上記同様、このMAT1の選択メモリセルMCに“1”を書き込む。その後、選択メモリセルMCの保持データを読み出し、選択メモリセルMCが高抵抗状態に遷移しているか否かを確認する。ここで、選択メモリセルMCが高抵抗状態であった場合、“1”の書き込みが正常に完了していることになるため、当該メモリセルMCに対する書き込み処理を終了する。一方、高抵抗状態に遷移していなかった場合、選択メモリセルMCの抵抗状態が高抵抗状態に遷移するまで、“1”の書き込み動作及びベリファイ動作を繰り返す。

40

【0071】

また、入力データが“0”だった場合も同様に、選択メモリセルMCが低抵抗状態に遷移するまで“0”の書き込み動作及びベリファイ動作を繰り返す。

【0072】

本実施形態によれば、“0”書き込み動作をする前に、メモリセルMCを一律にリセッ

50

トするデータ書き込み方法に比べて、データ書き込み処理に要する時間を削減することができる。

【0073】

また、1ページを構成する各メモリセルMCが相互に離間しているため、データ書き込み動作時の各メモリセルMCからの発熱の影響を緩和することができる。

【0074】

さらに、図12に示すマルチプレクサ回路115によるデータ書き込み動作時の電圧供給時間を調整し、あるいは、データ書き込み処理内でベリファイ動作をすることにより、より安定したデータ書き込み処理を実現することができる。

【0075】

[第2の実施形態]

第1の実施形態における場合、選択メモリセルMCの保持データに関わらず、最低1回のデータ書き込み動作をとらせた。そのため、保持データが“0”の場合であっても、さらに“0”を書き込むことになる。この場合、メモリセルMCの可変抵抗素子VRは低抵抗状態にあるため大電流が流れ、メモリセルMC等の破壊が生じかねない。

【0076】

そこで、第2の実施形態に係る不揮発性メモリでは、データ書き込み処理を図13に示す所定の手順で処理する。

【0077】

まず、入力データが各MAT1のカラム制御回路2に転送された後(S301)、1回目のデータ書き込み動作の前に、予め選択メモリセルMCの保持データを読み出す(S302)。

【0078】

次に、この読み出した保持データと入力データとを比較し(S303)、結果が一致していればデータ書き込み動作をしないまま終了する。一方、結果が一致していない場合、データ書き込み動作及びベリファイ動作を、結果が一致するまで繰り返し行う(S304)。

【0079】

以上を全てのMAT1に対し行うことで1ページ分のデータ書き込み処理が完了する。

【0080】

本実施形態によれば、入力データ及び選択メモリセルMCの保持データが共に“0”であった場合のデータ書き込み動作がないため、その際に発生する大電流によるメモリセルMC等の破壊を回避することができる。

【0081】

[第3の実施形態]

第2の実施形態では、入力データ及び選択メモリセルMCの保持データが共に“0”であった場合、データ書き込み動作が行われなかった。しかし、メモリセルMCに使用する可変抵抗素子VRの抵抗状態が低抵抗状態にある場合、障壁ポテンシャルを越えるような熱エネルギーが加わることで、より電気化学ポテンシャルが低く熱的安定状態にある高抵抗状態に遷移するという性質がある。そのため、メモリセルMCの保持データが“0”である場合であっても、高抵抗状態への遷移を抑制するため、敢えて“0”を上書きしたい場合がある。

【0082】

そこで、入力データと選択メモリセルMCの保持データが共に“0”であった場合であっても“0”書き込み動作をするとともに、その際の大電流の発生を抑制する不揮発性メモリについて説明する。

【0083】

図14は、第3の実施形態に係る不揮発性メモリのセルアレイの一部を示すブロック図である。

【0084】

10

20

30

40

50

この不揮発性メモリは、第1から第2の実施形態の不揮発性メモリの配線に電流リミット機能を追加したものである。

【0085】

各MATのビット線BL及びカラム制御回路3の間には複数のトランスファトランジスタT401、T402、・・・が設けられており、これらのゲートには、電流リミット回路401の出力が接続されている。トランスファトランジスタT401、T402、・・・は、ビット線BLに流れる電流を制限するものであり、その制限値は、電流リミット回路401により制御される。

【0086】

この電流リミット回路401は、リミット電圧Vlim1又はVlim2を選択的にトランスファトランジスタT401、T402、・・・のゲート電圧として与える回路である。ここで、リミット電圧Vlim1は、選択メモリセルMCの可変抵抗素子VRの抵抗状態が遷移する通常のデータ書き込み動作時に選択される電圧であり、データ書き込み動作時にビット線BLに流れる電流より大きな電流を制限するためのゲート電圧となる。一方、リミット電圧Vlim2は、選択メモリセルMCの保持データ及び入力データDINがともに“0”だった場合に選択される電圧であり、大電流が流れないようにリミット電圧Vlim1よりもさらに低いレベルのゲート電圧となる。なお、選択メモリセルMCの保持データ及び入力データDINが共に“1”だった場合、メモリセルMCの可変抵抗素子VRは高抵抗状態に維持されるため、特に電流制限を加える必要はない。

【0087】

本実施形態によれば、入力データDIN及び選択メモリセルMCの保持データが共に“0”であった場合でも、メモリセルMC等到大電流を流すことなく、選択メモリセルMCに対する“0”書き込みを行える。さらに、入力データDIN及び選択メモリセルMCの保持データの関係に応じて適切に電流制限をかけることができるため、消費電力の低減をも図ることができる。

【0088】

[第4の実施形態]

第1～第3の実施形態では、メモリセルMCの非オーミック素子NOにダイオードDiを使用していたため、ワード線WLからビット線BLの方向にしか電流が流れないユニポーラ動作であった。しかし、これら実施形態は、バイポーラ動作する不揮発性メモリにも応用することができる。

【0089】

図15は、本発明の第4の実施形態に係る不揮発性メモリの“0”書き込み時(a)及び“1”書き込み時(b)の各MAT1の動作波形図である。また、図16は、同実施形態におけるMAT1の回路と“0”書き込み時(a)及び“1”書き込み時(b)のワード線WL及びビット線BLに対する供給電圧を示す図である。

【0090】

メモリセルMC'の非オーミック素子NOにはキャパシタCが用いられる。キャパシタCとしては、例えばMIMキャパシタ、SISキャパシタなどを用いることができる。

【0091】

図16(a)中の点線で囲まれたメモリセルMC'1に“0”を書き込む場合、メモリセルMC'1に接続されたワード線WL1及びビット線BL1には、それぞれワード線セット電圧Vsetw1(例えば3V)及びビット線セット電圧Vsetb1(例えば0V)が供給される。この場合のワード線セット電圧Vsetw1とビット線セット電圧Vsetb1は可変抵抗素子VRを低抵抗状態に遷移させるために必要な電位差となるように設定する。一方、その他のメモリセルMC'に接続されたワード線WL及びビット線BLには、それぞれワード線非選択電圧Vnsw1(例えば1V)及びビット線非選択電圧Vnswb1(例えば2V)が供給される。この場合のワード線非選択電圧Vnsw1は、ビット線セット電圧Vsetb1及びビット線非選択電圧Vnswb1双方との関係においてメモリセルMC'の可変抵抗素子VRの抵抗状態が遷移しない程度の電位差になるように

設定する。同様に、ビット線非選択電圧 V_{nsb1} は、ワード線セット電圧 V_{setw1} 及びワード線非選択電圧 V_{nsw1} 双方との関係においてメモリセル MC' の可変抵抗素子 VR の抵抗状態が遷移しない程度の電位差になるように設定する。その結果、選択されたメモリセル MC' は低抵抗状態に遷移し、その他のメモリセル MC' の抵抗状態は遷移しない。これにより、メモリセル MC' にのみ“0”が書き込まれる。

【0092】

図16(b)中の点線で囲まれたメモリセル MC' に“1”を書き込む場合、メモリセル MC' に接続されたワード線 $WL1$ 及びビット線 $BL1$ には、それぞれワード線リセット電圧 $V_{resetw1}$ (例えば-3V)及びビット線リセット電圧 $V_{resetb1}$ (例えば0V)が供給される。この場合のワード線リセット電圧 $V_{resetw1}$ とビット線リセット電圧 $V_{resetb1}$ は可変抵抗素子 VR を高抵抗状態に遷移させるために必要な電位差となるように設定する。一方、その他のメモリセル MC' に接続されたワード線 WL 及びビット線 BL には、それぞれワード線非選択電圧 V_{nsw1} (例えば-1V)及びビット線非選択電圧 V_{nsb1} (例えば-2V)が供給される。この場合のワード線非選択電圧 V_{nsw1} 及びビット線非選択電圧は“0”書き込み時と同様に設定する。その結果、選択されたメモリセル MC' は高抵抗状態に遷移し、その他のメモリセル MC' の抵抗状態は遷移しない。これにより、メモリセル MC' にのみ“1”が書き込まれる。

【0093】

本実施形態によっても、第1～第3の実施形態と同様の効果を得ることができる。さらに、“0”書き込み動作と逆極性の電圧をメモリセル MC' の可変抵抗素子 VR に供給することで“1”書き込み動作を行っているため、“0”書き込み動作と同程度の時間により“1”書き込み動作をすることができる。そのためユニポーラ動作による第1～第3の実施形態における場合より、さらに迅速なデータ書き込み処理が可能となる。

【0094】

[第5の実施形態]

図17は、本発明の第5の実施形態に係る不揮発性メモリの“0”書き込み時(a)及び“1”書き込み時(b)の各MAT1の動作波形図である。また、図18は、同実施形態におけるMAT1の回路と“1”書き込み時の各配線に対する供給電圧を示す図である。

【0095】

本実施形態における場合、“0”書き込み動作については、第4の実施形態における場合と同様である。

【0096】

次に、図18中の点線で囲まれたメモリセル MC' に“1”を書き込む場合について説明する。この場合、“0”書き込み動作時に選択ワード線 $WL1$ 及び非選択ワード線 WL に供給された電圧と選択ビット線 $BL1$ 及び非選択ビット線 BL に供給された電圧を相互に入れ替えて供給する。つまり、選択ワード線 $WL1$ には0Vのワード線リセット電圧 $V_{resetw1}$ 、非選択ワード線 WL には2Vのワード線非選択電圧 V_{nsw1} 、選択ビット線 $BL1$ には3Vのビット線リセット電圧 $V_{resetb1}$ 、非選択ビット線 BL には1Vのビット線非選択電圧 V_{nsb1} がそれぞれ供給される。その結果、選択されたメモリセル MC' は高抵抗状態に遷移し、その他のメモリセル MC' の抵抗状態は遷移しない。これにより、メモリセル MC' にのみ“1”が書き込まれる。

【0097】

このように、本実施形態によれば、入力データに応じて、ワード線 WL とビット線 BL に供給する電圧を相互に入れ替えることでも、第4の実施形態と同様の効果を得ることができる。

【0098】

[その他]

以上、不揮発性メモリ、特に抵抗変化型メモリについて説明したが、第1～第3の実施

10

20

30

40

50

形態については、他の半導体記憶装置にも適用することができる。

【図面の簡単な説明】

【0099】

【図1】本発明の第1の実施形態に係る不揮発性メモリのブロック図である。

【図2】同実施形態に係る不揮発性メモリのMATの一部を示す斜視図である。

【図3】図2におけるI-I'線で切断して矢印方向に見たメモリセル1個分の断面図である。

【図4】同実施形態における可変抵抗素子の一例を示す模式的な断面図である。

【図5】同実施形態におけるMATの回路と“1”書き込み時の各配線に対する供給電圧を示す図である。

10

【図6】同実施形態におけるMATの回路と“0”書き込み時の各配線に対する供給電圧を示す図である。

【図7】同実施形態におけるセルアレイのページ構成を示す概略図である。

【図8】同実施形態におけるセルアレイのブロック図である。

【図9】同実施形態におけるロウ制御回路の一部機能を示すブロック図である。

【図10】同実施形態におけるMATの回路と“1”書き込み時の各配線に対する供給電圧を示す図である。

【図11】同実施形態における“0”書き込み時(a)及び“1”書き込み時(b)の各MATの動作波形図である。

【図12】同実施形態におけるロウ制御回路の一部機能を示すブロック図である。

20

【図13】本発明の第2の実施形態に係る不揮発性メモリのデータ書き込み処理のフロー図である。

【図14】本発明の第3の実施形態に係る不揮発性メモリのセルアレイの一部を示すブロック図である。

【図15】本発明の第4の実施形態に係る不揮発性メモリの“0”書き込み時(a)及び“1”書き込み時(b)の各MATの動作波形図である。

【図16】同実施形態におけるMATの回路と“0”書き込み時(a)及び“1”書き込み時(b)の各配線に対する供給電圧を示す図である。

【図17】本発明の第5の実施形態に係る不揮発性メモリの“0”書き込み時(a)及び“1”書き込み時(b)の各MATの動作波形図である。

30

【図18】同実施形態におけるMATの回路と“1”書き込み時の各配線に対する供給電圧を示す図である。

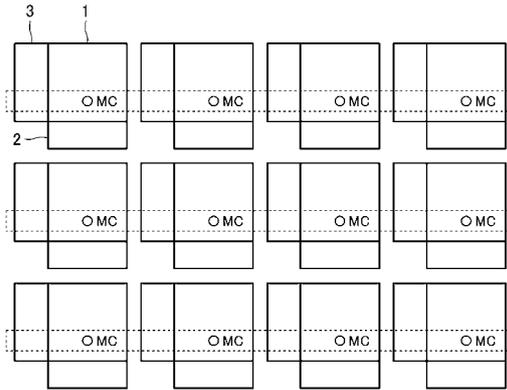
【符号の説明】

【0100】

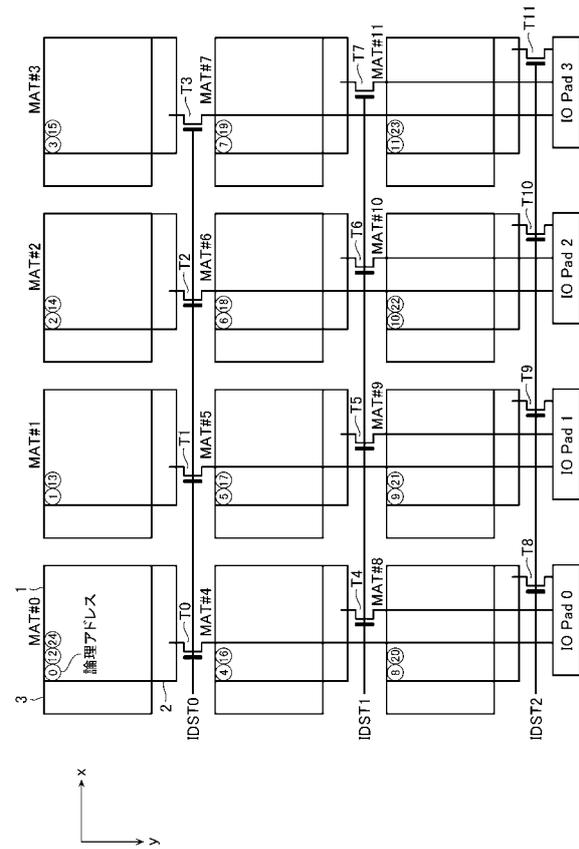
1・・・MAT(単位セルアレイ)、2・・・カラム制御回路、3・・・ロウ制御回路、4・・・データ入出力バッファ、5・・・アドレスレジスタ、6・・・コマンド・インターフェイス、7・・・コントローラ、8・・・パルスジェネレータ、11、13・・・電極層、12・・・記録層、14・・・メタル層、401・・・電流リミット回路、BL・・・ビット線、C・・・キャパシタ、DATA0、DATA1・・・入力データ識別信号、Di・・・ダイオード、DIN・・・入力データ、EL・・・電極、G101、G102・・・ANDゲート、G103・・・NORゲート、IDST・・・入力データ選択信号、MC、MC'・・・メモリセル、NO・・・非オーミック素子、T・・・トランスファトランジスタ、Vlim1、Vlim2・・・リミット電圧、Vnsb1・・・ビット線非選択電圧、Vnsw1・・・ワード線非選択電圧、VR・・・可変抵抗素子、Vresetb1・・・ビット線リセット電圧、Vresetw1・・・ワード線リセット電圧、Vsetb1・・・ビット線セット電圧、Vsetw1・・・ワード線セット電圧、WL・・・ワード線。

40

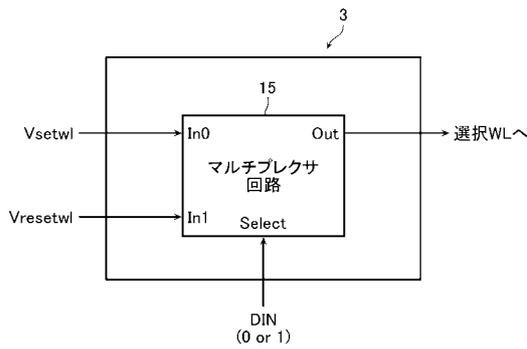
【図7】



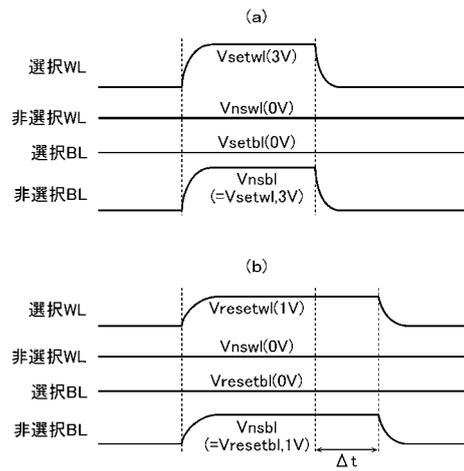
【図8】



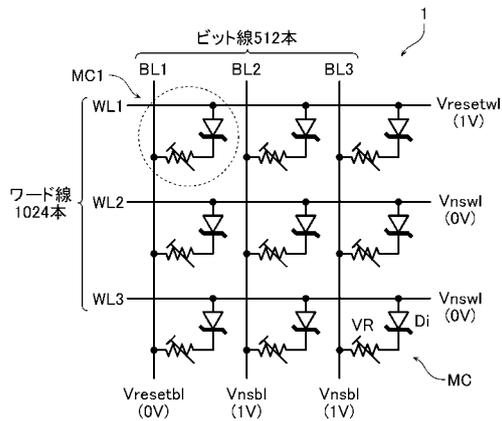
【図9】



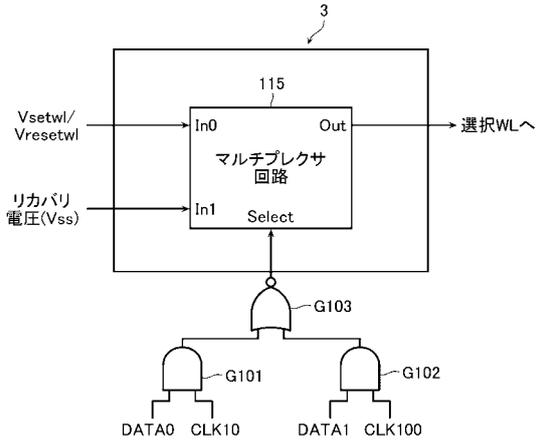
【図11】



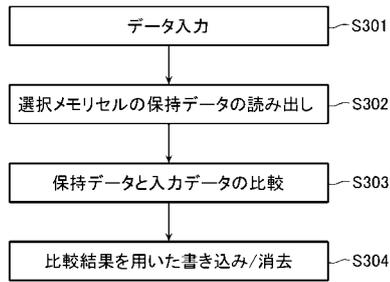
【図10】



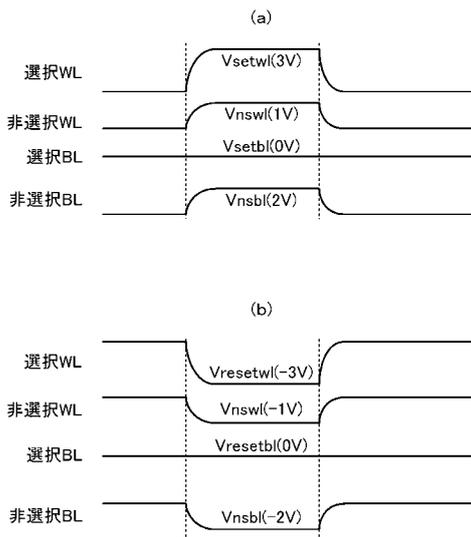
【図12】



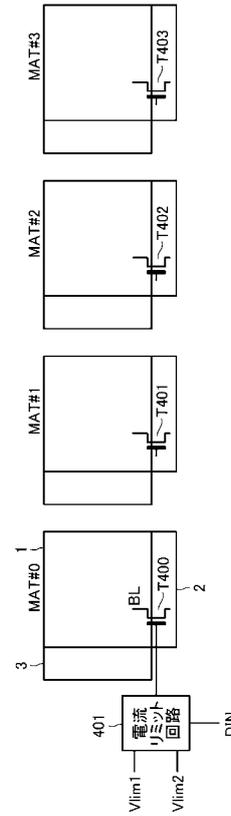
【図13】



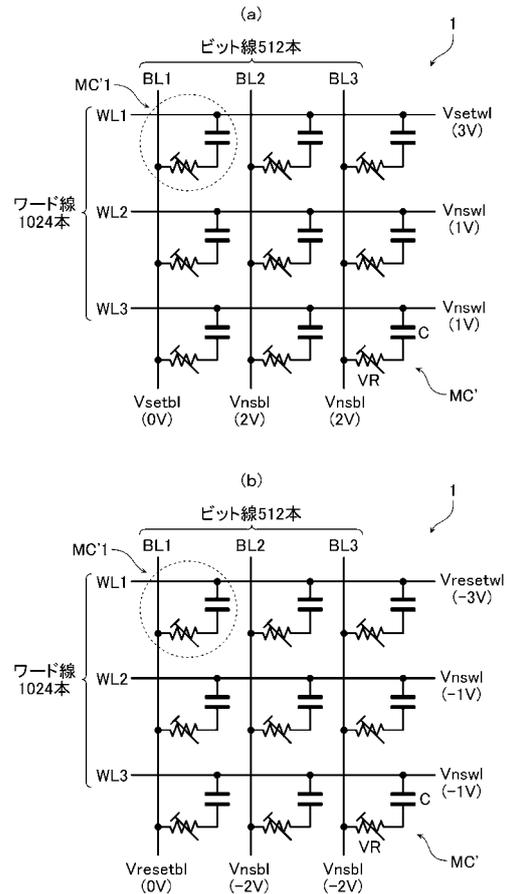
【図15】



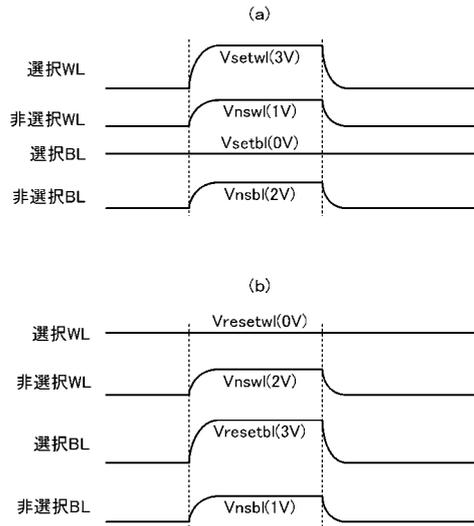
【図14】



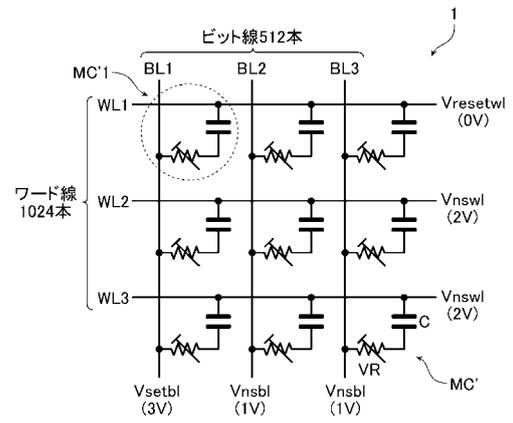
【図16】



【図17】



【図18】



フロントページの続き

- (56)参考文献 特開2008-159178(JP,A)
国際公開第2008/032394(WO,A1)
国際公開第2008/012871(WO,A1)
特開2005-108395(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 13/00