

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4559728号
(P4559728)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl. F I
 H O 1 L 21/8242 (2006.01) H O 1 L 27/10 3 2 1
 H O 1 L 27/108 (2006.01) G 1 1 C 11/34 3 5 2 C
 G 1 1 C 11/404 (2006.01)

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2003-433930 (P2003-433930)	(73) 特許権者	000003078
(22) 出願日	平成15年12月26日(2003.12.26)		株式会社東芝
(65) 公開番号	特開2005-191451 (P2005-191451A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年7月14日(2005.7.14)	(74) 代理人	100091351
審査請求日	平成17年12月6日(2005.12.6)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1ワード線とビット線との交差位置にそれぞれ設けられ、各々がメモリセルを構成する複数のフィンゲート型のダブルゲートトランジスタを備え、

前記複数のフィンゲート型のダブルゲートトランジスタはそれぞれ、

絶縁膜上の半導体層中に形成され、電氣的にフローティング状態のチャンネルボディと、

前記半導体層のチャンネルボディ上及び対向する側壁に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に、前記半導体層の一方の側壁から前記半導体層上および他方の側壁に互って設けられ、前記第1ワード線に電氣的に接続されたダブルゲート電極と、

前記半導体層中に前記チャンネルボディを挟むように、ビット線方向に隔離して設けられたソース領域およびドレイン領域と、

前記絶縁膜上の前記半導体層中に形成され、電氣的にフローティング状態であって、ビット線方向に沿って、前記チャンネルボディに接して前記ソース領域下に配置される第1領域と前記第1領域に接続される第2領域とを有する引き出し領域と

を具備することを特徴とする半導体記憶装置。

【請求項2】

前記メモリセルは、前記チャンネルボディを第1電位に設定した第1状態と、前記チャンネルボディを第2電位に設定した第2状態とをダイナミックに記憶すること

を特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

10

20

前記ビット線方向に沿って隣接するメモリセルの間に設けられ、隣接するメモリセルを絶縁分離する素子分離膜を更に具備すること

を特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記ドレイン領域上に設けられ、前記ビット線とドレイン領域とを電氣的に接続するビット線コンタクトと、前記ソース領域上に設けられ、所定の固定電位が印加される共通ソース線コンタクトとを更に具備すること

を特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は半導体記憶装置に関し、例えば、トランジスタのチャネルボディを記憶ノードとしてダイナミックにデータ記憶を行なう F B C (Floating Body Cell) 等に適用される。

【背景技術】

【0002】

従来、高集積メモリとして一般的な D R A M (Dynamic Random Access Memory) は、1 個の M O S (Metal Oxide Semiconductor) トランジスタと 1 個のキャパシタにより構成される。一方、例えば、S R A M (Static Random Access Memory) は、4 個あるいは 6 個の M O S トランジスタから構成される。そのため D R A M は、S R A M 等に比べ構成素子数が少なく、より小さなセル面積が実現可能なため、高集積メモリとして広く使われている。しかしながら、データを記憶させるキャパシタの容量を限られたセル面積の中で一定量 (数 f F ~ 数 1 0 f F) 以上確保するために、いわゆる、スタック型やトレンチ型といった複雑なキャパシタ構造が必要である。さらに、今後の予想される微細化に伴って、さらにキャパシタ構造および製造プロセスの複雑化が強いられ、歩留まり低下や製造コストの増大が問題となる。

20

【0003】

そこで、D R A M に必要であるキャパシタを不要とした新メモリが提案されている。上記キャパシタを不要とした新メモリとして、トランジスタのチャネルボディを記憶ノードとしてダイナミックにデータ記憶を行う、F B C (Floating Body Cell) がある。例えば、特許文献 1 の図 1 9 A ~ 図 1 9 N には、F B C のメモリセルの断面構造とアレイ構造の一例が示されている。すなわち、F B C の各メモリセルは、チャネルボディを記憶ノードとした 1 個の M O S トランジスタをメモリセルの基本構成としている。

30

【0004】

しかしながら、特許文献 1 に示すような従来の半導体記憶装置においては、 $4 F^2$ (F はデザインルール) のセル面積を達成するために、デザイン的な無理が生じている。より具体的には、例えば隣接セル間でソースおよびドレインを共有しているため、ソースやドレイン拡散層中のキャリア (チャネルボディに蓄積させるキャリアであり、ソースやドレイン拡散層に対しては少数キャリアに相当する) の拡散長がデザインルールに対して長くなると、隣接セルのチャネルボディ間でキャリアの遣り取りが生じ、データディスタ urb (情報破壊) が起こりやすくなる可能性がある。また、チャネルボディ部の一部の高濃度層が、ソースおよびドレインと隣接しているため、接合リーク電流が増加してリテンション特性が劣化する恐れがある。

40

【特許文献 1】特開 2 0 0 2 - 3 4 3 8 8 6 明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記のように従来の半導体記憶装置では、 $4 F^2$ のセル面積の達成のためデザイン的な無理が生じており、更なる改良が望まれている。

【0006】

50

この発明は上記のような事情に鑑みてなされたもので、1個のMOSトランジスタをメモリセルの基本構成としながら、より信頼性を向上できる半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

この発明の一態様によれば、第1ワード線とビット線との交差位置にそれぞれ設けられ、各々がメモリセルを構成する複数のMISトランジスタを備え、前記複数のMISトランジスタはそれぞれ、絶縁膜上の半導体層中に形成され、電氣的にフローティング状態のチャンネルボディと、前記半導体層中に前記チャンネルボディに接して形成され、第1ワード線方向に沿って配置された第1引き出し領域と、前記チャンネルボディ上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記第1ワード線に電氣的に接続されたゲート電極と、前記半導体層中に前記チャンネルボディを挟むように、ビット線方向に隔離して設けられたソース領域およびドレイン領域とを具備する半導体記憶装置を提供できる。

10

【0008】

上記のような構成によれば、チャンネルボディに隣接して設けられ、少なくとも一部が第1ワード線の方向に沿って突出する第1引き出し領域を設けているため、この第1引き出し領域がソース領域およびドレイン領域から平面的に隔離したチャンネルボディとして働く。その結果、接合リーク電流を増大させることなく書き込み電荷量を増大できるため、リテンション特性を向上できる。さらにチャンネルボディとビット線との容量を変えずに、チャンネルボディと第1ワード線との間の容量を高められるため、書き込み信号量を増大でき、歩留まりや信頼性も向上する。

20

【発明の効果】

【0009】

この発明によれば、1個のMOSトランジスタをメモリセルの基本構成としながら、より信頼性を向上できる半導体記憶装置が得られる。

【発明を実施するための最良の形態】

【0010】

以下、この発明の実施形態について図面を参照して説明する。尚、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0011】

30

[第1の実施形態]

まず、この発明の第1の実施形態に係る半導体記憶装置について、図1乃至図3を用いて説明する。図1乃至図3に示す半導体記憶装置は、いわゆる、FBC(Floating Body Cell)であり、トランジスタのチャンネルボディを記憶ノードとし、その記憶ノードの電位によるトランジスタの電流-電圧特性の違いによりデータ認識を行なうDRAMセルである。

【0012】

図1は、第1の実施形態に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図2は、図1中のA-A'線に沿って矢印の方向から見た断面構造図である。図3は、図1中のB-B'線に沿って矢印の方向から見た断面構造図である。

40

【0013】

図1において破線で囲んで示すのは、1ビット単位のメモリセルMCである。図1に示すように、メモリセルMCは、ワード線WLとビット線BLとの交差位置にそれぞれ設けられている。上記1ビット単位のメモリセルMCの大きさ(セルサイズ)は、最小加工寸法をFとすれば、 $10F^2$ である。ワード線WLの方向に沿って、共通ソース線SLが設けられている。

【0014】

上記メモリセルMCは、SOI基板上に設けられたNチャンネルMISトランジスタにより構成されている。上記SOI基板とは、例えば、P型シリコン基板(支持基板)11の主表面上に、絶縁膜としてシリコン酸化膜(埋め込み絶縁膜)等12が形成され、このシ

50

リコン酸化膜 12 上に S O I 層として P 型シリコン層 13 が形成されている基板である。従って、この S O I 基板上に形成された S O I 素子は、埋め込み絶縁膜 12 により支持基板 11 と電氣的に分離されており、基板 11 との接合容量を持たないため、寄生容量が低く、高速動作が可能である。

【 0 0 1 5 】

チャンネルボディとして働く P 型シリコン層 13 上にゲート絶縁膜 14 を介して、ゲート電極が形成されている。このゲート電極は一方向に延設され、ワード線 W L として働く。上記 P 型シリコン層 13 を挟むようにして、N 型ドレイン領域 15、N 型ソース領域 16 が設けられている。

【 0 0 1 6 】

図 1 および図 3 に示すように、上記 P 型シリコン層 13 に隣接して、ワード線方向に沿って引き出された P 型シリコン層 (第 1 引き出し領域) 17 が設けられている。即ち、チャンネルボディは、P 型シリコン層 13 および P 型シリコン層 17 により構成されている。ここで図 1 に示すように、各メモリセル M C の P 型シリコン層 17 は、ビット線 B L に沿って交互に千鳥状に配置されている。

【 0 0 1 7 】

さらに、上記ドレイン領域 15 およびソース領域 16 は、シリコン酸化膜 12 に達する深さまで形成されている。また、P 型シリコン層 13 および P 型シリコン層 17 からなるチャンネルボディのチャンネル幅方向 (ワード線 W L に沿った方向) は、例えば、シリコン酸化膜等の層間絶縁膜 21 により絶縁されている。そのため、P 型シリコン層 13 および P 型シリコン層 17 からなるチャンネルボディは、その底面およびチャンネル幅方向の側面が絶縁分離され、チャンネル長方向は P N 接合分離されたフローティング状態になっている。

【 0 0 1 8 】

図 2 に示すように、ビット線 B L に沿って隣接するメモリセル M C の間には、素子分離膜 20 が形成され、隣接セル間を絶縁分離している。

【 0 0 1 9 】

また、素子分離膜 20 上にワード線 W L が形成されているが、このワード線 W L は、いわゆるパッシングワード線であり、この断面でのメモリセル M C を直接動作させるものではない。このように、1 本のビット線 B L に着目すると、ワード線とパッシングワード線 (通過ワード線) とが交互に配置されている。

【 0 0 2 0 】

層間絶縁膜 25 中にビット線コンタクト B C が形成され、ドレイン領域 15 とビット線 B L とを電氣的に接続している。層間絶縁膜 25 中に、共通ソース線コンタクト S C が形成され、ソース領域 16 と共通ソース線 S L とを電氣的に接続している。ビット線 B L 上に層間絶縁膜 26 が形成され、それぞれのメモリセル M C 上を覆っている。

【 0 0 2 1 】

次に、上記のような構成のメモリセルの動作の一例について簡単に説明する。メモリセル M C の書き込み / 読み出し動作は、チャンネルボディ (他から絶縁分離された P 型シリコン層 13 および P 型シリコン層 17) の多数キャリアである過剰ホールの蓄積 / 放出を利用して行われる。以下の説明において、共通ソース線 S L および共通ソース線コンタクト S C には、所定の固定電位 (例えば、0 V 程度) が印加されている。

【 0 0 2 2 】

まず、書き込み動作について説明する。ワード線 W L に高電位を印加し、メモリセル M C のセルトランジスタをオン可能状態とする。続いて、ビット線 B L に高電位を印加し、ドレイン領域 15 近傍でインパクトイオン化を起こす。このインパクトイオン化により、チャンネルボディに多数キャリアであるホールが蓄積する。この際、基板 11 に望ましくは負の電位を印加し、シリコン酸化膜 12 を介してチャンネルボディ中のホールを容量蓄積する。このように、チャンネルボディに過剰ホールを保持させ、この過剰ホール蓄積状態を例えば、“ 1 ” 状態とすると、“ 1 ” 状態を書き込む (書き込み動作) ができる。一方、ワード線 W L に高電位を印加し、ビット線 B L に負の電位を印加しドレイン領域 15 と

10

20

30

40

50

チャンネルボディとの間のPN接合を順方向にバイアスして、過剰ホールをドレイン領域15に放出すると、“0”状態を書き込むこと(消去動作)ができる。上記“1”、“0”状態はチャンネルボディの電位差、即ちセルトランジスタの閾値電圧の差として記憶されている。

【0023】

次に、読み出し動作について説明する。ビット線BLにインパクトイオン化が起きない程度の電圧(例えば、ソース領域に印加される電圧が0V程度である場合は、0.1V~0.2V程度)を印加し、ワード線WLに高電位を印加し、メモリセルMCのセルトランジスタをオン状態とする。このとき、“1”状態と“0”状態とでは異なる電流がビット線BLに流れる。この電流の差を例えば、電流-電圧変換回路等により差動増幅して検出し、メモリセルMCの“1”状態、“0”状態を読み出す。

10

【0024】

保持状態において、“1”状態を維持するためにはワード線WLには負の電位を維持し、同一ビット線に接続される他のメモリセルへの消去動作の際にディスターブを受けない程度までチャンネルボディの電位を下げておくことが必要になる。一方“0”状態は、チャンネルとソースやドレイン間の接合からの発生電流によるホールの蓄積とともに“1”状態へと遷移していくことになるが、接合面積を低減したり、チャンネルボディの容量を増大させることで、充分長い時間の維持が可能となる。

【0025】

“1”状態を保持している状態は、上記“0”状態を書き込む(消去動作)をしない限り、原則として、読み出し動作を行っても変わらない。また“0”状態についても上記“1”状態を書き込む(書き込み動作)をしない限り、原則として、読み出し動作を行っても変わらない。即ち、キャパシタの電荷蓄積を利用する1トランジスタ/1キャパシタのDRAMと異なり、少なくとも、ある時間内での非破壊読み出しが可能である。

20

【0026】

上記において説明したように、P型シリコン層13に接続され、ワード線方向に沿って引き出されたP型シリコン層17が設けられている。即ち、チャンネルボディは、P型シリコン層13およびP型シリコン層17により構成されている。このように、ワード線方向に沿って引き出したP型シリコン層17を設けることで、ソース領域16およびドレイン領域15から平面的に隔離されたチャンネルボディ部を設けることができる。そのため、チャンネルボディがソース領域およびドレイン領域と隣接し、接合リーク電流が増加することを阻止しつつボディ容量を増大することができる。従って、信号量を増大したりリテンション特性を向上することができる。

30

【0027】

さらに、ビット線BLに沿って隣接するメモリセルMCの間には、素子分離膜20が形成されている。そのため、ビット線BLに沿って隣接するメモリセルMCを隔離し、絶縁分離することができる。このように、ビット線BLに沿って隣接するメモリセルMC間でソース領域16およびドレイン領域15を共有することがなく、絶縁分離された構造を備えている。そのため、ソースやドレイン拡散層中のキャリアの拡散長がデザインルールに対して長くなっても隣接セルのチャンネルボディ間でキャリアの遣り取りが生じ、データディスターブ(情報破壊)が発生することを防止し、信頼性を向上することができる。

40

【0028】

また、各メモリセルMCのP型シリコン層17は、ビット線BLに沿って交互に千鳥状に配置されている。換言すると、ビット線BLに沿って隣接するメモリセルMCのP型シリコン層17の向きを、行(row)毎に逆転させて配置している。上記のようなメモリセルアレイ配置により、細密な配置が可能になり、パターン占有面積を低減することが出来る。

【0029】

さらに、図1に示すように、この実施形態に係るメモリセルアレイ構造は、ワード線WL方向に隣接するセル同士がビット線BL方向に1つ分ずれた(本例では180度回転し

50

てずれている)、いわゆるフォールデットビット線配置のアレイ構造である。従って、一本のビット線BLに着目すると、ワード線とパッシングワード線(通過ワード線)とが交互に配置されている。

【0030】

このため、メモリセルMCのアクセスに際して、あるワード線WLを選択した際には、1本のビット線BL置きのみメモリセルMCしかアクセスされないことになる。従って、ビット線BLを介してセルとのデータをやりとりする回路(例えば、電流-電圧変換回路、センスアンプ等)も、一本のビット線BL置きに活性となるように配置すれば良い。その結果、厳しいデザインルールを使わなくて配置が可能となり、安定な回路動作が可能となる。

10

【0031】

また、ワード線WLの方向に沿って、共通ソース線SLが設けられている。そのため、各メモリセルMC間のソース領域16に印加される所定の固定電位をセルアレイ内で一様に制御することができる。その結果、安定なメモリ動作を実現し、信頼性を向上できる。

【0032】

尚、上記構造は、いずれもシリコン酸化膜(埋め込み絶縁膜)12上に設けられる。そのため、一旦、SOI基板を形成した後は、シリコン基板(支持基板)11およびシリコン酸化膜12に対して何ら新たな構造を設ける必要はない。そのため、製造工程を簡略化し、製造コストを低減することができる。

20

【0033】

しかし、シリコン酸化膜(埋め込み絶縁膜)12を十分薄く形成しておくことが望ましい。上記のような構造により、固定電位を印加されたシリコン基板(支持基板)11とチャネルポディ(P型シリコン層13、17)に実質的な容量が形成され、チャネルポディとドレイン領域15との間の容量比を制限できる。そのため、メモリセルMCの動作のさらなる安定化を図り、歩留まりや信頼性を向上できる。

【0034】

[第2の実施形態]

続いて、図4乃至図6を用いて、この発明の第2の実施形態に係る半導体記憶装置について説明する。以下の説明において、上記第1の実施形態と重複する部分の説明は省略する。

30

【0035】

図4は、第2の実施形態に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図5は、図4中のA-A'線に沿って矢印の方向から見た断面構造図である。図6は、図4中のB-B'線に沿って矢印の方向から見た断面構造図である。

【0036】

図4乃至図6に示すように、各メモリセルMCは第1ワード線WL1とビット線BLとの交差位置にそれぞれ設けられている。図中の破線で囲って示すメモリセルMCは、1ビット単位を示しており、そのセルサイズは $16F^2$ である。第1ワード線WL1に隣接し、その方向に沿って第2ワード線WL2が設けられている。換言すれば、隣接する一对のワード線のそれぞれが、第1ワード線WL1と第2ワード線WL2とをなしている。

40

【0037】

図4および図6に示すように、P型シリコン層13に隣接して、第1ワード線WL1方向に沿って引き出されたP型シリコン層(第1引き出し領域)17が設けられている。さらに、上記P型シリコン層17に隣接して、ビット線BL方向に沿って引き出され、第1ワード線WL1に隣接する第2ワード線WL2に接続されたP型シリコン層(第2引き出し領域)31が設けられている。即ち、チャネルポディは、P型シリコン層13、P型シリコン層17、およびP型シリコン層31から構成されている。

【0038】

さらに、図4に示すように、第2ワード線WL2とP型シリコン層31との界面には、反転防止層31-1が設けられていることが望ましい。上記反転防止層31-1は、P型

50

シリコン層 31 よりも高い不純物濃度、即ち P⁺ 型シリコン層により形成されている。さらに、反転防止層 31-1 の不純物濃度は、第 2 ゲートにより印加される電位によりチャネル反転層が形成されない程度の高濃度である。

【0039】

また、ソースへのコンタクト SC は、ソース領域 16 を貫通し、埋め込み絶縁膜 12 をも貫通し、支持基板 11 の表面上に設けられている。より好ましくは、支持基板 11 の上記コンタクト部には、高濃度層を形成しておくことが望ましい。

【0040】

上記のような構成によれば、第 1 の実施形態と同様の効果を得ることができる。さらに、第 1 ワード線 WL1 に隣接し、第 1 ワード線 WL1 の方向に沿って第 2 ワード線 WL2 が設けられている。そのため、第 2 ワード線 WL2 に所望の電位を印加することにより、チャネルボディ (P 型シリコン層 13、P 型シリコン層 17、P 型シリコン層 31) との間
10
に十分な容量結合を形成することができる。即ち、チャネルボディに蓄積する電荷量を増大させるとともに第 2 ワード線 WL2 によっても独立に、チャネルボディの電位を制御することができる。その結果、リテンションの向上やより安定なメモリセル MC の動作が実現できる。

【0041】

さらに、第 2 ワード線 WL2 と P 型シリコン層 31 との界面には、反転防止層 31-1 が設けられている。そのため、第 2 ワード線 WL2 に所望の電位が印加された際においても、第 2 ワード線 WL2 と P 型シリコン層 31 との界面にチャネル反転層が形成することがなく、第 2 ワード線 WL2 と P 型シリコン層 31 との容量を確保することができる。
20

【0042】

また、上記第 2 ワード線 WL2 は SOI 層表面上に設けられているため、SOI 層表面側から容易に形成することができる。換言すれば、支持基板 11 中に形成する必要はない。その結果、容易に製造できるため製造コストが低減し、動作マージンおよび歩留まりを向上することができる。

【0043】

さらに、P 型シリコン層 17 に接続され、ビット線 BL 方向に沿って引き出され、第 1 ワード線 WL1 に隣接する第 2 ワード線 WL2 に接続された P 型シリコン層 31 が設けられている。即ち、チャネルボディは、ソース領域 16 およびドレイン領域 15 からさらに
30
隔離された P 型シリコン層 31 を設けている。そのため、さらに接合リーク電流が低減し、リテンション特性を向上できる。

【0044】

さらに、ソースへのコンタクト SC は、ソース領域 16 を貫通し、埋め込み絶縁膜 12 をも貫通し、支持基板 11 の表面上に設けられている。すなわち、ソース線が無く、各ソースへの電位は基板 11 (もしくはシリコン層 61) から与えられることになる。SOI 層の膜厚が厚い場合は特に、上記ソースへのコンタクト SC とソース領域 16 との貫通 SOI 層の側面のコンタクト部により、各メモリセル MC のソース領域 16 とのコンタクト面積を増大することができソース抵抗の低減が期待できる。そのため、メモリセル MC の動作を安定化することができる。さらに、上記コンタクト部を設けることにより、図 1 で
40
示したような共通ソース線 SL が不要となり、配線構成を簡略化することができる。

【0045】

[第 3 の実施形態]

続いて、図 7 乃至図 9 を用いて、この発明の第 3 の実施形態に係る半導体記憶装置について説明する。以下の説明において、上記第 1、第 2 の実施形態と重複する部分の説明は省略する。

【0046】

図 7 は、第 3 の実施形態に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図 8 は、図 7 中の A - A' 線に沿って矢印の方向から見た断面構造図である。図 9 は、図 7 中の B - B' 線に沿って矢印の方向から見た断面構造図である。
50

【0047】

図7乃至図9に示すように、第1ワード線WL1とビット線BLとの交差位置にそれぞれメモリセルMCが設けられている。図中の破線で囲って示すメモリセルMCは、1ビット単位を示しており、そのセルサイズは $12F^2$ である。第1ワード線WL1に隣接して、第1ワード線WL1の方向に沿って第2ワード線WL2およびダミーワード線DLが設けられている。

【0048】

図8に示すように、ドレイン領域15と絶縁膜12との間にP型シリコン層13に隣接してP型シリコン層(第3引き出し領域)35が設けられている。さらに、ソース領域16と絶縁膜12との間にP型シリコン層13に隣接してP型シリコン層(第4引き出し領域)36が設けられている。第2ワード線WL2のゲート絶縁膜14と絶縁膜12との間にP型シリコン層13に隣接してP型シリコン層(第5引き出し領域)37が設けられている。即ち、チャンネルボディは、ビット線BL方向に沿って、ビット線BLの下方にそれぞれ設けられたP型シリコン層35、P型シリコン層13、P型シリコン層36、およびP型シリコン層37から構成されている。

10

【0049】

また、図8または図9に示すように、第2ワード線WL2とP型シリコン層37との界面には、反転防止層37-1が設けられていることが望ましい。上記反転防止層37-1は、P型シリコン層37よりも高い不純物濃度、即ちP⁺型シリコン層により形成されている。さらに、反転防止層31-1の不純物濃度は、第2ゲートにより印加される電位によりチャンネル反転層が形成されない程度の高濃度である。

20

【0050】

さらに、図9に示すように第1ワード線WL1に接続され、ゲート絶縁膜14を介してP型シリコン層13を挟むようにダブルゲート40が設けられている。即ち、各メモリセルMCは、いわゆるフィンゲート型のダブルゲートトランジスタ(FIN FET)構造を備えている。

【0051】

上記のような構成によれば、上記と同様の効果が得られる。さらに、チャンネルボディは、ビット線BL方向に沿って、ビット線BLの下方にそれぞれ設けられたP型シリコン層35、P型シリコン層13、P型シリコン層36、およびP型シリコン層37から構成されている。そのため、ワード線WL1、WL2方向のセル占有面積を増大することなく、第2ワード線WL2とチャンネルボディとを接続することができる。

30

【0052】

さらに、図9に示すように第1ワード線WL1に隣接して、ゲート絶縁膜14を介してP型シリコン層13を挟むようにダブルゲート40が設けられている。そのため、各メモリセルMCは、いわゆるフィンゲート型のダブルゲートトランジスタ(FIN FET)構造を備えている。上記のような構成により、P型シリコン層13の上面の界面だけでなく、ゲート絶縁膜14を介してダブルゲート40に挟まれたP型シリコン層13の両側面の界面においてもチャンネルを形成することができる。そのため、チャンネルに流れる電流を増大することができ、微細化に対しても高速動作が可能となる点で有効である。

40

【0053】

また、上記のようなフィンゲート型のダブルゲートトランジスタ構造を備えることにより、容量比を調整することができる。より具体的には、上記構造により、いわゆるSOI層を適用した場合にドレイン領域15およびソース領域16とチャンネルボディとの間の容量比を低減することができる。

【0054】

さらに、第1ワード線WL1の方向に沿ってダミーワード線DLが設けられている。そのため、ビット線BL方向に沿って隣接するメモリセルMCは、素子分離膜20およびダミーワード線DLにより絶縁分離されている。従って、高電圧が印加され得る隣接する第2ワード線WL2とドレイン領域16とが、平面的に隔離されている。その結果、隣接す

50

る第2ワード線WL2とドレイン領域16と間の接続リーク電流の発生を阻止し、リテンション特性を向上できる。さらに、チャンネルボディに必要に応じてP型高濃度拡散層を形成した場合でも、同様の作用によりリテンション特性を向上することができる。

【0055】

[変形例1]

続いて、図10を用いて、第3の実施形態の変形例に係る半導体記憶装置について説明する。以下の説明において、上記実施形態と重複する部分の説明は省略する。

【0056】

図10は、第3の実施形態の変形例に係る1ビット単位のメモリセルMCを模式的に示す断面構造図である。この変形例において、メモリセルアレイ構造は図7におけるダミーワード線DLを除いた構造である。また、ワード線WL1方向に沿って見た断面構造は、図9におけるダブルゲート40を除いた構造である。

10

【0057】

図10に示すように、P型シリコン層13に隣接してソース領域16と絶縁膜12との間にP型シリコン層(第4引き出し領域)36が設けられている。P型シリコン層36に隣接して第2ワード線WL2のゲート絶縁膜14と絶縁膜12との間にP型シリコン層(第5引き出し領域)37が設けられている。即ち、チャンネルボディは、ビット線BL方向に沿って、ビット線BLの下方に設けられたP型シリコン層13、P型シリコン層36、およびP型シリコン層37から構成されている。換言すれば、ビット線コンタクトBCが設けられているドレイン領域15は、埋め込み絶縁膜12に達する深さまで設けられている。一方、ソース領域16は、埋め込み絶縁膜12に達さない浅い深さに設けられ、かつソース領域16と埋め込み絶縁膜12との間にP型シリコン層36が設けられている。

20

【0058】

また、第2ワード線WL2とP型シリコン層37との界面には、反転防止層37-1が設けられていることが望ましい。上記反転防止層31-1は、P型シリコン層31よりも高い不純物濃度、即ちP⁺型シリコン層により形成されている。さらに、反転防止層31-1の不純物濃度は、第2ゲートにより印加される電位によりチャンネル反転層が形成されない程度の高濃度である。

【0059】

上記のような構成によれば、第3の実施形態と同様の効果を得ることができる。さらに、チャンネルボディはビット線BL方向に沿って、ビット線BLの下方に設けられたP型シリコン層13、P型シリコン層36、およびP型シリコン層37から構成されている。

30

【0060】

そのため、ドレイン領域15とチャンネルボディとの間の寄生容量を低減することができる。かつ、メモリセルMCの動作のチャンネルボディの電位が安定化でき、動作マージンが向上できる。このように、ドレイン領域15に接続されたビット線BLとチャンネルボディとの容量比が低減することができるため、フィンゲート型のダブルゲートトランジスタ構造でなく、いわゆるプレーナ型のMISトランジスタ構造であっても容易に容量比の調整をすることができる。

【0061】

さらに、ソース領域16を埋め込み絶縁膜12に達さない浅い深さに形成し、かつソース領域16と埋め込み絶縁膜12との間にP型シリコン層36が設けられている。そのため、埋め込み絶縁膜12の十分な薄膜化が困難な場合であっても、セル面積を増大せずにチャンネルボディの容量を確保することが可能となる。

40

【0062】

[第4の実施形態]

続いて、図11乃至図13を用いて、この発明の第4の実施形態に係る半導体記憶装置について説明する。以下の説明において、上記実施形態と重複する部分の説明は省略する。

【0063】

50

図 1 1 は、第 4 の実施形態に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図 1 2 は、図 1 1 中の A - A' 線に沿って矢印の方向から見た断面構造図である。図 1 3 は、図 1 1 中の B - B' 線に沿って矢印の方向から見た断面構造図である。

【 0 0 6 4 】

図 1 1 乃至図 1 3 に示すように、メモリセル MC はワード線 WL とビット線 BL との交差位置にそれぞれ設けられている。図中の破線で囲って示すメモリセル MC は、1 ビット単位を示しており、そのセルサイズは $8 F^2$ である。

【 0 0 6 5 】

図 1 1 に示すように、ワード線 WL の方向に沿って、各ソースコンタクトに接続された共通ソース線 SL が設けられている。上記共通ソース線 SL には所定の固定電位が印加されている。

【 0 0 6 6 】

図 1 2 に示すように、P 型シリコン層 1 3 に隣接してドレイン領域 1 5 と絶縁膜 1 2 との間に P 型シリコン層（第 3 引き出し領域）3 5 が設けられている。P 型シリコン層 1 3 に隣接してソース領域 1 6 と絶縁膜 1 2 との間に P 型シリコン層（第 4 引き出し領域）3 6 が設けられている。即ち、チャンネルボディは、ビット線 BL 方向に沿って、ビット線 BL の下方に設けられた P 型シリコン層 1 3、P 型シリコン層 3 5、および P 型シリコン層 3 6 から構成されている。換言すれば、ドレイン領域 1 5 およびソース領域 1 6 は、埋め込み絶縁膜 1 2 に達さない浅い深さに形成し、かつドレイン領域 1 5 およびソース領域 1 6 と埋め込み絶縁膜 1 2 との間に P 型シリコン層 3 5 および P 型シリコン層 3 6 が設けられている。

【 0 0 6 7 】

図 1 3 に示すように、第 1 ワード線 WL 1 に接続され、ゲート絶縁膜 1 4 を介して P 型シリコン層 1 3 を挟むようにダブルゲート 4 0 が設けられている。そのため、各メモリセル MC は、いわゆる、フィンゲート型のダブルゲートトランジスタ（F I N F E T）構造を備えている。また、さらにチャンネルボディの底部に P 型の高濃度層を設けることがさらに望ましい。

【 0 0 6 8 】

上記のような構成により、上記実施形態と同様の効果を得ることができる。さらに、上記チャンネルボディの構成によれば、チャンネルボディ全体の容量を増大することができる。

【 0 0 6 9 】

かつ、メモリセル MC が、フィンゲート型のダブルゲートトランジスタ構造を備えているため、電流密度を低減し、微細化に有効である。

【 0 0 7 0 】

また、チャンネルボディの低部に高濃度層を設けることにより、ワード線 WL の電圧印加時におけるパンチスルーを低減することができる。そのため、微細化に有効である。

【 0 0 7 1 】

[変形例 2]

続いて、図 1 4 乃至図 1 6 を用いて、上記第 1 の実施形態の変形例に係る半導体記憶装置について説明する。以下の説明において、上記第 1 の実施形態と重複する部分の説明は省略する。

【 0 0 7 2 】

図 1 4 は、変形例 2 に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図 1 5 は、図 1 4 中の A - A' 線に沿って矢印の方向から見た断面構造図である。図 1 6 は、図 1 4 中の B - B' 線に沿って矢印の方向から見た断面構造図である。1 ビット単位のメモリセル MC の大きさ（セルサイズ）は、最小加工寸法を F とすれば、 $1 0 F^2$ である。

【 0 0 7 3 】

図 1 4 および図 1 6 に示すように、P 型シリコン層 1 3 の両側に隣接して、ワード線 W

10

20

30

40

50

L方向に沿って均等に引き出されたP型シリコン層17-1が設けられている。

【0074】

上記のような構成によれば、第1の実施形態と同様の効果を得ることができる。さらに、P型シリコン層17-1は、ワード線WLの方向に沿ってP型シリコン層13の両側に均等に引き出して設けられているため、より対称性を持たせることができる。そのため、ビット線BLのピッチ(pitch)が一定となり、パターンの対称性が良くなり、リソグラフィ加工上の負担を軽減することができる。また、SOI層のパターンについても対称となりリソグラフィ加工上の負担が軽減され微細化が容易となる。

【0075】

[変形例3]

図17乃至図20を用いて、上記第2の実施形態の変形例に係る半導体記憶装置について説明する。以下の説明において、上記第2の実施形態と重複する部分の説明は省略する。

【0076】

図17は、変形例3に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図18は、図17中のA-A'線に沿って矢印の方向から見た断面構造図である。図19は、図17中のB-B'線に沿って矢印の方向から見た断面構造図である。図20は、図17中のC-C'線に沿って矢印の方向から見た断面構造図である。1ビット単位のメモリセルMCの大きさ(セルサイズ)は、 $16F^2$ である。

【0077】

図17に示すように、P型シリコン層31は、第2の実施形態に係る半導体装置と比べて、ビット線BL方向において反対の方向に引き出されている。

【0078】

また、図18乃至図20に示すように、基板11と埋め込み絶縁膜12との間には、P⁺型シリコン層61が設けられていることが望ましい。上記P⁺型シリコン層61およびP型基板は、N⁺型シリコン層およびN型基板であってもよい。あるいは基板11自体がP⁺型基板やN⁺型基板でも構わない。さらに、基板11とシリコン層61とが異なる導電型であっても構わない。なお、基板11やシリコン層61への電位の付与は、必要に応じて、例えばセルアレイの外周部において、表面からのコンタクトを介して容易に可能である。

【0079】

図20に示すように、この変形例3に係る共通ソース線SLは、ソース領域16の表面上および両側面上とP型シリコン層61表面に接するように設けられる、いわゆるストラップ型の共通ソース線SLである。

【0080】

上記のような構成によれば、第2の実施形態と同様の効果を得ることができる。さらに、P型シリコン層31は、第2の実施形態に係る半導体装置と比べて、ビット線BL方向において反対の方向に引き出されている。そのため、共通ソース線SLを用いることができ、ラインパターンで形成することによりソースへのコンタクト抵抗の低減や、コンタクト未開口などの問題が生じないため歩留まり向上が期待できる。

【0081】

さらに、ソースと基板とをストラップさせることで、共通ソース線SLと基板11それぞれへ供給される電位がセルアレイ内で共通化されるため、ソース領域16の電位と基板11の電位が互いに安定し、ノイズに強くなり動作マージンを向上することができる。また、ソースと基板を同電位とすることは、仮にソースへのコンタクトがSOI層からはずれて基板へ短絡してしまっても不良とはならないため、コンタクト形成の方法にかかわらず歩留まり向上が可能である。

【0082】

[変形例4]

図21乃至図24を用いて、上記第2の実施形態の変形例に係る半導体記憶装置につい

10

20

30

40

50

て説明する。以下の説明において、上記第4の実施形態と重複する部分の説明は省略する。

【0083】

図21は、変形例4に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図22は、図21中のA-A'線に沿って矢印の方向から見た断面構造図である。図23は、図17中のB-B'線に沿って矢印の方向から見た断面構造図である。図24は、図21中のC-C'線に沿って矢印の方向から見た断面構造図である。1ビット単位のメモリセルMCの大きさ(セルサイズ)は、 $8F^2$ である。

【0084】

図21乃至図24に示すように、共通ソース線SLはストラップ型であり、P⁺型シリコン層61が設けられている。また、P型シリコン層17等の引き出し領域が設けられていない。引出し領域を設けないが、埋め込み絶縁膜12を充分薄く形成することが可能な場合、あるいはさらにMOSFETの微細化のためにSOI層を薄くした場合を想定したものである。このような場合、共通ソース線とチャンネルボディと基板との間の記憶容量を充分確保できることから、チャンネルボディの引出し領域は不要となることが期待できる。しかしながら、ビット線やソース線のSOI層へのコンタクトが合わせずれや寸法ばらつきなどによりSOI層からはずれると、薄い素子分離領域(素子分離領域の膜厚はSOI層と埋め込み絶縁膜の膜厚とに添って増減する)を貫いて容易に基板へと短絡してしまうことになる。この様な場合にも、上記実施形態の中で用いているようなストラップ型や貫通コンタクトなど、ソースと基板を短絡させる施策を適用することが非常に有効となる。

【0085】

上記のような構成によれば、特にアレイ内で共通電位である場合が考えられるソース線の基板への短絡によるアレイ全体の不良が回避され、大きな歩留まり向上となる。なお、ビット線コンタクトに関しては該当ビット線を使用しない様な処置をすることでアレイ全体の不良につながらないような処置をすれば良い。そのため、プロセスマージンを飛躍的に向上することができる。

【0086】

[変形例5]

図25乃至図28を用いて、上記第2の実施形態の変形例に係る半導体記憶装置について説明する。以下の説明において、上記第2の実施形態と重複する部分の説明は省略する。

【0087】

図25は、変形例5に係る半導体記憶装置のメモリセルアレイの一例を模式的に示す平面図である。図26は、図25中のA-A'線に沿って矢印の方向から見た断面構造図である。図27は、図25中のB-B'線に沿って矢印の方向から見た断面構造図である。図28は、図25中のC-C'線に沿って矢印の方向から見た断面構造図である。1ビット単位のメモリセルMCの大きさ(セルサイズ)は、 $8F^2$ である。

【0088】

図26および図29に示すように、共通ソース線コンタクトSCは、ソース領域16および絶縁膜12を貫通し、N⁺型シリコン層61の表面の深さまで達するように設けられている。そのため、共通ソース線SLは、N⁺型シリコン層61を介して、夫々のメモリセルMCのチャンネルボディとなるP型シリコン層13の裏面と導通している。

【0089】

さらに、図26乃至図29に示すように、絶縁膜12およびN⁺型シリコン層61を貫通した基板11中に設けられ、夫々のメモリセルMCがワード線WL方向に分離されるように、素子分離絶縁膜65が設けられている。

【0090】

上記に示したように、共通ソース線コンタクトSCは、ソース領域16および絶縁膜12を貫通し、N⁺型シリコン層61の表面の深さまで達するように設けられている。そのため、共通ソース線SLは、基板11およびN⁺型シリコン層61を介して、夫々のメモ

10

20

30

40

50

リセルMCのチャンネルボディとなるP型シリコン層13の裏面と導通している。かつ、絶縁膜12およびN⁺型シリコン層61を貫通した基板11中に設けられ、夫々のメモリセルMCがワード線WL方向に分離されるように、素子分離絶縁膜65が設けられている。

【0091】

そのため、上記第2ワード線WL2と同様の作用により、共通ソース線SLによってチャンネルボディとなるP型シリコン層13との間に十分な結合容量を形成することができる。即ち、共通ソース線SLに所望の電位を印加することにより、チャンネルボディ(P型シリコン層13)との間に十分な容量結合を形成し、チャンネルボディに蓄積する電荷量を増大させるとともに、共通ソース線SLに接続されたWL方向の共通メモリセル群毎に独立に、チャンネルボディの電位などを制御することができる。その結果、より安定なメモリセルMCの動作を実現することができる。なお、これはストラップ型を用いても同様の効果が得られるのはいうまでもない。

10

【0092】

尚、以上において説明した実施形態および変形例に係る半導体記憶装置は、いわゆる通常の半導体基板上のバルク領域(bulk region)に形成されたバルク素子や回路との混載が可能である。バルク素子等に混載されれば、例えば、SoC(System on Chip)型の高性能システムLSI等のシステムLSIとして有効な半導体チップを提供することができる。

【0093】

図29を用いて、上記SoC型の高性能システムLSIに適用した一例を説明する。図29は、バルク領域51にバルク素子としてDRAMを設け、SOI領域55に上記第1の実施形態に係る半導体記憶装置を混載した例を模式的に示す断面構造図である。

20

【0094】

図29に示すように、バルク領域51にはP型半導体基板11の主表面中に、いわゆるトレンチ型DRAMセルアレイが設けられている。DRAMセルアレイをバルク領域51に設けることにより、上記浮遊基板効果による不都合を回避することができる。平面図等その他の詳細な説明を省略する。

【0095】

このように、半導体素子等の特性によってバルク領域51またはSOI領域55のいずれかの最適な領域中に設けることにより、高速かつ高性能なシステムLSIを提供することができる。

30

【0096】

以上、第1乃至第4の実施形態、および変形例1乃至5等を用いてこの発明の説明を行ったが、本発明の各実施形態で示した内容は、種々、組み合わせや一部抽出して適用可能である。また、配線構成や素子構造など従来技術をその主旨を逸脱しない範囲で自由に取り入れて変形して適用することが可能である。あるいは、上記のように部分的にバルク領域を形成したSOIウエハを用いることで、ロジック回路や本メモリの周辺回路などをバルク素子(回路)とした混載チップとしても構わない。

【図面の簡単な説明】

【0097】

40

【図1】この発明の第1の実施形態に係る半導体記憶装置を模式的に示す平面図。

【図2】図1中のA-A'線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図3】図1中のB-B'線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図4】この発明の第2の実施形態に係る半導体記憶装置を模式的に示す平面図。

【図5】図4中のA-A'線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図6】図4中のB-B'線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

50

【図 7】この発明の第 3 の実施形態に係る半導体記憶装置を模式的に示す平面図。

【図 8】図 7 中の A - A' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 9】図 7 中の B - B' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 10】この発明の変形例 1 に係る半導体記憶装置を模式的に示す断面構造図。

【図 11】この発明の第 4 の実施形態に係る半導体記憶装置を模式的に示す平面図。

【図 12】図 11 中の A - A' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 13】図 11 中の B - B' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

10

【図 14】この発明の変形例 2 に係る半導体記憶装置を模式的に示す平面図。

【図 15】図 14 中の A - A' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 16】図 1 中の B - B' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 17】この発明の変形例 3 に係る半導体記憶装置を模式的に示す平面図。

【図 18】図 17 中の A - A' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 19】図 17 中の B - B' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

20

【図 20】図 17 中の C - C' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 21】この発明の変形例 4 に係る半導体記憶装置を模式的に示す平面図。

【図 22】図 21 中の A - A' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 23】図 21 中の B - B' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 24】図 21 中の C - C' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

30

【図 25】この発明の変形例 5 に係る半導体記憶装置を模式的に示す平面図。

【図 26】図 25 中の A - A' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 27】図 25 中の B - B' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 28】図 25 中の C - C' 線に沿って矢印の方向から見た半導体記憶装置を模式的に示す断面構造図。

【図 29】バルク領域にバルク素子として DRAM を設け、SOI 領域に第 1 の実施形態に係る半導体記憶装置を混載した例を模式的に示す断面構造図。

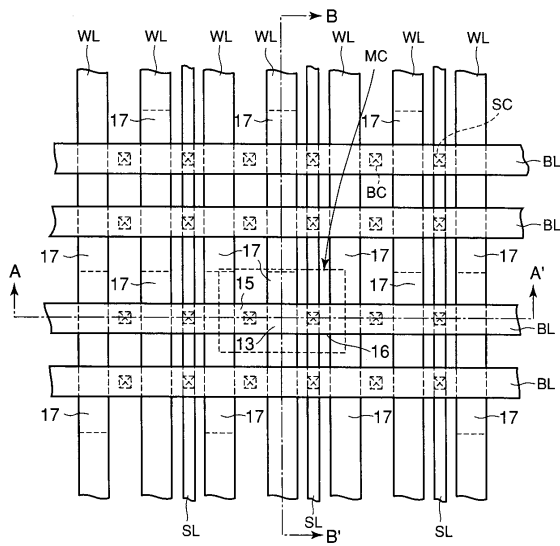
【符号の説明】

40

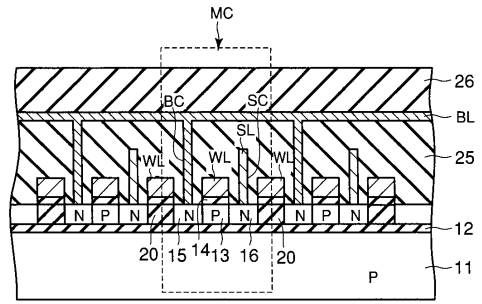
【0098】

WL...ワード線、BL...ビット線、SL...共通ソース線、BC...ビット線コンタクト、SC...共通ソース線コンタクト、MC...メモリセル、13...P型シリコン層、15...ドレイン領域、16...ソース領域、17...P型シリコン層(第1引き出し領域)。

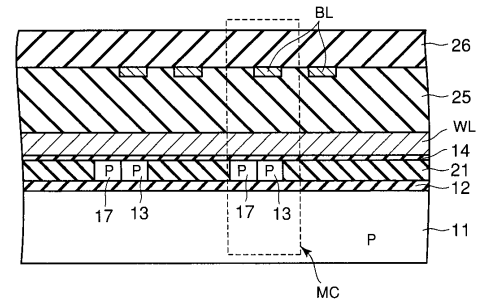
【図1】



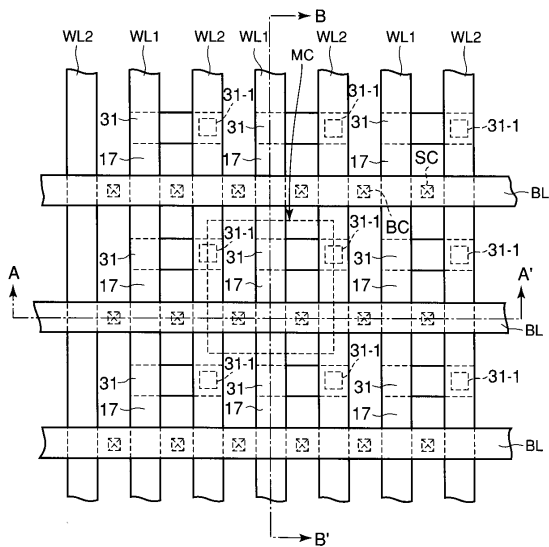
【図2】



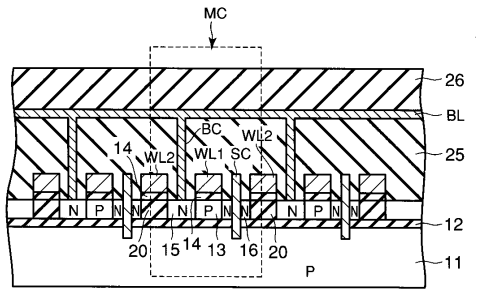
【図3】



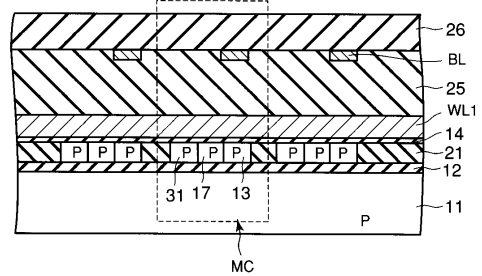
【図4】



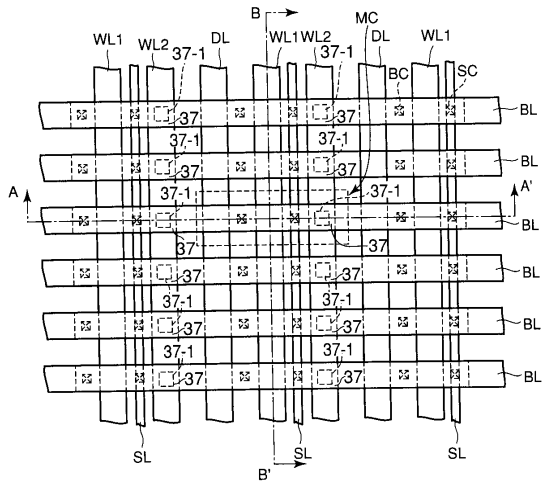
【図5】



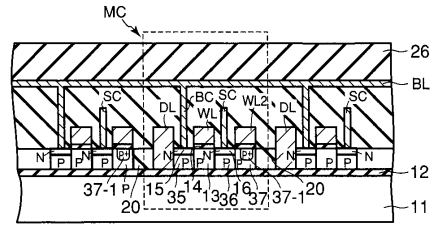
【図6】



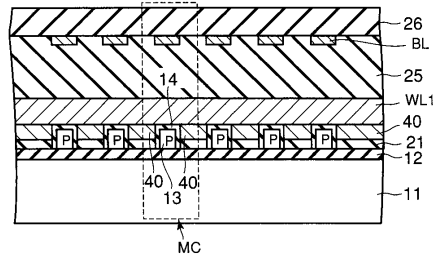
【図7】



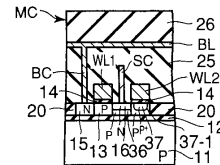
【図8】



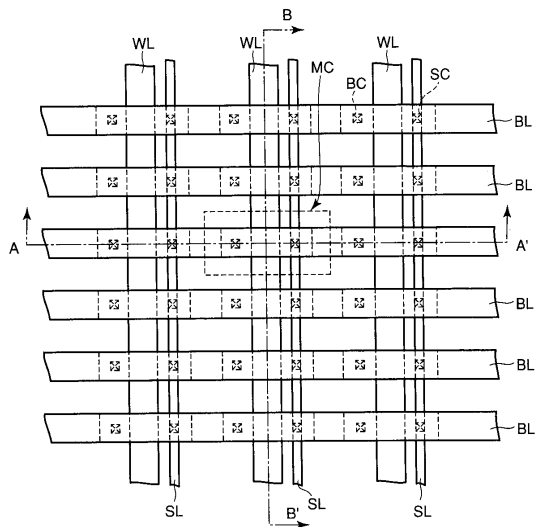
【図9】



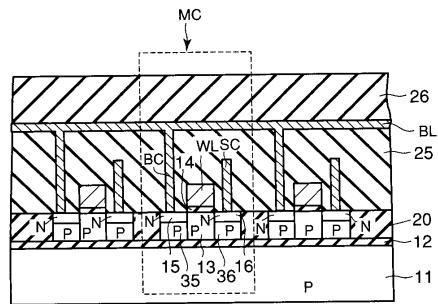
【図10】



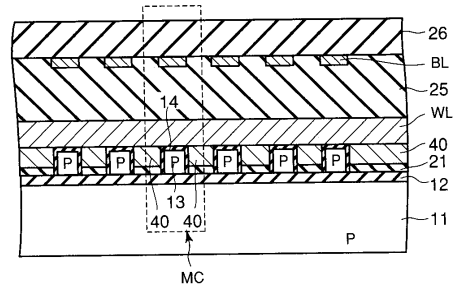
【図11】



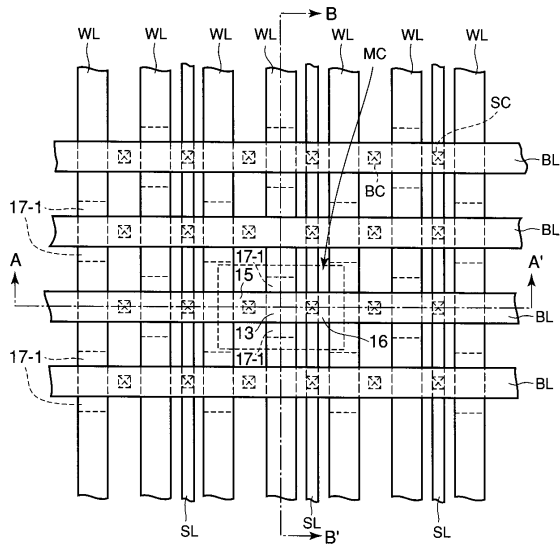
【図12】



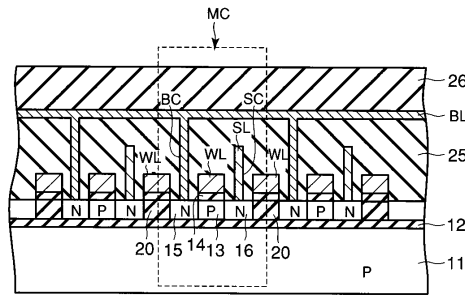
【図13】



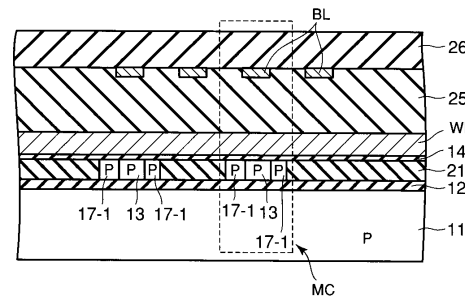
【 図 14 】



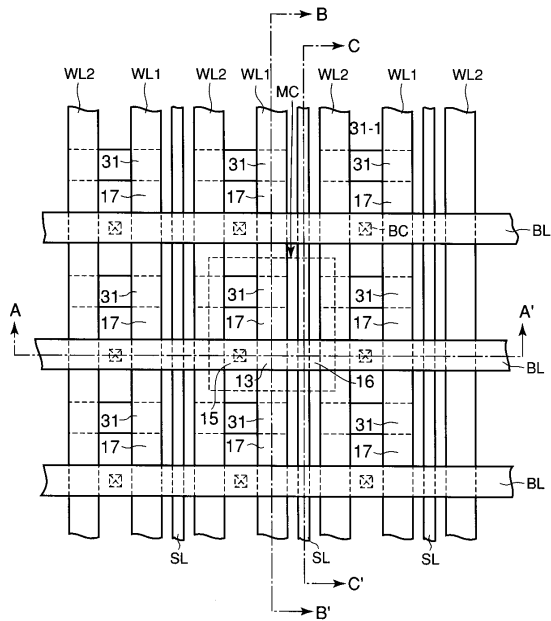
【 図 15 】



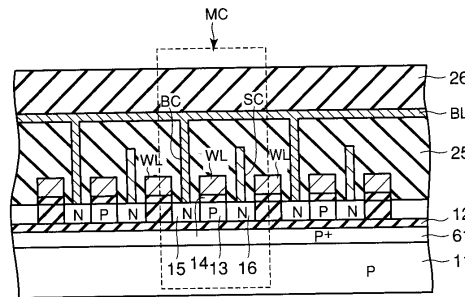
【 図 16 】



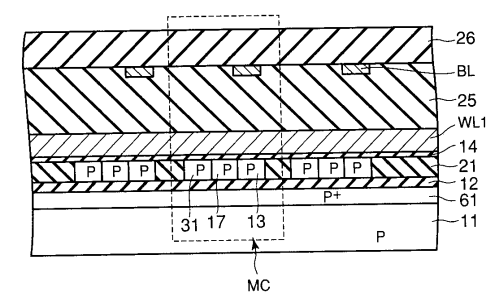
【 図 17 】



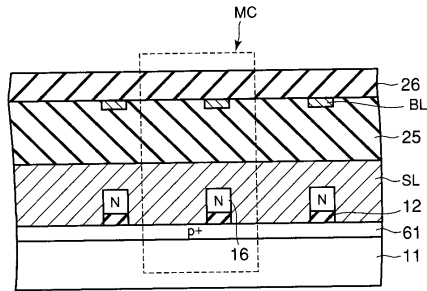
【 図 18 】



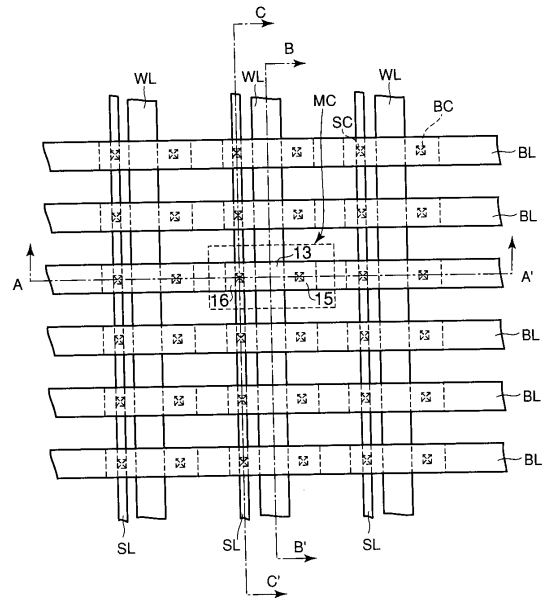
【 図 19 】



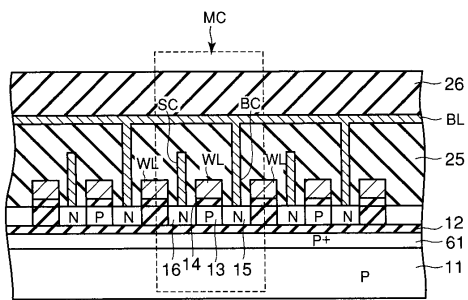
【図20】



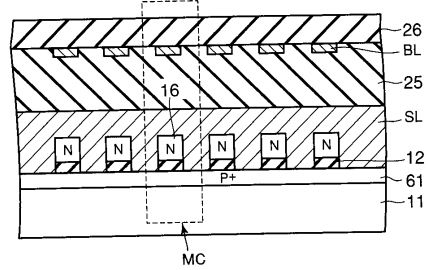
【図21】



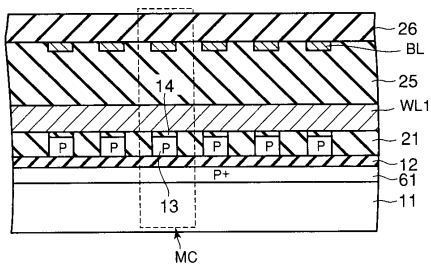
【図22】



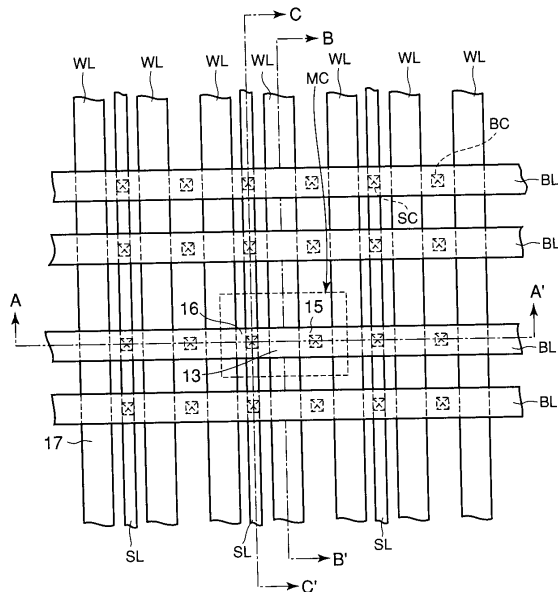
【図24】



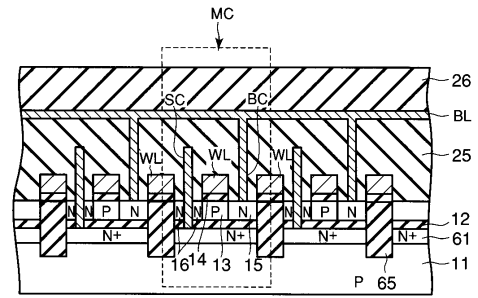
【図23】



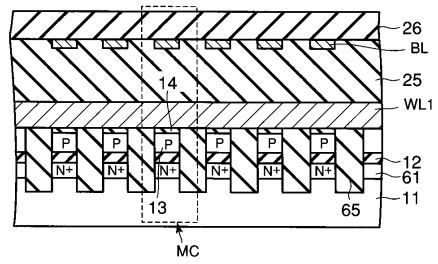
【図25】



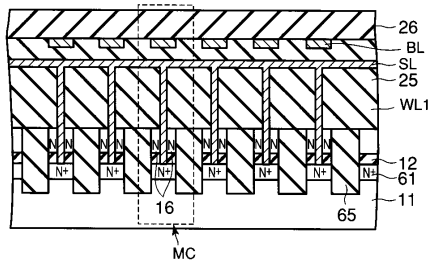
【図26】



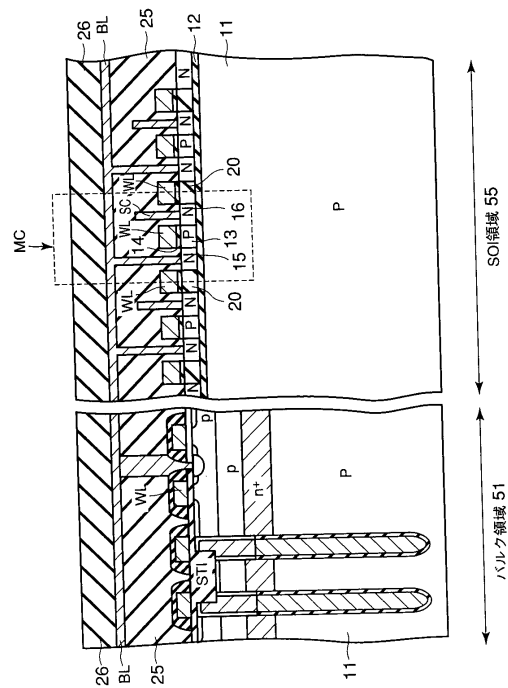
【図27】



【図28】



【図29】



フロントページの続き

- (72)発明者 山田 敬
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 堀口 文男
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 大澤 隆
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 浅尾 吉昭
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

審査官 小森 重樹

- (56)参考文献 特開 2 0 0 2 - 3 4 3 8 8 6 (J P , A)
特開平 1 0 - 0 5 6 1 8 3 (J P , A)
特開 2 0 0 3 - 0 3 1 6 9 6 (J P , A)
特開 2 0 0 3 - 0 3 1 6 9 3 (J P , A)
特開 2 0 0 3 - 3 3 2 5 8 4 (J P , A)
特開 2 0 0 3 - 0 2 3 1 5 9 (J P , A)
特開平 1 0 - 1 0 7 2 1 5 (J P , A)
特開平 0 2 - 2 6 3 4 7 3 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2 4 2
G 1 1 C 1 1 / 4 0 4
H 0 1 L 2 7 / 1 0 8