

(12) 发明专利申请

(10) 申请公布号 CN 102163458 A

(43) 申请公布日 2011.08.24

(21) 申请号 201110036760.4

(22) 申请日 2011.02.12

(30) 优先权数据

029114/2010 2010.02.12 JP

(71) 申请人 株式会社东芝

地址 日本东京都

(72) 发明人 浅野滋博 吉井谦一郎 福富和弘

菅野伸一

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 杨晓光 于静

(51) Int. Cl.

G11C 16/06 (2006.01)

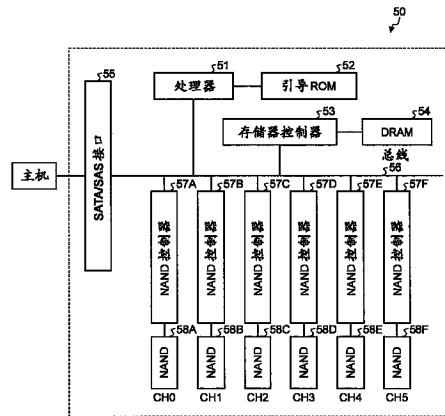
权利要求书 3 页 说明书 15 页 附图 11 页

(54) 发明名称

半导体存储器装置

(57) 摘要

本发明涉及半导体存储器装置。根据一个实施例,一种半导体存储器装置包括数据被请求写入其中的半导体存储器芯片。所述数据具有一个或多个预定单位的第一数据的段。所述装置包括:写控制器,其将所述第一数据和冗余信息写入不同的半导体存储器芯片中,所述冗余信息是通过使用预定数目的所述第一数据的段而计算出的且被用于校正所述预定数目的所述第一数据的段中的错误;以及存储单元,其存储识别信息和区域指定信息以使所述存储识别信息和区域指定信息彼此相关联。所述识别信息使所述第一数据和所述冗余信息相关联,并且所述区域指定信息指定所述半导体存储器芯片中的彼此相关联的所述第一数据和所述冗余信息被写入的多个存储区域。



1. 一种半导体存储器装置,其包括多个半导体存储器芯片,在所述半导体存储器芯片中写入由信息处理设备请求写入的数据,所述数据具有预定单位的一个或多个第一数据的段,

所述装置包括:

写控制器,其被配置为将所述预定单位的所述第一数据的段和冗余信息写入不同的半导体存储器芯片中,所述冗余信息是通过使用预定数目的所述第一数据的段而计算出的且被用于校正所述预定数目的所述第一数据的段中的错误;以及

存储单元,其被配置为在其中存储识别信息和区域指定信息以使所述存储识别信息和所述区域指定信息彼此相关联,所述识别信息使所述预定数目的所述第一数据的段与所述冗余信息相关联,并且所述区域指定信息指定所述半导体存储器芯片中的彼此相关联的所述第一数据的段和所述冗余信息被写入多个存储区域。

2. 根据权利要求 1 的装置,其中所述写控制器将所述第一数据写入多个半导体存储器芯片中的每一个中的已擦除的存储区域中的未写入的位置中。

3. 根据权利要求 1 的装置,还包括:

设定单元,其被配置为基于所述预定单位设定指针,所述指针指向在所述多个半导体存储器芯片中的每一个中的所述已擦除的存储区域中将要进行写入的位置,

其中当进行在所述半导体存储器芯片中的每一个中的写入时,所述设定单元将所述指针更新为指向在进行该写入的位置之后的新位置。

4. 根据权利要求 1 的装置,还包括:

读控制器,其被配置为:

从所述半导体存储器芯片读出由信息处理设备请求读出的数据,

从所述半导体存储器芯片读出预定单位的第二数据,并且当在所述第二数据中存在错误时,参照所述区域指定信息而读出与所述第二数据相关联的不同的第二数据和所述冗余信息,以及

通过使用所述不同的第二数据和所述冗余信息而恢复所述第二数据;以及

发送单元,其被配置为将所述第二数据发送到所述信息处理设备。

5. 根据权利要求 4 的装置,其中所述写控制器将用于检测所述第一数据中的错误的错误检测码被附加至其的所述第一数据写入所述半导体存储器芯片中的存储区域中,并且

所述读控制器包括:

读取单元,其被配置为从所述半导体存储器芯片中的所述存储区域读取所述第二数据;

检测单元,其被配置为通过使用附加到所述第二数据的错误检测码来检测所述第二数据中的错误;以及

恢复单元,其被配置为当检测到所述第二数据中的错误时,通过参照被存储为与所述识别信息相关联的所述区域指定信息而恢复所述第二数据,所述识别信息使所述第二数据与所述不同的第二数据和所述冗余信息相关联。

6. 根据权利要求 1 的装置,其中所述写控制器包括:

分割单元,其被配置为当被请求写入的数据的尺寸大于预定单位时将该数据按所述预定单位分割成多段;

确定单元,其被配置为在所述多个半导体存储器芯片当中确定作为经分割的所述数据的段的所述第一数据的段被分别被写入的半导体存储器芯片;以及

写单元,其被配置为将所述第一数据的段写入由此确定的半导体存储器芯片的存储区域中。

7. 根据权利要求 6 的装置,其中所述确定单元确定所述第一数据的段以循环方式被写入的半导体存储器芯片。

8. 根据权利要求 1 的装置,其中

所述装置接收写入具有在所述信息处理设备中使用的指定逻辑块地址的数据的请求,

所述存储单元在其中存储所述逻辑块地址、所述识别信息、以及所述区域指定信息以使它们彼此相关联,所述区域指定信息是指示出所述第一数据和所述冗余信息在所述半导体存储器芯片中被写入的位置的物理地址,并且

所述装置还包括第一更新单元,其被配置为当响应于写入新数据的请求而写入新的第一数据时,更新所述存储单元以存储所述逻辑块地址与所述新的第一数据的物理块地址之间的关联性,其中在该请求中再次指定与先前的数据请求中指定的逻辑块地址相同的逻辑块地址。

9. 根据权利要求 8 的装置,其中

所述预定单位为页,

所述第一数据的段为在各自的页中的数据,

当进行对应于相同逻辑地址的新写入时,先前进行写入的页是无效的,

所述存储单元还在其中存储位向量,所述位向量指示出在所述存储区域中的哪些页不是无效页,并且

所述装置还包括第二更新单元,其被配置为当进行响应于所述逻辑地址的新写入时更新所述位向量。

10. 根据权利要求 8 的装置,其中所述写控制器通过将所述存储区域中的由所述位向量指示为不是无效的页中写入的所述第一数据写入已擦除的不同的存储区域中而进行无用信息收集。

11. 根据权利要求 10 的装置,其中

对于每个所述第一数据和所述冗余信息之间关联,所述位向量指示出彼此相关联的所述第一数据和所述冗余信息被写入的每个所述半导体存储器芯片中的每个所述存储区域中的哪些页是有效页,以及

所述写控制器以下列方式进行所述无用信息收集,通过根据每个关联的未被无效的页的数目而选择彼此相关联的所述第一数据和所述冗余信息并对于所述第一数据和所述冗余信息被写入的每个所述存储区域将在由所述位向量指示为有效的页中写入的所述第一数据和所述冗余信息写入已擦除的所述不同的存储区域。

12. 根据权利要求 11 的装置,其中在完成了向包括未被无效的页的所述不同存储区域的写入之后,所述写控制器擦除所选择的所述第一数据和所述冗余信息被写入的所述存储区域中的每一个。

13. 根据权利要求 8 的装置,其中

所述写控制器将所述逻辑地址被附加至其的所述第一数据写入所述半导体存储器芯

片中的存储区域中,以及

当通过进行所述无用信息收集而将在未被无效的页中所写入的所述第一数据写入所述不同的存储区域中时,所述第一更新单元更新所述存储单元以存储被附加到所述第一数据的所述逻辑地址与新的物理地址之间的关联性,所述新的物理地址指示出所述第一数据在不同的存储区域中被写入的位置。

## 半导体存储器装置

[0001] 相关申请的交叉引用

[0002] 本申请基于并要求 2010 年 2 月 12 日提交的在前的日本专利申请 2010-029114 的优先权；在此通过参考引入其全部内容。

### 技术领域

[0003] 本文中描述的实施例一般而言涉及半导体存储器装置。

### 背景技术

[0004] 公知在半导体存储芯片中会发生概率性故障 (probabilistic failure)。这些故障包括诸如由  $\alpha$  束引起的软错误的存储器基元 (memory cell) 故障以及诸如在读电路或输入 / 输出缓冲器 (I/O 缓冲器) 中的故障的较大单位故障。对于存储器基元故障, 通常, 通过将诸如错误校正码 (ECC) 的冗余数据附加到数据上, 可以以预定的单位将由故障引起的错误数据校正在预定数目的错误内。对于诸如在读电路或 I/O 缓冲器中的故障的较大单位故障, 错误的数目极大, 因而难以通过现实的电路规模进行错误校正。

[0005] 在采用多个硬盘驱动器 (HDD) 的系统中, HDD 中的故障成为问题。公知廉价盘冗余阵列 (RAID) 是用于通过使用由多个 HDD 构成的错误校正码来解决基于 HDD 单位的这种故障的技术 (参见, 例如, " A Case for Redundant Arrays of Inexpensive Disks (RAID) ", UC Berkeley Technical Report UCB/CSD-87-391, 1987)。在该技术中, 通过将数据写入多个 HDD 并将通过使用该数据获得的冗余信息存储到 HDD 之一中, 由所述多个 HDD 构成错误校正码。作为当多个 HDD 出现故障时利用 RAID 恢复数据的方法, 还已知其中使用里德所罗门码 (Reed Solomon code) 的方法 (参见, 例如, " A Tutorial on Reed-Solomon Coding for Fault-Tolerance in RAID-like Systems ", James S. Plank, Technical Report CS-96-332, Department of Computer Science University of Tennessee)。

[0006] 然而, 在使用大量半导体存储芯片作为存储器芯片的半导体存储器装置中, 即使使用错误校正码 (ECC) 来修复存储器基元故障, 也不能防止存储器芯片的故障。结果, 其会变成半导体存储器装置的故障。为了解决存储器芯片的故障, 考虑以类似于 HDD 的方式由多个存储器芯片构成错误校正码。然而, 在该方法中, 对于每个写操作, 为了更新冗余信息, 进行对其中写入了冗余信息的存储器芯片的写入。具体而言, 在 HDD 的 RAID 中, 例如, 当错误校正码由数据被写入其中的四个 HDD A、B、C 和 D 以及冗余信息被写入其中的一个 HDD P 构成时, 如下进行写操作。如果数据被写入 HDD A、B、C 和 D 当中的 HDD A 中, 则同样进行向 HDD P 的写入, 以更新冗余数据。

[0007] 同时, 用于半导体存储器装置的 NAND 型半导体存储器元件 (称为 NAND 存储器) 被广泛用作固态驱动器 (SSD) 的半导体存储器芯片, 这是因为每位的面积小且其是非易失性的, 但公知写入次数受到限制。因此, 需要减少写入次数以增加半导体存储器装置的设计寿命。

[0008] 同样, 在应用使用这样的 NAND 存储器代替 HDD 的 RAID 技术的情况下, 每次写入数

据,要进行包括写入冗余信息 P 的两次写入操作,此外,在将数据写入到 HDD B、C、D 时还要将冗余信息写入到 HDD P,从而对于将数据写入到 HDD A、B、C 以及 D 的写入操作而言,要进行四次将冗余信息写入到 HDD P 的写入操作。为了防止仅仅 HDD P 被耗用四次,可以采用 RAID 技术中的 RAID5。在 RAID5 中,冗余信息没有被固定到 HDDP,而是将五个 HDD A、B、C、D 以及 P 用于冗余信息。因此,可以防止仅仅一个 NAND 存储器相比于其他 NAND 存储器被更多地耗用。然而,在写入数据时,对于数据和冗余信息要相似地进行两次写入操作。因此,仍然存在半导体存储装置的设计寿命缩短的问题。

## 发明内容

[0009] 本发明的一个目的为提供一种半导体存储器装置,其能够处理半导体存储器芯片的故障并改善可靠性,同时还抑制了向半导体存储器芯片写入数据的次数的增加。

[0010] 根据一个实施例,一种半导体存储器装置包括多个半导体存储器芯片,在所述半导体存储器芯片中描述由信息处理设备请求写入的数据。所述数据具有一个或多个预定单位的第一数据的段。所述半导体存储器装置包括:写控制器,其被配置为将所述预定单位的所述第一数据的段和冗余信息写入不同的半导体存储器芯片中,所述冗余信息是通过使用预定数目的所述第一数据的段而计算出的且被用于校正所述预定数目的所述第一数据的段中的错误;以及存储单元,其被配置为在其中存储识别信息和区域指定信息以使所述存储识别信息和所述区域指定信息彼此相关联,所述识别信息使所述预定数目的所述第一数据的段和所述冗余信息相关联,并且所述区域指定信息指定所述半导体存储器芯片中的彼此相关联的所述第一数据和所述冗余信息被写入的多个存储区域。

[0011] 根据具有上述配置的半导体存储器装置,在抑制了向半导体存储器芯片写入数据的次数的增加的同时,还处理了半导体存储器芯片的故障并改善可靠性。

## 附图说明

[0012] 图 1 是示例出实施例的半导体存储装置 50 的硬件配置的图;

[0013] 图 2 是用于说明压缩的概念图;

[0014] 图 3 是示例出半导体存储装置 50 的功能配置的图;

[0015] 图 4 是示例出正向查找表的数据配置的图;

[0016] 图 5 是示例出位向量表的数据配置的图;

[0017] 图 6 是示例出将被写入的数据的图;

[0018] 图 7 是用于说明通过循环 (round-robin) 方式进行的写操作的图;

[0019] 图 8 是用于说明错误校正码的配置的图;

[0020] 图 9 是示出写入将被写入的数据的过程的流程图;

[0021] 图 10 是示例出随着时间的流逝写入将被写入的数据的状态的图;

[0022] 图 11 是示出读取数据的过程的流程图;

[0023] 图 12 是示出恢复其中出现异常的数据的状态的图;以及

[0024] 图 13 是示出压缩处理的过程的流程图。

## 具体实施方式

[0025] 下面将参考附图详细描述半导体存储装置的示例性实施例。

[0026] 将参考图 1 描述根据本实施例的半导体存储器装置的硬件配置。半导体存储器装置 50 包括处理器 51、引导只读存储器 (ROM) 52、SATA/SAS 接口 55、存储器控制器 53、动态随机存取存储器 (DRAM) 54、NAND 控制器 57A 到 57F、多个半导体存储器元件 (NAND) 58A 到 58F、以及连接这些部件的总线 56。在不需将 NAND 控制器 57A 到 57F 彼此区分开的情况下, 可将它们简单地描述为 NAND 控制器 57。在不需将半导体存储器元件 58A 到 58F 彼此区分开的情况下, 可将它们简单地描述为半导体存储器元件 58。

[0027] SATA/SAS 接口 55 在处理器 51 的控制下控制与作为半导体存储器装置 50 的高级设备的主机的通信。引导 ROM 52 存储在电源接通时执行的程序。在半导体存储器元件 58 中存储各种系统程序。处理器 51 在电源接通时从引导 ROM 52 读取程序, 执行该程序, 根据该程序将存储在半导体存储器元件 58 中的各种系统程序传送到 DRAM 54, 并执行 DRAM 54 上的系统程序, 从而控制整个半导体存储器装置 50 以实现各种功能。具体地, 处理器 51 解释通过 SATA/SAS 接口 55 从主机发送的命令, 并根据该命令控制数据向半导体存储器元件 58 的写入和数据从半导体存储器元件 58 的读取。

[0028] 存储器控制器 53 控制 DRAM 54。DRAM 54 存储各种数据和各种程序。在实施例中, DRAM 54 存储稍后描述的正向查找表和位向量表。NAND 控制器 57 控制半导体存储器元件 58 并包括误差校正电路。

[0029] 半导体存储器元件 58 对应于半导体芯片。例如, 其是在 NAND 型闪速存储器中使用的存储器元件。这样的半导体存储器元件 58 不能随机读 / 写, 而是以称为页的单位进行读 / 写。多个页形成以所谓的块为单位的存储区域。这里假定一页由 4KB 构成, 而一块由 64 页形成。每个半导体存储器元件 58 由多个块构成。在实施例中, 如图 1 所示, 半导体存储器元件 58 的数目为六个。将信道 (CH0 到 CH5) 分别分配给半导体存储器元件 58A 到 58F。将这些信道当中的信道 (CH5) 分配作为在其中写入冗余信息的信道, 将其他信道 (CH0 到 CH4) 分配作为在其中写入由主机请求写入的数据的信道。使用信道 CH0 到 CH5 的页作为集合以构成错误校正码。信道 CH0 到 CH4 分别对应于半导体存储器元件 58A 到 58E, 而信道 CH5 对应于半导体存储器元件 58F。如稍后所述, 在由主机请求写入的数据大于页尺寸的情况下, 半导体存储器装置 50 将数据分割成多个段, 并将以页为单位分割的数据 (称为, 分割的数据段) 分配并写入各自的信道 CH0 到 CH4。即, 在实施例的基本配置中, 半导体存储器装置 50 将请求以预定单位写入的预定数目的数据段以及通过使用各数据段计算出的用于校正各数据段的错误的冗余信息分别写入到不同的半导体存储器元件 58 中, 从而由这些数据 and 冗余信息构成错误校正码。作为错误校正码, 例如, 使用奇偶校验码。

[0030] 这里, 将描述用于写入半导体存储器元件 58 的写入方法。NAND 型半导体存储器元件通常采用日志结构 (log-structured) 方法。在日志结构方法中, 在写入之前需要擦除块。块擦除是要将构成块的所有位都设定为“1”。半导体存储器装置 50 以块为单位进行这种擦除, 并以页为单位进行向已擦除的块的写入。因此, 在 NAND 型半导体存储器元件 58 中, 可以将数据顺序地写入在已擦除的块中的未写入的页, 而已写入的页不能被添加页。通过在主机中使用的逻辑块来指示响应于来自主机的请求的数据写入。另一方面, 数据和冗余信息向半导体存储器元件 58 的写入是以页的升序根据半导体存储器元件 58 的物理块地

址进行的而与逻辑块地址无关。物理块地址与逻辑块地址之间的关联被存储在稍后描述的正向查找表中。当在先前数据请求中指定的逻辑块地址被再次指定的情况下由主机请求写入新数据时,半导体存储器装置 50 将该新数据写入已擦除块的未写入的页。在该情况下,将先前对其进行对应于该逻辑块地址的写入的页设定为无效,并将对其写入新数据的页设定为有效。半导体存储器装置 50 在构造上述错误校正码的同时写入新数据和冗余信息。

[0031] 在该日志结构方法中,当通过连续写入而增加被无效的页数时,在半导体存储器元件 58 中可实现写入的容量(称为可实现的容量)变小。在信息可被写入的新擦除的块的数目(即,在擦除之后尚未写入信息的块(称为空闲块)的数目)减少的时刻,不能确保构成错误校正码的块的组(称为逻辑块),出现写入不可能状态。为了防止该情况,在半导体存储器装置 50 中,在适当的时机进行无用信息收集(garbage collection)。在半导体存储器元件 58 中进行的无用信息收集将被特别地称为压缩。图 2 为用于解释压缩的概念图。半导体存储器装置 50 收集在包含被无效的页的块中的未被无效的逻辑块地址中写入的数据(称为有效数据),并将所收集的有效数据重新写入空闲块中,从而将有效数据移动到空闲块。之后,半导体存储器装置 50 擦除这些块从而产生新的空闲块。在半导体存储器装置 50 中,通过进行这样的压缩,不可写入的块重新变为可写入的,这允许保留空闲块。也就是,通过进行压缩而产生新的空闲块。此外,如果由于移动数据而在有效数据被写入的块中存在未写入的页,则数据被重新写入剩余的未写入的页。

[0032] 需要至少一个空闲块以进行这样的压缩,这意味着在 NAND 型半导体存储器元件 58 中实施的容量(称为实施容量)小于写入可被实际实现的容量。在实施例,实施容量和可实现容量之间的差称为备用容量。当备用容量小时,半导体存储器装置 50 必须频繁地进行压缩,这对其操作有很大的影响。参考图 2,已经描述了基于块单位的压缩。在实施例,逻辑块是基本单位,因此为每个信道保留空闲块以构成逻辑块,并且基于逻辑块单位进行压缩。

[0033] 接下来,将参考图 3 描述在半导体存储器装置 20 中实现的功能。半导体存储器装置 50 包括主机接口单元 60、缓冲器控制器 61、地址转译单元 62、CH 分配单元 63、压缩候补检测器 64、管理表更新单元 65、NAND 控制器 66A 到 66F、数据缓冲器 67、压缩读取队列(queue)68 以及管理表 69。通过由处理器 51 执行程序 and SATA/SAS 接口 55 的功能来实现主机接口单元 60 的功能。当处理器 51 执行程序时,实现地址转译单元 62、CH 分配单元 63、管理表更新单元 65、压缩候补检测器 64、以及缓冲器控制器 61 的功能。NAND 控制器 66A 到 66F 的功能分别对应于 NAND 控制器 57A 到 57F,并通过处理器 51 执行程序和分别对应于 NAND 控制器 66A 到 66F 的 NAND 控制器 57A 到 57F 的功能而实现。NAND 控制器 66A 到 66F 以一对一对应的方式分别对应于信道 CH0 到 CH5 被分配给的半导体存储器元件 58A 到 58F。在不需使 NAND 控制器 66A 到 66F 彼此区分开的情况下,可将它们简单地描述为 NAND 控制器 66。数据缓冲器 67、压缩读取队列 68 以及管理表 69 为例如存储在 DRAM 54 上的信息。

[0034] 主机接口单元 60 是控制主机与半导体存储器装置 50 之间的通信的接口。主机接口单元 60 接收从主机发送的命令。当该命令请求写入具有指定的逻辑块地址的数据时,主机接口单元 60 将该命令(称为写命令)发送到稍后描述的地址转译单元 62。当被请求写入的数据的尺寸等于或小于页尺寸时,主机接口单元 60 将该数据发送到稍后描述的缓冲器控制器 61。当该数据的尺寸大于页尺寸时,主机接口单元 60 将该数据分割成多个页单位的段并将由此分割的数据(称为经分割的数据段)发送到缓冲器控制器 61。这是因为,逻



辑块地址与物理块地址之间的转译是基于页单位进行的。例如,主机接口单元 60 将 128KB 的数据分割成 32 段 4KB 的数据。为了便于描述,将响应于写命令而发送到缓冲器控制器 61 的数据或经分割的数据段称为写目标数据。

[0035] 在从主机发送到命令请求读取具有指定的逻辑块地址的数据的情况下,如果被请求读取的数据的尺寸等于或小于页尺寸时,主机接口单元 60 将该命令(称为读命令)发送到地址转译单元 62。在被请求读取的数据的尺寸大于页尺寸时,主机接口单元 60 将请求基于页单位读取数据的命令(读命令)发送到地址转换器 62。主机接口单元 60 通过使用由从主机发送的命令指定的逻辑块地址而计算要被读取的每段数据的逻辑块地址,并将请求读取具有所计算出的逻辑块地址的数据的读命令发送到地址转译单元 62。主机接口单元 60 通过稍后描述的缓冲器控制器 61 读出将被读取的存储在读取缓冲器 67 中的指定区域中的数据,并将其发送到主机。

[0036] 管理表 69 包括正向查找表和位向量表。正向查找表在其中存储彼此相关联的识别信息和区域指定信息。识别信息用于使将被写入的数据和冗余信息相关联,而区域指定信息指定在半导体存储器元件 58 中的多个存储区域,彼此相关联的将被写入的数据和冗余信息被写入所述多个存储区域中。正向查找表指示出将被写入的数据的逻辑地址与物理地址之间的关联,该物理地址指示出将被写入的数据在半导体存储元件 58 中的物理存储位置。在指定物理地址时使用这样的正向查找表,该物理地址指示出半导体存储元件 58 上的在其中存储对应于由主机指定的逻辑地址的数据的位置。图 4 是示出正向查找表的数据配置的图。如图 4 中所示,正向查找表具有 LBA 表和逻辑到物理转换表。LBA 表包括作为索引的逻辑地址和条目(entry),条目包括信道号码、赋予页的页号码、以及赋予在其中存储数据的逻辑块的逻辑块号码。

[0037] 逻辑块号码是使写目标物理块与冗余信息物理块彼此相关联的识别信息。逻辑块号码是唯一的号码,其被以产生它们的顺序赋予每一个的块。在该实施例中信道号码是 CH0 到 CH4,并且指示出包括与逻辑块地址相关联的数据被存储于其中的物理块的半导体存储器元件 58 被连接到哪一个信道。页号码指示出与该逻辑块地址相关联的数据被存储在由逻辑块号码和信道号码识别的物理块的哪一页。例如,可以以物理块地址的顺序提供页号码,或者物理块地址本身可以被提供作为页号码。

[0038] 逻辑-物理转译表是指定在半导体存储器元件 58 中指定多个存储区域的区域指定信息,写目标数据和冗余信息将被写入所述多个存储区域,并且,该逻辑-物理转译表在其中存储逻辑块号码和与该逻辑块相关联的信道的物理块以使它们彼此对应。逻辑到物理转译表在其中存储作为索引的逻辑块号码,并且存储与该逻辑块相关联的信道的物理块的地址(物理块地址)。在这样的配置中,使用在与一个逻辑块地址对应的 LBA 中的条目中所存储的逻辑块号码作为索引,利用该索引指定与该逻辑块相关的逻辑到物理转译表中的条目。接下来,从逻辑到物理转译表中的条目中所存储的物理块当中指定这样的半导体存储器元件 58 中的物理块,该半导体存储器元件 58 被连接到在 LBA 表中的条目中所记录的信道号码的信道。利用在 LBA 表中的条目中所包括的页号码来指定这样的页,与逻辑块地址对应的数据被写入该页中。

[0039] 如上所述,基于页单位在信道 CH0 到 CH4 中存储由主机请求的将被写入的数据,并且在信道 H5 中写入将被附加以构成错误校正码的冗余信息的冗余信息。因此,冗余信息被写入由逻辑

到物理转译表中的每个条目指示的信道 CH5 的物理块地址的存储区域中。由于不存在对应于冗余信息的逻辑块地址,因此与该冗余信息有关的条目未被记录在 LBA 表中。关于冗余信息的信息被记录在逻辑到物理转译表中的条目中。每次在半导体存储器元件 58 中写入写目标数据和冗余信息时,更新正向查找表。稍后将描述如何更新正向查找表。

[0040] 接下来,将参考图 5 描述位向量表。位向量表是这样的表,其以物理块的顺序以二值表示在与逻辑块相关联的物理块当中的在信道 CH0 到 CH4 中的每个信道上的每个物理块中的哪个页是有效数据被写入的页(称为有效页)。每个页的该二值表示称为位向量。如果位向量的值为“1”,这意味着该页是有效页,而如果位向量的值为“0”,这意味着该页不是有效页(无效)。在初始状态下,位向量的值都被设定为“0”。

[0041] 在实施例中,在与逻辑块相关联的物理块当中,写目标数据被写入的信道为五个信道 CH0 到 CH4,并且,如果假设一个物理块包括 64 个页,则一个逻辑块包括 320 个页。因此,对应的位向量的数目为每逻辑块 320 个。如图 5 所示,对于每个逻辑块,位向量表包括作为其索引的上述逻辑块号码、位向量、以及计数器,其中位向量与在信道 CH0 到 CH4 的每个物理块中所包括的每个页相关联,而这些物理块与逻辑块号码将被赋予其的逻辑块相关联。在实施例中,提前将逻辑到物理转译表中的条目和位向量表中的位向量设置为使逻辑到物理转译表中的索引匹配位向量表中的索引。在图 5 中,以信道 CH0 到 CH4 的每个物理块的页的顺序设置位向量,使得从左边开始为 CH0 的第一页、第二页、.....、CH0 的最后一页、CH1 的第一页、第二页、.....、CH1 的最后一页等等。计数器表示其值为“1”的位向量的总数目。由于其对应的位向量具有值“1”的页是有效页,因此计数器表示在逻辑块中的有效页的数目。在这样的配置中,每次主机请求写入数据时,更新位向量表。稍后将描述如何更新位向量表。

[0042] 返回去参考图 3 进行描述。地址转译单元 62 接收来自主机接口单元 60 的命令。当该命令是读命令时,地址转译单元 62 使用由该读命令指定的逻辑块地址而参照管理表 69 中的正向查找表,并且确定信道和由该读命令请求读取的数据被写入的页的物理块地址。地址转译单元 62 指定信道和物理块地址,并将请求读取数据的命令通过 CH 分配单元 63 而发送到 NAND 控制器 66。相反地,当从主机接口单元 60 接收到的命令为写命令时,地址转译单元 62 将写命令发送到稍后描述的 CH 分配单元 63。

[0043] 响应于在稍后描述的压缩读取队列 68 中存储的压缩读命令,地址转译单元 62 通过参照正向查找表而将请求读取在具有由压缩读命令指定的物理地址的有效页中的数据(有效数据)的命令发送到与这样的信道对应的 NAND 控制器 66,具有包括该有效页的物理块的半导体存储器元件 58 被连接到该信道。通过 NAND 控制器 66 从半导体存储器元件 58 读出该有效数据,并通过缓冲器控制器 61 将该有效数据存储于数据缓冲器 67 中。地址转译单元 62 将请求写入该有效数据的命令(称为压缩写命令)发送到 CH 分配单元 63。

[0044] CH 分配单元 63 接收来自地址转译单元 62 的命令,并且当该命令是写命令时,确定写目标数据将被写入的信道。例如,CH 分配单元 63 在除了向其中写入冗余信息的信道(在该情况下为信道 CH5)之外的信道中以 4KB 为单位以循环的方式进行写操作,并根据循环的次序确定数据被写入的信道。然后,CH 分配单元 63 将请求写入该写目标数据的命令发送到与所确定的信道对应的 NAND 控制器 66。相反地,在请求读取具有由来自地址转译单元 62 的命令指定的信道和制定的物理块地址的数据的情况下,将请求读取具有所指定的物理

块地址的数据的命令发送到与该指定的信道对应的 NAND 控制器 66。在从地址转译单元 62 接收到的命令为压缩写命令的情况下，CH 分配单元 63 根据循环的次序确定数据将被写入的信道，并将请求写入有效数据的命令发送到与所确定的信道对应的 NAND 控制器 66。

[0045] NAND 控制器 66 接收来自 CH 分配单元 63 的命令，并根据该命令访问对应的半导体存储器元件 58。具体地，当该命令请求写入数据时，NAND 控制器 66 通过缓冲器控制器 61 而获得写目标数据，并将该写目标数据写入半导体存储器元件 58。在写入时，NAND 控制器 66 将写入指针设定为顺序地逐页指向对应的半导体存储器元件 58 的已擦除块中的未写入的页当中的写入位置，将写目标数据写入在由写入指针指向的位置处的页，然后更新该写入指针以指向作为在经历了写入了页之后的下一页的未写入的页的位置。因此，写入指针的值改变以顺序地指向下一个写入位置。例如，当每个信道中由 15 位的物理块地址识别块且块包括 64 页时，写入指针具有总共  $15 \times 6 = 21$  个位。

[0046] 这里，下面将描述写目标数据和冗余信息的数据配置。NAND 控制器 66 将错误校正码（称为页 ECC）和由写命令指定的逻辑块地址附加到写目标数据，该错误校正码用于检测和校正写目标数据本身的错误。假定页 ECC 包括诸如用于检测数据错误的 CRC 码和用于校正数据错误的 ECC 码的代码。页 ECC 还包括 CRC 码的原因在于，存在当数据被校正为错误数据的失误校正的可能性。图 6 是示例出冗余信息被附加至其的写目标数据的图。在如上所述确定的信道的半导体存储器元件 58 中，NAND 控制器 66 将这样的页 ECC 和逻辑块地址被附加至其的写目标数据写入在如上所述确定的每个信道中的半导体存储器元件 58 中的写入指针所指向的页。写目标数据具有页单位的尺寸。假定半导体存储器元件 58 的页尺寸等于包括写目标数据以及所附加的页 ECC 和逻辑块地址的整个数据的尺寸。基于由写命令指定的逻辑块地址通过每个 NAND 控制器 66 来计算每个经分割的数据段的逻辑块地址。相反地，与 CH5 对应的 NAND 控制器 66F 将用于检测和校正冗余信息本身的错误的页 ECC 附加到冗余信息，所计算的用于构成错误校正码的冗余信息被写入该信道 CH5。NAND 控制器 66 将页 ECC 被附加至其的冗余信息写入由写入指针指向的半导体存储器元件 58F 中的页中。

[0047] 接下来，将描述通过循环处理将作为写目标数据的多个经分割的数据段写入信道 CH0 到 CH5。图 7 是用于说明由循环处理进行的写入的图。为了简化该图，未示出附加到经分割的数据段的逻辑块地址。如图所示，以循环方式从信道 CH0 到信道 CH4 顺序地写入经分割的数据段，写入的方式使得第一经分割的数据 D1 在时刻 T1 被写入信道 CH0 且下一经分割的数据 D2 在时刻 T2 被写入信道 CH1。当经分割的数据 D5 在时刻 T5 被写入信道 CH4 时，计算在时刻 T1 被写入信道 CH0 的经分割的数据 D1、在时刻 T2 被写入信道 CH1 的经分割的数据 D2、在时刻 T3 被写入信道 CH2 的经分割的数据 D3、在时刻 T4 被写入信道 CH3 的经分割的数据 D4 的奇偶性 p 以及在时刻 T5 被写入信道 CH4 的经分割的数据 D5 的奇偶性 P 作为冗余信息，并且将该冗余信息 P 写入信道 CH5 中。在进一步写入经分割的数据段时，以循环的方式从 CH0 开始顺序地写入数据。通过以循环的方式写入经分割的数据段，均匀地进行对信道的写入操作。在该图的实例中，示出了随着时间的流逝按信道的次序写入数据的状态。然而，本发明不限于该实例。数据可以被同时写入两个或更多个信道。

[0048] 接下来，将参考图 8 描述错误校正码的配置。为了便于说明，在该图中，未示出附加到将被写入每个信道 CH0 到 CH4 的经分割的数据段的逻辑块地址。如图 8 所示，对应于信道 CH5 的 NAND 控制器 66F 计算在信道 CH0 到 CH4 中写入的数据段中的相同偏移位置处

的字节 的异或,并将由此计算出的值作为冗余信息写入信道 CH5 的半导体存储器元件 58F 中的相同偏移位置中。即,错误校正码由在信道 CH0 到 CH5 的相同偏移位置处的字节构成。

[0049] 返回去参考图 3 进行描述。当从 CH 分配单元 63 接收到的命令请求读取具有指定的物理块地址的数据时,NAND 控制器 66 使用该物理块地址从与半导体存储器元件 58 中的该物理块地址对应的位置读出数据,并将读出的数据发送到缓冲器控制器 61。如果在从半导体存储器元件 58 读出的数据中存在错误,则 NAND 控制器 66 检测并校正该错误。稍后将描述检测和校正数据错误的方法。当从地址转译单元 62 接收到的命令请求读取具有指定的物理块地址的有效页中的数据(有效数据)时,NAND 控制器 66 通过使用该物理块地址读出在半导体存储器元件 58 中的与该物理块地址对应的页中写入的数据,并将读出的数据存储在数据缓冲器 67 中。当从 CH 分配单元 63 接收到的命令请求写入有效数据时,NAND 控制器 66 通过缓冲器控制器 61 检索(retrieve)写目标有效数据,并将该有效数据写入半导体存储器元件 58。

[0050] 压缩候补检测器 64 参照包括在管理表 69 中的位向量表,确定要作为用于压缩的候补的逻辑块,并将这样的命令(称为压缩读命令)发送到压缩读取队列 68,该命令指定逻辑块中的有效页的物理块地址并请求读取该有效页。

[0051] 数据缓冲器 67 是用于存储写目标数据的缓冲器。压缩读取队列 68 是存储请求读取用于压缩的有效页的命令的先进先出缓冲器。

[0052] 缓冲器控制器 61 管理作为多个区域的数据缓冲器 67,并管理其中存储了对应于该命令的数据的区域。具体地,缓冲器控制器 61 响应于写命令而将从主机接口单元 60 发送的写目标数据存储在数据缓冲器 67 中,并将该写目标数据发送到与由 CH 分配单元 63 确定要写入的信道对应的 NAND 控制器 66。通过 NAND 控制器 66 将该写目标数据写入半导体存储器元件 58 中。响应于读命令,缓冲器控制器 61 将从 NAND 控制器 66 发送的数据存储在数据缓冲器 67 中的指定区域中,然后将该数据发送到主机接口单元 60。通过主机接口单元 60 将该数据发送到主机。响应于压缩读命令,缓冲器控制器 61 通过 NAND 控制器 66 将从半导体存储器元件 58 读出的数据存储在数据缓冲器 67 中。

[0053] 在从主机接收到请求写入具有指定的逻辑块地址的数据的命令(写命令)的情况下,管理表更新单元 65 参照正向查找表,更新位向量表,并进一步更新正向查找表。具体地,管理表更新单元 65 首先参照正向查找表以查找对应于该逻辑块地址的物理块地址。即,管理表更新单元 64 查找与该逻辑地址相关联的数据已被写入物理块的哪个页中。如果在正向查找表中未存储与该逻辑地址相关联的物理块地址,则尚未进行与该逻辑地址相关联的数据的写入。在该情况下,管理表更新单元 65 将位向量表中的对应于与该逻辑块地址相关联的写目标数据被写入的页的位向量的值设定为“1”。由写入指针指向写目标数据被写入的页。管理表更新单元 65 使与包括该页的物理块相关联的逻辑块中的有效页的数目的计数器的值增加 1。

[0054] 相反地,如果当管理表更新单元 65 参照正向查找表时与该逻辑块地址相关联的物理块地址存在于正向查找表中,则在之前已进行了与该逻辑块地址相关联的数据的写入。在该情况下,由于用于本次写入的写命令,需要使之前写入的数据无效。为了该目的,管理表更新单元 65 将与这样的物理块地址处的页对应的位向量的值设定为“0”,该物理块地址处的页被存储在用于由写命令指定的逻辑块地址而参照的正向查找表的条目中。另外,

管理表更新单元 65 使指示出与包括该页的物理块相关联的逻辑块中的有效页的数目的计数器的值减小 1。管理表更新单元 65 将与写目标数据要被写入的页对应的位向量的值设定为“1”，并使与包括该页的物理块相关联的逻辑块中的有效页的数目的计数器的值增加 1。通过每次在进行数据的写入时都进行更新，位向量表和有效页的数目的计数器总是指示出有效页的位置及其数目。最后，管理表更新单元 65 在正向查找表中的与该逻辑块地址对应的条目中记录写目标数据被写入的物理块地址。

[0055] 接下来，将描述根据实施例由半导体存储器装置 50 进行的处理的过程。首先，将参考图 9 描述响应于来自主机的写命令通过半导体存储器装置 50 在半导体存储器元件 58 中写入写目标数据的过程。在开始写之前，半导体存储器装置 50 提前保留用于信道的空闲块。当从主机接收到请求写入具有指定的逻辑块地址的数据的写命令（步骤 S1）时，半导体存储器装置 50 在每个信道中选择一个空闲块并通过使信道 CH0 到 CH5 的空闲块相关联而构成逻辑块。当从主机接收到请求写入具有指定的逻辑块地址的数据的写命令且在当前逻辑块中没有剩下未写入的页时，则半导体存储器装置 50 会获取空闲块。当在当前逻辑块中剩下任何未写入的页时，半导体存储器装置 50 不获取空闲块并将数据写入该逻辑块中的未写入的页中。半导体存储器装置 50 将一逻辑块号码赋予该逻辑块并将作为索引的该逻辑块号码以及信道中的物理块的与该逻辑块相关联的各物理块地址记录到逻辑到物理转译表中。此时，半导体存储器装置 50 设置逻辑到物理转译表条目的分类顺序（sorting order）、逻辑到物理转译表条目中的信道中的物理块的物理块地址的分类顺序、以及位向量表中的位向量，以便可通过使用逻辑到物理转译表中的索引来参照与该逻辑块相关联的每个物理块的位向量。半导体存储器装置 50 为每个信道设定用于指示数据将被写入的每个物理块的页的写入指针以及在每个物理块中的与该逻辑块相关联的物理块地址。在开始写之前，半导体存储器装置 50 将每个信道的写入指针设定为指向该信道的头部处的物理块的第一页。

[0056] 半导体存储器装置 50 确定由写命令请求写入的数据的尺寸是否等于或小于页尺寸（步骤 S2）。在页尺寸等于或小于页的尺寸（步骤 S2 中的是）的情况下，半导体存储器装置 50 在数据缓冲器 67 中存储数据（写目标数据）（步骤 S4）。相反地，在由写命令请求写入的数据的尺寸大于页尺寸（步骤 S2 中的否）的情况下，半导体存储器装置 50 将该数据分割为以页为单位的多个段（步骤 S3）并将经分割的数据段（写目标数据）记录到数据缓冲器 67 中（步骤 S4）。

[0057] 半导体存储器装置 50 基于由写命令指定的逻辑块地址而参照正向查找表，并且当在其中已经记录了与写目标数据的逻辑块地址对应的物理块地址时，半导体存储器装置 50 在例如 DRAM 54 中存储该物理块地址作为旧物理块地址（步骤 S5）。半导体存储器装置 50 以循环方式确定写目标数据将被写入的信道（步骤 S6）并将具有附加至其的页 ECC 和逻辑块地址的写目标数据写入由所确定的信道的半导体存储器元件 58 中的写入指针所指向的页（步骤 S7）。然后，半导体存储器装置 50 将每个信道的写入指针更新为指向在该写目标数据被写入的页之后的下一个未写入的页（步骤 S8）。

[0058] 图 10 是示出随着时间的流逝在信道 CH0 中写入作为写目标数据的经分割的数据段的状态的图。首先，在时刻 t0，保留空闲块。在时刻 t1，将第一经分割的数据 D1 写入在时刻 t0 保留的空闲块中的第一页（位于头部或末端）中。在时刻 t2，以循环方式在信道

CH0 中的第二页中写入新确定的经分割的数据 D6。相似地,在时刻 t3,在第三页中写入经分割的数据 D11。在时刻 t4,在第四页中写入经分割的数据 D16。以这样的方式,在物理块中以升序确定经分割的多段数据被写入的页而与逻辑块地址无关。每次在进行写入时都将写入指针设定为指向以升序将数据写入其中的页。在实施例中,以循环方式均匀地进行对信道的写入操作,从而在每个信道中由写入指针指向的页号码之间的差最大为 1。当在逻辑块中的最后一页上完成了写入时,在各信道中由写入指针指向的页号码是相同的。

[0059] 如上所述,无论由来自主机的写命令指定的逻辑块地址的值如何,都以升序分配写目标数据被写入的页的物理块地址,并且数据被写入这些页中。

[0060] 返回去参考图 9 进行描述。当写入写目标数据时,半导体存储器装置 50 将写目标数据的逻辑块地址与该写目标数据将被写入的页的物理块地址之间的关联性记录到图 4 所示的正向查找表中(步骤 S9)。如果该写目标数据是经分割的数据段,则半导体存储器装置 50 基于由写命令指定的逻辑块地址而计算经分割的数据段的物理块地址中的每一个。由于经分割的数据段以页为单位,半导体存储器装置 50 计算通过顺序地将页尺寸(4KB)附加到所指定的逻辑块地址而获得的值作为经分割的数据段的逻辑块地址。然后,半导体存储器装置 50 将该逻辑块地址、与写目标被写入的每个信道的物理块相关联的逻辑块的逻辑块号码以及指示出在当前处理中写目标数据被写入的信道和页的信道号码和页号码记录到 LBA 表中。在上述实例中,由更新之前的写入指针的较低的六位指示出页号码,因此可以使用该值作为页号码。每次在进行写目标数据的写入时,半导体存储器装置 50 更新正向查找表,如上所述。

[0061] 此外,半导体存储器装置 50 参照位向量表,将与在步骤 S5 中存储在 DRAM 54 中的旧物理块地址的页对应的位向量的值设定为“0”,并使与包括该页的物理块相关联的逻辑块的有效页的数目的计数器的值减小 1(步骤 S10)。旧物理块地址指示出与由在步骤 S10 中接收到的写命令指定的逻辑块地址相关联的先前向其写入数据的页。此外,半导体存储器装置 50 将与在步骤 S7 中写目标数据被写入的页对应的位向量的值设定为“1”,并使包括该页的逻辑块的有效页的数目的计数器的值增加 1(步骤 S11)。以这样的方式,在写入写目标数据时,半导体存储器装置 50 更新位向量表。

[0062] 在步骤 S7 中,在完成了写目标数据向信道 CH0 到 CH4 的写入之后,半导体存储器装置 50 计算在信道 CH0 到 CH4 中的写目标数据中的相同偏移位置处的字节的异或并将该值写入信道 CH5 中的相同偏移位置中,从而写入冗余信息。或者,半导体存储器装置 50 可在向信道 CH0 到 CH4 写入写目标数据的同时开始计算异或。

[0063] 在写入指针到达所有信道(CH0 到 CH5)中的块的末端并且数据变得不能被新写入该逻辑块中的情况下,半导体存储器装置 50 构造新的逻辑块。构造逻辑块的方法如上所述。向新的逻辑块写入经分割的数据段和冗余信息的方法也如上所述。

[0064] 接下来,将参考图 11 描述半导体存储器装置 50 根据来自主机的读命令而从半导体存储器元件 58 读出数据的过程。当从主机接收到请求读取具有指定的逻辑块地址的数据的读命令(步骤 S20)时,半导体存储器装置 50 确定由读命令请求读出的数据的尺寸是否等于或小于页尺寸(步骤 S21)。在该数据的尺寸等于或小于页尺寸(步骤 S21 中的是)的情况下,半导体存储器装置 50 通过使用由该读命令指定的逻辑块地址而参照正向查找表的 LBA 表并确定逻辑块号码。接下来,半导体存储器装置 50 通过使用所确定的逻辑块

号码而参照逻辑到物理转译表并确定将从其中读出数据的信道、物理块和页（步骤 S23）。半导体存储器装置 50 从对应于所确定的信道的半导体存储器元件 58 中读出数据（步骤 S24）。

[0065] 相反地，在由读命令请求读出的数据的尺寸大于页尺寸（步骤 S21 中的否）的情况下，半导体存储器装置 50 对读取进行分割以使将被读出的数据变为以页为单位的数据段。也就是，半导体存储器装置 50 通过使用由该读命令指定的逻辑块地址而计算将被读出的数据段的逻辑块地址中的每一个（步骤 S22）。半导体存储器装置 50 通过使用计算出的每一个逻辑块地址而参照正向查找表的 LBA 表并确定每一个逻辑块号码。接下来，半导体存储器装置 50 通过使用所确定的逻辑块号码中的每一个而参照逻辑到物理转译表并确定将从其中读出数据的信道、物理块和页中的每一个（步骤 S23）。半导体存储器装置 50 从与所确定的信道对应的半导体存储器元件 58 中读出数据段（步骤 S24）。

[0066] 通过附加到数据的页 ECC 来确保在步骤 S24 中读出的数据的有效性。也就是，半导体存储器装置 50 检测该数据中的错误并通过使用附加到所读出的数据的页 ECC 而加以校正。然而，当存在不能用页 ECC 校正或用页 ECC 失误校正的错误时，存在在半导体存储器元件 58 中发生故障和在数据中发生异常的可能性。在这样的情况下（步骤 S25 中的否），半导体存储器装置 50 通过使用在读出数据时使用的逻辑块地址来参照正向查找表，确定与已从其中读出数据的信道的物理块相关联的逻辑块（步骤 S27），读出在与所确定的逻辑块相关联的其他信道的物理块中写入的其他数据段和冗余信息，并通过使用该其他数据段和冗余信息而恢复包括不可校正的错误的错误的数据。

[0067] 作为实例，图 12 是示出恢复由于在例如信道 CH3 的半导体存储器元件 58 中发生故障而变为异常的数据的状态的图。具体地，半导体存储器装置 50 读出在除了与在步骤 S27 中确定的逻辑块相关联的物理块之外的信道的物理块中写入的其他数据段和冗余信息（在信道 CH0、CH1、CH2 和 CH4 中写入的数据段和在信道 CH5 中写入的冗余信息）以及从其中读出了不能校正的错误数据的物理块。半导体存储器装置 50 通过获得在所述其他数据段和冗余信息中的相同偏移处的异或（即，在相同偏移位置处的按字节的异或）而恢复信道 CH3 中的数据。半导体存储器装置 50 将恢复的数据存储在数据缓冲器 67 中（步骤 S28）并前进到步骤 S29。

[0068] 由于存在在从其中读出错误数据的页中发生异常的高度可能性，半导体存储器装置 50 将恢复的数据重新写入不同的页。半导体存储器装置 50 通过使用在数据的读取时使用的逻辑块地址而更新位向量表和正向查找表。更新表的方法如上所述。作为更新的结果，从其中读出错误数据的页的位向量被更新为“0”，恢复的数据被写入的页的位向量被更新为“1”，并且将恢复的数据被写入的页的物理块地址记录在用于由读命令指定的逻辑块地址的正向查找表的条目中。

[0069] 在步骤 S24 中读出的数据中不存在错误的情况下，半导体存储器装置 50 将该数据存储在数据缓冲器 67 中的指定区域中，并前进到步骤 S29。即使在步骤 S24 中读出的数据中存在错误，半导体存储器装置 50 也可利用页 ECC 校正数据（步骤 S26），将校正后的数据存储在数据缓冲器 67 中的指定区域中，并前进到步骤 S29。在步骤 S29 中，半导体存储器装置 50 将存储在数据缓冲器 67 中的指定区域中的数据发送到主机。

[0070] 当读取由在步骤 S20 中接收到的读命令请求的多个数据段时，半导体存储器装置

50 可根据由该命令指定的逻辑块地址而从与不同的逻辑块相关联的信道的物理块读取数据。由于如上所述在读取数据时可独立地访问这些信道,因此可以响应于来自主机的请求而读出数据,并且可以以高的响应度向主机发送该数据。

[0071] 接下来,将参考图 13 描述把被写入在要经受压缩的逻辑块中的有效数据移动到空闲块的过程。半导体存储器装置 50 将“ $M = 4096$ ”设定为有效页的数目的最大值,并将“ $K = 0$ ”设定为位向量表中的每个逻辑块的条目的索引(步骤 S40)。半导体存储器装置 50 通过参照位向量表而逐一地对每个逻辑块顺序地读出有效页的数目的计数器的值,并确定计数器的值是否小于  $M$ (步骤 S42)。在有效页的数目的计数器的值等于或大于  $M$ (步骤 S42 中的否)的情况下,该装置前进到步骤 S44。在有效页的数目的计数器的值小于  $M$ (步骤 S42 中的是)的情况下,半导体存储器装置 50 用计数器的值来替代  $M$  的值,并在步骤 S41 中将有效页的数目的计数器的值的读取所利用的条目的索引的值设定为  $K$ (步骤 S43),并前进到步骤 S44。

[0072] 在步骤 S44 中,半导体存储器装置 50 确定是否已对位向量表中的所有逻辑块读出了有效页的数目的计数器的值。在对所有逻辑块读出了有效页的数目的计数器的值(步骤 S44 中的否)的情况下,半导体存储器装置 50 使  $K$  的值增加 1(步骤 S45)并返回到步骤 S41。在步骤 S41 中,半导体存储器装置 50 按位向量表中的  $K$  的顺序读出尚未读出的逻辑块中的有效页的数目的计数器的值。相反地,在已对所有逻辑块读出了有效页的数目的计数器的值(步骤 S44 中的是)的情况下,半导体存储器装置 50 将  $K$  的值设定为在逻辑到物理转译表中作为要进行压缩的候补的逻辑块的索引(步骤 S46)。如上所述,由于条目被设置为可使用逻辑到物理转译表的索引来参照位向量表,因此可以使用位向量表中的条目的索引  $K$  作为逻辑到物理转译表中的条目的索引。半导体存储器装置 50 对与在逻辑到物理转译表中的索引  $K$  所指示的条目的逻辑块相关联的信道 CH0 到 CH4 中的每个物理块确定其在位向量表中的位向量指示“1”的页(有效页)中所存储的数据(有效数据),并将所有有效数据读出到数据缓冲器 67。半导体存储器装置 50 提取附加到有效数据的逻辑块地址(步骤 S47)。

[0073] 半导体存储器装置 50 以类似于如上所述响应于写命令而进行数据写入的方式写入在步骤 S47 中读出的每段有效数据。也就是,半导体存储器装置 50 以循环方式从信道 CH0 到 CH4 当中确定有效数据将被写入的信道,并将该有效数据写入由该信道中的半导体存储器元件 58 中的已擦除块中的写入指针指示的页。之后,半导体存储器装置 50 将写入指针更新为指向在该有效数据被写入的页之后的下一未写入的页。基于在信道 CH0 到 CH4 中写入的数据而计算冗余信息,并将该冗余信息写入信道 CH5 中。半导体存储器装置 50 将被附加到写入的有效数据的逻辑块地址与该有效数据被写入的页的物理块地址之间的关联性记录到正向查找表中以更新该表(步骤 S48)。更新正向查找表的方法如上所述。在压缩时,通过更新正向查找表,可以使数据的逻辑块地址与物理块地址之间的关联性总是保持正常。由于逻辑块地址被附加到数据,可以在进行压缩时容易地更新逻辑块地址与数据被写入的物理块地址之间的关联性。

[0074] 当完成了从数据缓冲器 67 读出加载到数据缓冲器 67 的所有有效页中的数据(步骤 S49 中的是)并完成了向半导体存储器元件 58 的写入时,半导体存储器装置 50 对与步骤 S46 中作为要进行的压缩的候补的逻辑块相关联的信道 CH0 到 CH5 中的物理块进行擦除



操作,并完成压缩处理。

[0075] 进行压缩处理的时机可以为例如当通过对逻辑块的构造进行检查而获得的空闲块的数目等于或小于预定数目时的时机。

[0076] 如上所述,在使用多个半导体存储器元件以便即使在半导体存储器元件中的任一个发生故障时也可以对数据进行存取的配置中,基于页单位写入数据。以页单位分割大于页尺寸的数据。之后,将经分割的数据段分配到半导体存储器元件 58 并写入每个半导体存储器元件 58 中的页,以便均匀地进行对半导体存储器元件 58 的写操作。通过将用于被写入多个半导体存储器元件的页中的数据中的冗余信息写入单个半导体存储器元件的页中,由多个半导体存储器元件的页构成错误校正码。基于页单位进行数据读取,并且,当在数据中出现异常时,认为该异常出现在该数据被写入的半导体存储器元件 58 中的页中,通过使用在包括异常页的半导体存储器装置以及其他半导体存储器元件之中构成的错误校正码而恢复数据。

[0077] 通过这样的配置,相对于向多个页(在上述实例中为五个页)的数据写入,可以将用于写入与该数据对应的冗余信息的页抑制为比用于数据写入的页少的页(在上述实例中为一个页)。相比而言,在 HDD 的 RAID 中,相对于一个页的数据写入,与该数据对应的冗余信息的写入为一个页。在实施例,可以将该冗余信息的写入抑制为  $1/N$ (在上述实例中为五分之一)。如上所述,由于在 NAND 型半导体存储器元件中写入次数受到限制,同时抑制了写入冗余信息的次数,因此可以改善半导体存储器装置 50 的可靠性。

[0078] 在 HDD 的 RAID 中,当在数据中出现异常时,认为在其中存储数据的整个 HDD 出现故障,卸下该 HDD,并利用在其中存储故障数据的 HDD 和其他 HDD 之中构成的错误校正码来恢复数据。在实施例,即使当在数据中出现异常,也可以将其处理为作为半导体存储器元件的一部分的块或页的故障,而不是整个半导体存储器元件的故障。因此,还可以处理较小单位的错误。即使当整个半导体存储器元件出现故障,也可以利用在其中存储该故障数据的半导体存储器元件以及其他半导体存储器元件之间构成的错误校正码来恢复在该半导体存储器元件中写入的数据。因此,可以实现极高的可靠性。

[0079] 通过这样的配置,即使当由于在半导体存储器元件中的故障等等而在数据中出现异常,也可以利用错误校正码恢复该数据。因此,可以改善半导体存储器装置 50 的可靠性,并且可以抑制受到限制的半导体存储器元件的写入次数的增加。

[0080] 在实施例,通过提供位向量表,可以高速且有效地进行压缩。为了进行压缩,半导体存储器装置 50 必须识别块中的有效数据被写入其中的有效页,获得对应于该有效页的逻辑块地址,移动该有效数据,并进行使该逻辑块地址与数据被移动到的页的物理块地址相关联的更新处理。可以通过正向查找表进行有效页的识别和物理块地址的更新。然而,正向查找表是通过被优化为使用逻辑块地址作为索引的搜索而构成的。因此,在进行压缩时通过正向查找表对有效页的识别和对物理块地址的更新引起搜索时间的惩罚增加。

[0081] 经历了压缩的逻辑块具有所期望的小的有效页数。其原因在于,通过使用压缩而移动有效页,获得了许多空闲块。为了选择具有小的有效页数目的逻辑块,可以选择具有其值为“1”的位向量的小数目的条目。为了对其值为“1”的位向量的数目进行计数,例如,可以提供群体(population)计算(总之,对其值为“1”的位的数目的计数)。然而,当条目的位宽度大(在该实例中为 320 位)时,难以计算一个周期中的位的数目。因此,在实施例

中,半导体存储器装置 50 根据位向量的值的变化来更新图 5 所示的有效页的数目的计数器的值。在检索要经历压缩的逻辑块时,通过检索在位向量表中具有有效页的计数器的最小数目的条目,获得该逻辑块。可以通过一次读取与所有逻辑块有关的条目的有效页的数目的计数器的每个值来检索其中有效页的数目的计数器的值最小的条目。因此,在实施例的半导体存储器装置 50 中,通过参照位向量表,可以容易地检索具有小的有效页数目的逻辑块,并且可以高速且有效地进行压缩。

[0082] [修改]

[0083] 本发明不限于以上给出的实施例,而是可以在不偏离本发明的精神的情况下被实施为具有各种修改的实现组件。此外,通过适当地组合在实施例中公开的多个组件,本发明可以被实施为各种形成。例如,可以省略在实施例中给出的一些组件。此外,可以适当地组合不同实施例中的一些组件。另外,可以进行下面作为实例描述的各种修改。

[0084] 在上述实施例中,在半导体存储器装置 50 中执行的各种程序可被存储在连接到网络(例如因特网)的计算机上,并通过经由该网络下载而提供这些程序。各种程序可以以可被安装或执行的形式被记录在诸如 CD-ROM、软盘(FD)、CD-R 或数字多功能盘(DVD)的计算机可读的记录介质中,并被提供作为计算机程序产品。

[0085] 在上述实施例中,可以通过硬件实现处理器 51 的部分功能。半导体存储器装置 50 可以具有多个处理器 51,并且可以通过所述多个处理器 51 来实现上述功能。通过这样的配置,可以实现更高的处理速度。

[0086] 在上述实施例中,正向查找表和位向量表被存储在 DRAM 54 中,但本发明不限于此。例如,这些表可以被存储在半导体存储器元件 58 中,并且当通过处理器 51 使用这些表时在 DRAM 54 中高速缓存这些表。

[0087] 在上述实施例中,ECC 码被附加到页单位的每个数据作为页 ECC。然而,ECC 码可被附加到小于页的单位(例如,512 字节的扇区单位)。通过这样的配置,在数据中的错误不能以小于页的单位被校正的情况下,可以认为在该数据中出现异常,并通过使用由多个信道构成的错误校正码恢复该数据。

[0088] 在上述实施例中,由多个信道构成错误校正码的单位被设定为字节,但本发明不限于此,可以使用比字节大或小的尺寸来作为单位。虽然使用奇偶校验码作为错误校正码,但本发明不局限于奇偶校验码。可以设定多个冗余信息段,并可以使用里德所罗门码。利用里德所罗门码,可以恢复其中由于在多个半导体存储器元件 58 中的故障而出现异常的数据。

[0089] 在上述实施例中,数据被写入的信道的数目为四个,用于数据的冗余信息被写入的信道的数目为一个,构成错误校正码的信道的数目为五个,但本发明不限于此。此外,在上述实施例中,将构成错误校正码的冗余信息被写入的信道固定为信道 CH5,但本发明不限于该信道。该信道可被分配到每个构成错误校正码的单元。

[0090] 在上述实施例中,信道一对一地对应于半导体存储器元件 58,但本发明不限于此。信道可以一对多地对应于半导体存储器元件 58,即,多个半导体存储器元件 58 可被分配到一个信道。在该情况下,用于识别各半导体存储器元件 58 的识别号码被分配到半导体存储器元件 58。为每个信道的每个块记录识别号码和物理块地址。例如,如果向每个信道分配八个半导体存储器元件,则将总共 15 个位被记录作为逻辑到物理转译表中的每个信道的

每个块的识别号码和物理块地址,这 15 个位包括用于识别半导体存储器元件的 3 个位和用于识别包括在每个半导体存储器元件中的 4096 个块的 12 个位。

[0091] 在上述实施例中,为了使逻辑到物理转译表的设置简单,希望地,逻辑到物理转译表中的条目的数目和每个信道中的块的数目。由于逻辑到物理转译表上的条目的数目和信道 CH0 中的物理块的数目彼此相等,因此逻辑到物理转译表可被构造为由信道 CH0 中的物理块的物理块号码确定记录逻辑块的条目的位置。例如,以升序将物理块号码赋予包括在该信道中的物理块。在该情况下,信道 CH0 中的物理块的物理块号码可被设定为用作逻辑到物理转译表的索引的逻辑块号码。或者,可以将逻辑到物理转译表中的条目录在空闲列表 (free list) 结构中。

[0092] 在上述实施例中,半导体存储器装置 50 将逻辑块地址附加到半导体存储器元件 58 中的写目标数据。然而,半导体存储器装置 50 还可包括物理到逻辑转译表(不同于逻辑到物理转译表),其表明被写入半导体存储器元件 58 中的数据的数据的作为索引的物理块地址与数据的逻辑块地址之间的关联性,而不是附加逻辑块地址。然后,在压缩时,半导体存储器装置 50 可以使用从半导体存储器元件 58 读出的有效数据的物理块地址,参照物理到逻辑转译表以获得对应于物理块地址的逻辑块地址,并使用所获得的逻辑块地址更新作为压缩的结果的正向查找表。

[0093] 在上述实施例中,当将信道分配给写目标数据时,在将数据分配到信道 CH0 到 CH3 中的至少一个之后不存在写目标数据的状态持续预定时间的情况下,将在信道 CH1 到 CH4 当中的未对其分配写目标数据的信道中的对应页中的虚数据(例如,其位全为“0”的数据)以及通过使用在信道 CH1 到 CH4 中的对应页中的数据计算的冗余信息写入信道 CH5 的对应页中。通过这样的配置,可以避免这样的可能性,即,没有为在信道 CH1 到 CH4 中的对应页中已写入数据的信道中的数据构成错误校正码,并且当在该数据中出现错误时,不能恢复该数据。

[0094] 根据本发明,在抑制向半导体存储器芯片写入数据的次数的增加的同时,可以解决半导体存储器芯片中的故障,并可以改善可靠性。

[0095] 虽然已经描述了特定的实施例,但这些实施例仅仅是以实例的方式给出的,并不旨在限制本发明的范围。实际上,可以以各种其他形式实施本文中描述的新颖实施例;此外,可以进行对本文中公开的实施例的形式上的各种省略、替代和改变而不偏离本发明的精神。所附权利要求及其等效物旨在覆盖落在本发明的范围和精神内的这种形式或修改。

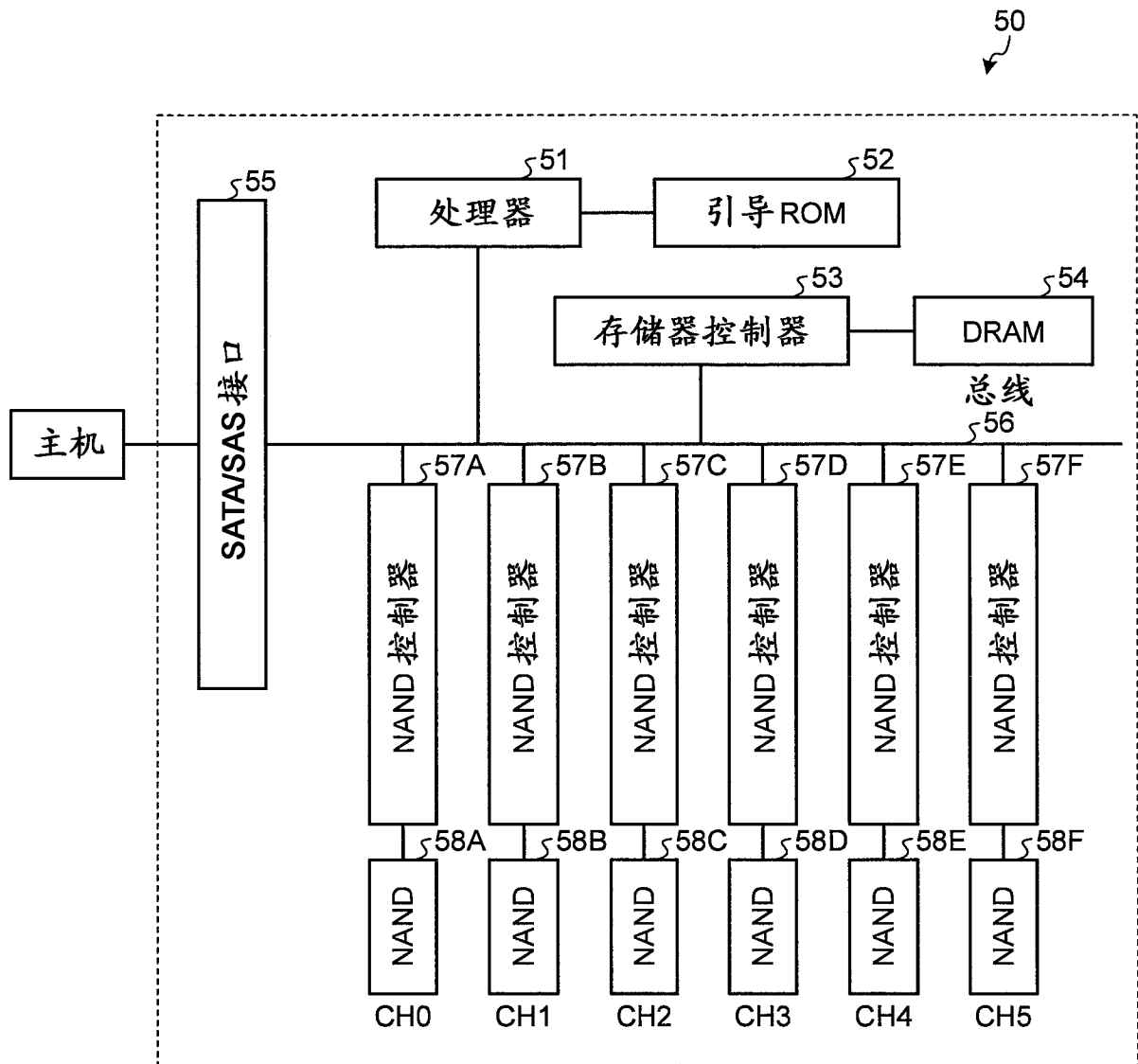


图 1

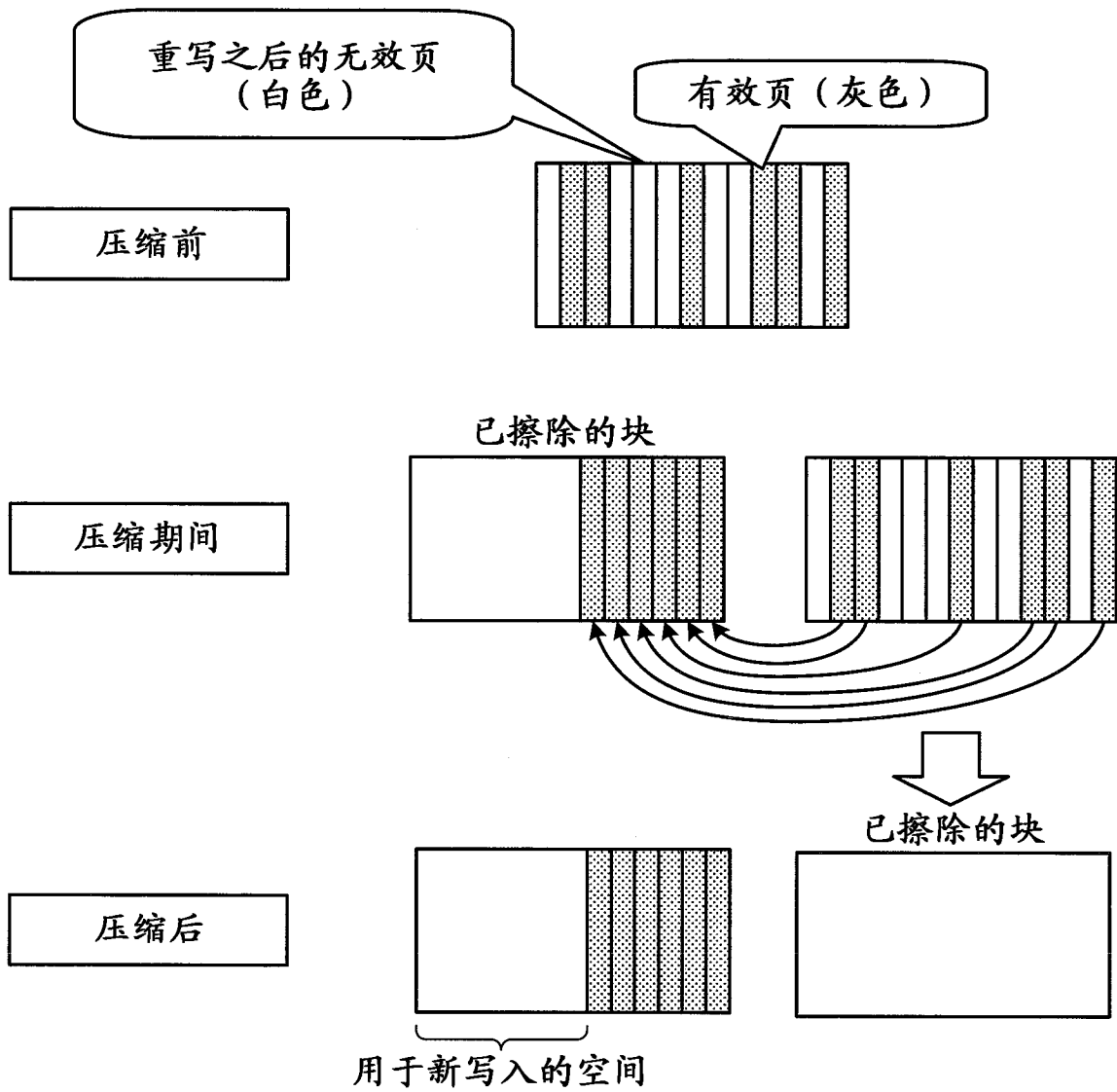


图 2

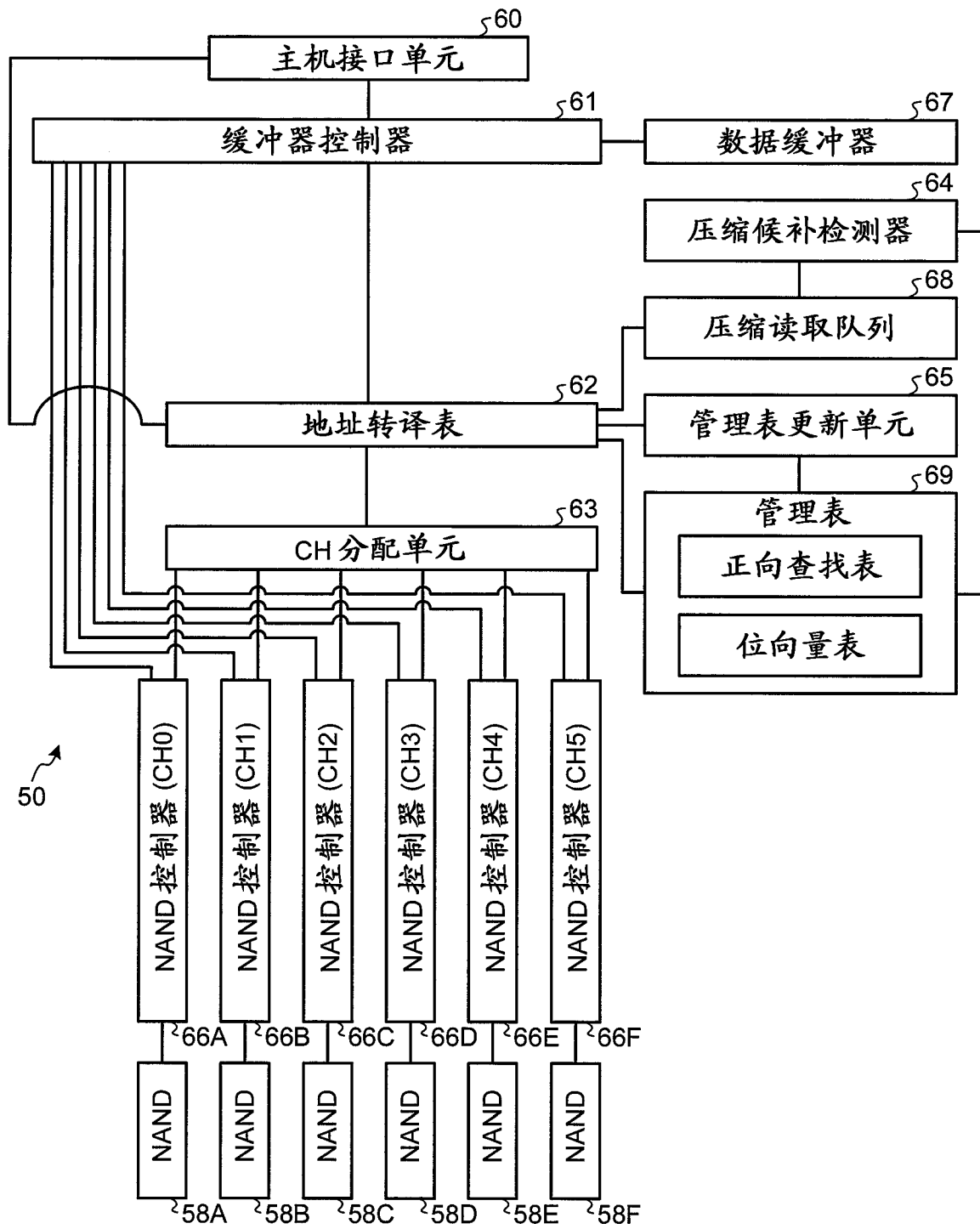


图 3

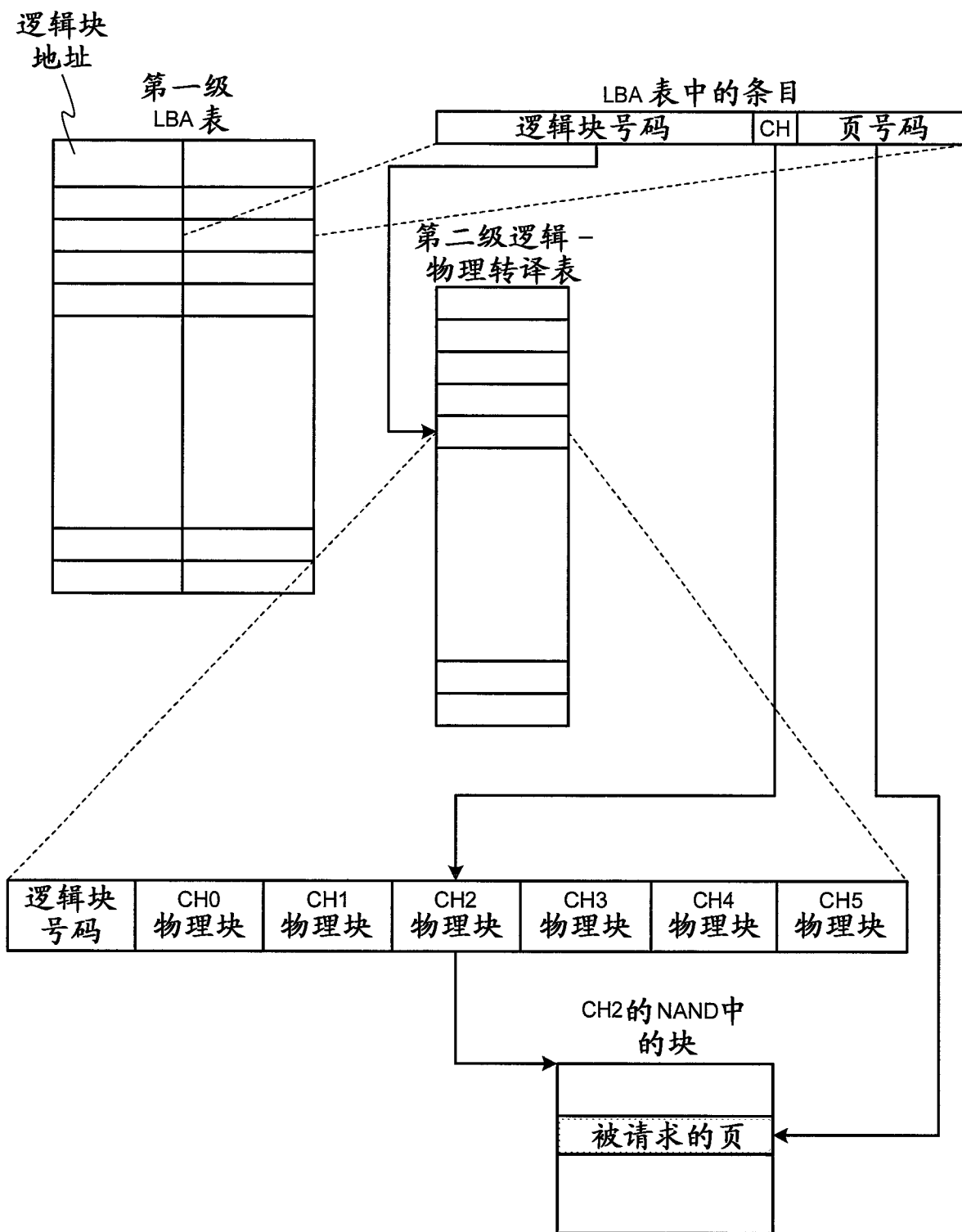


图 4

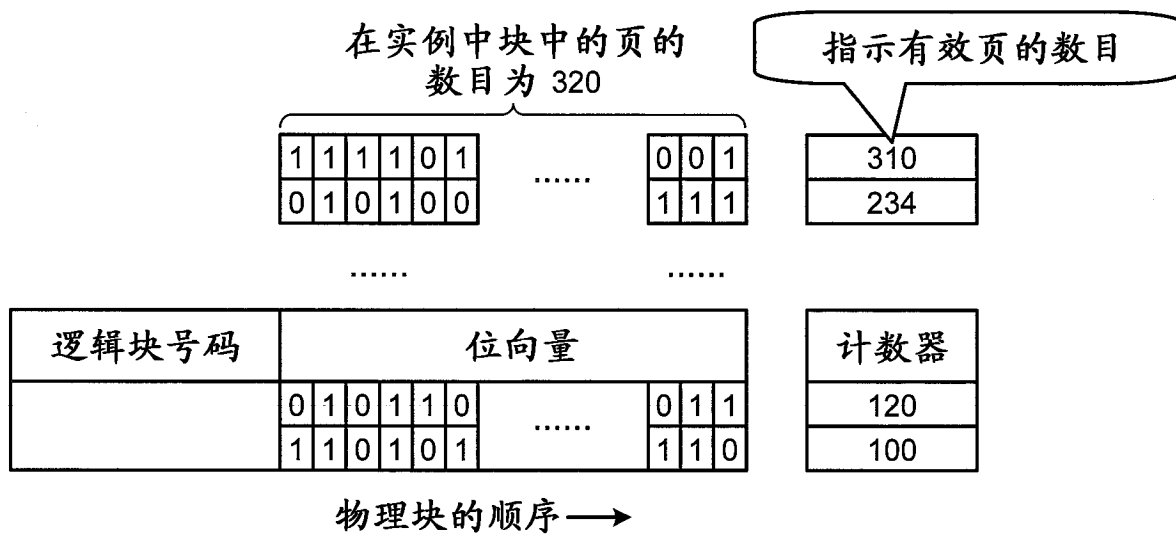


图 5



图 6

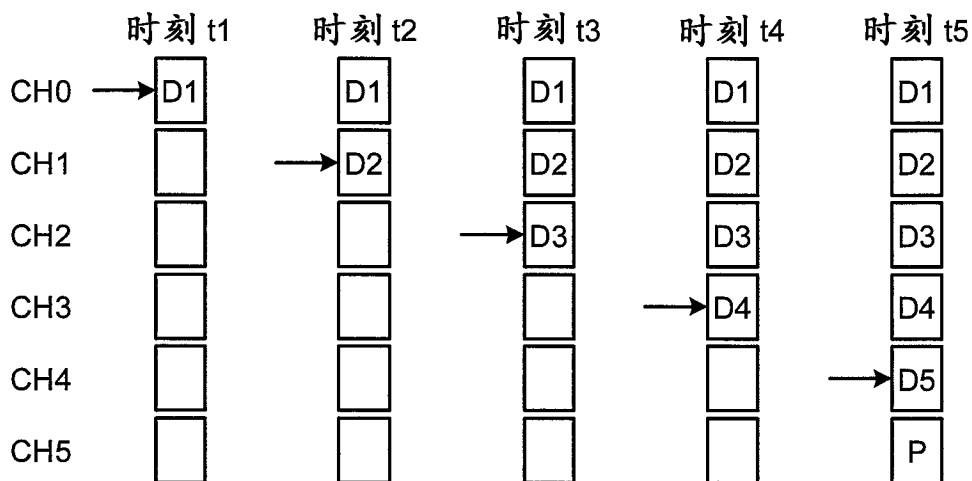


图 7



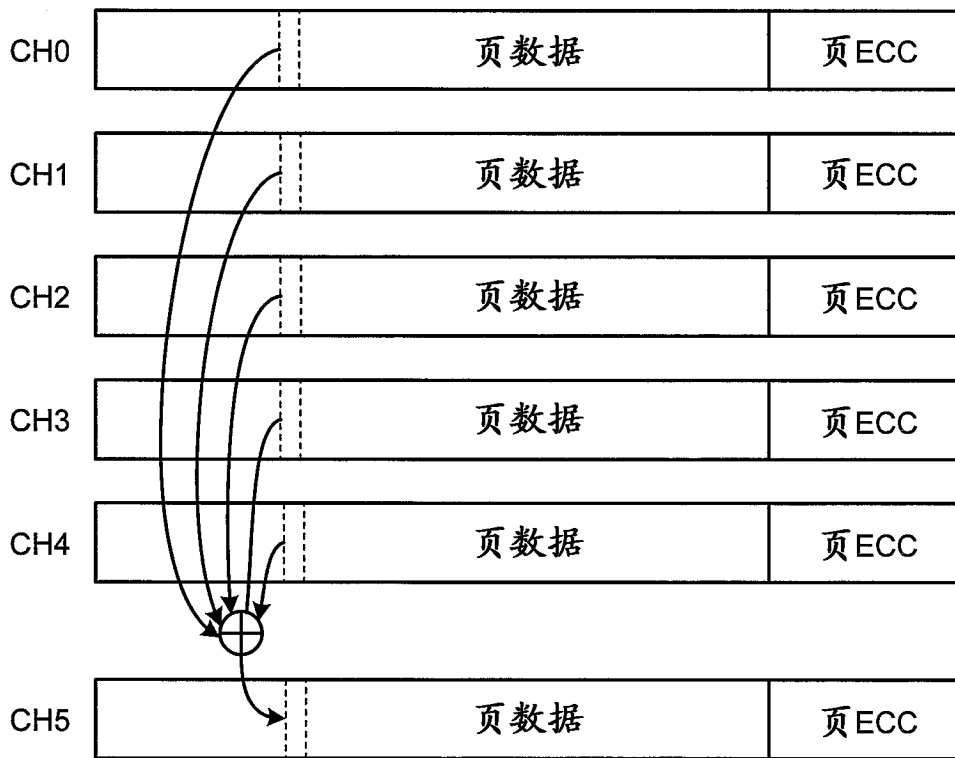


图 8

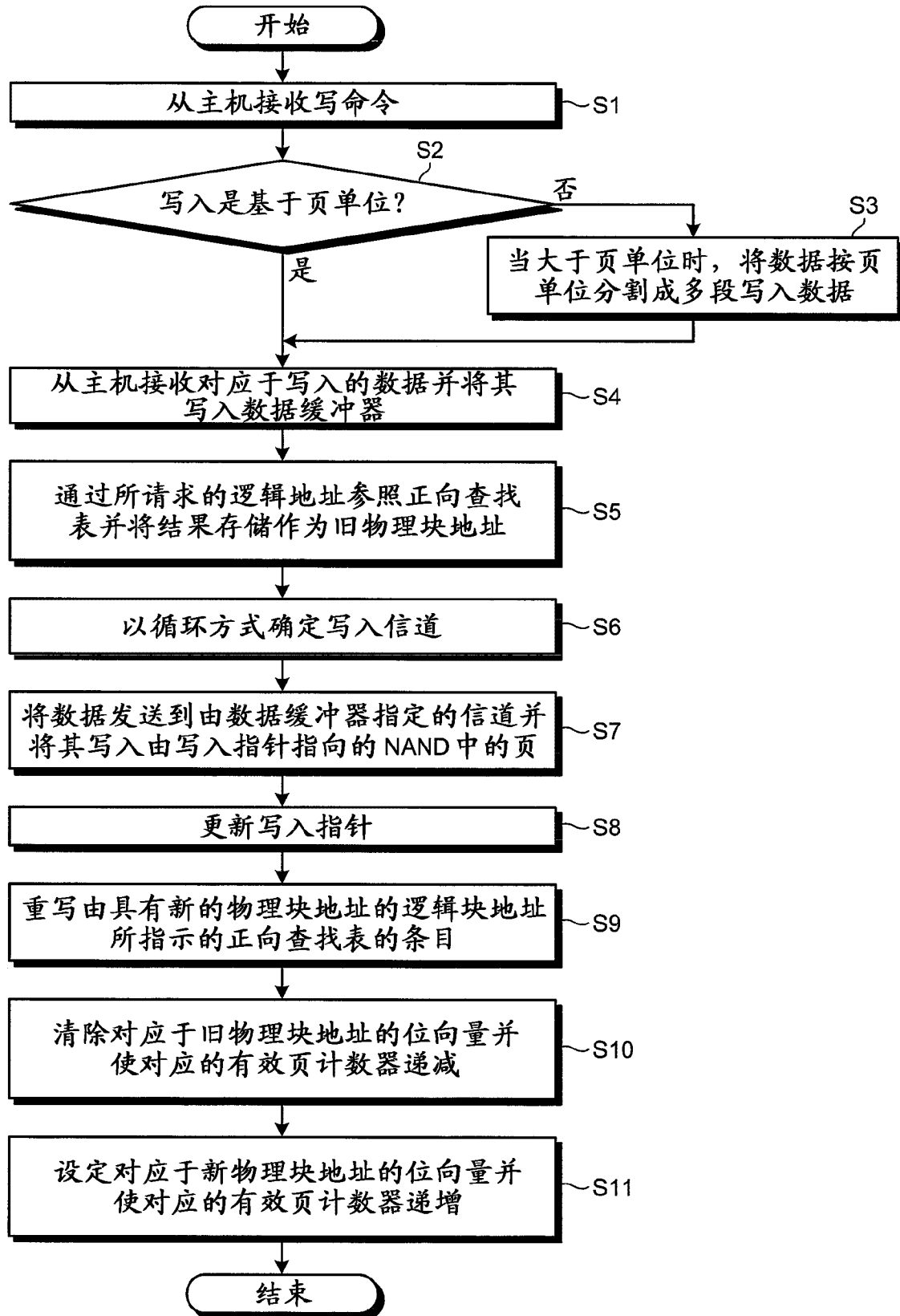


图9

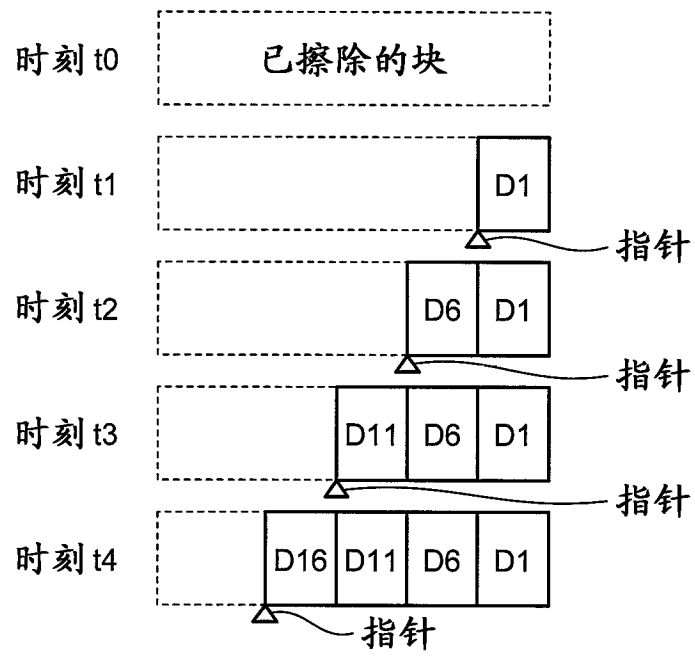


图 10

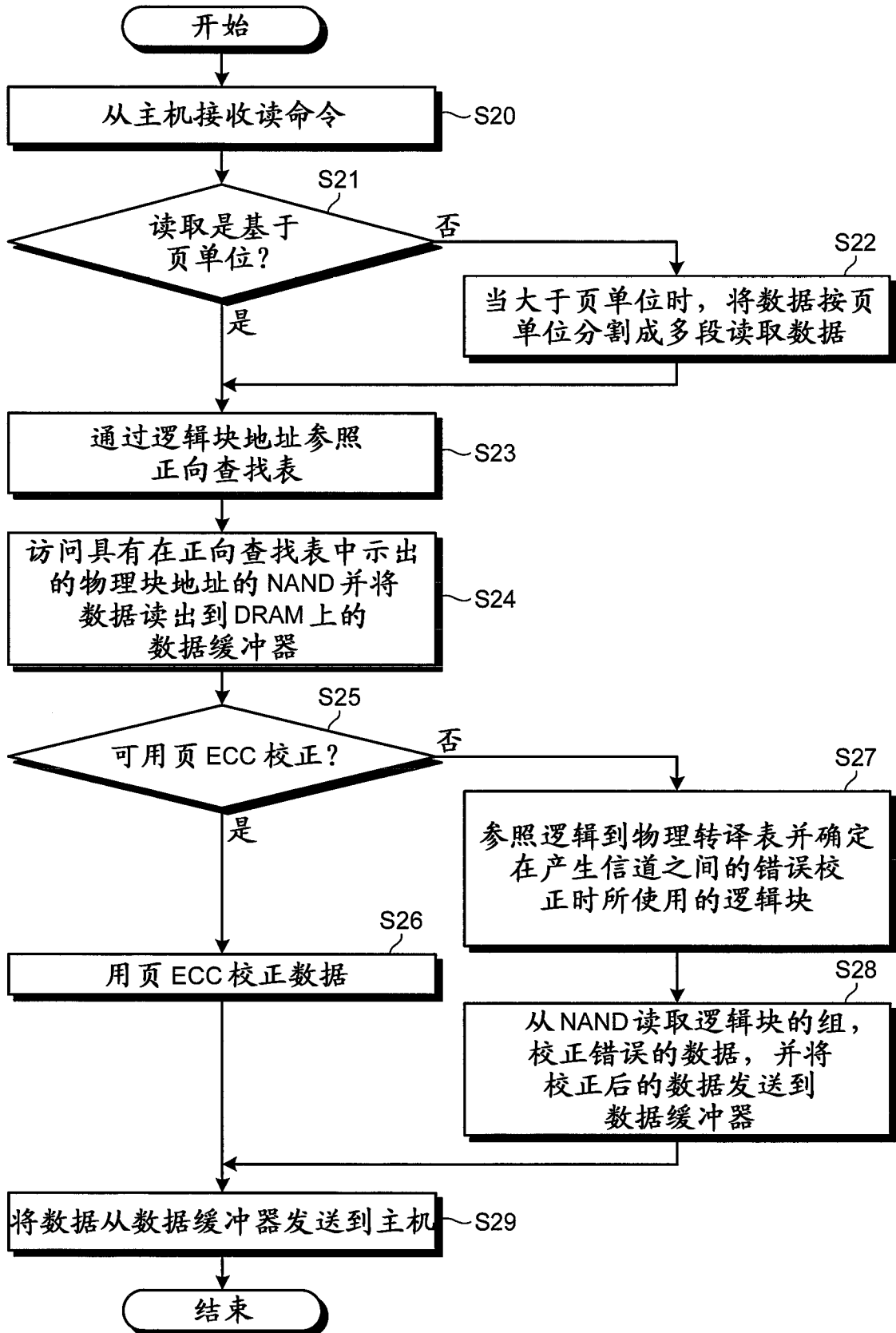


图 11

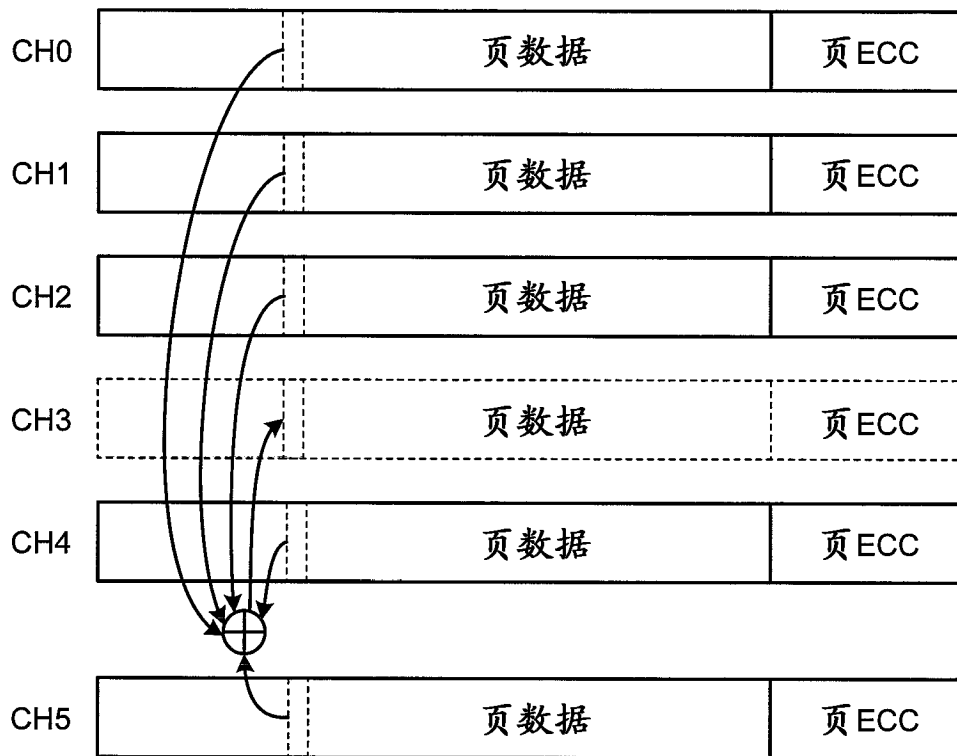


图 12

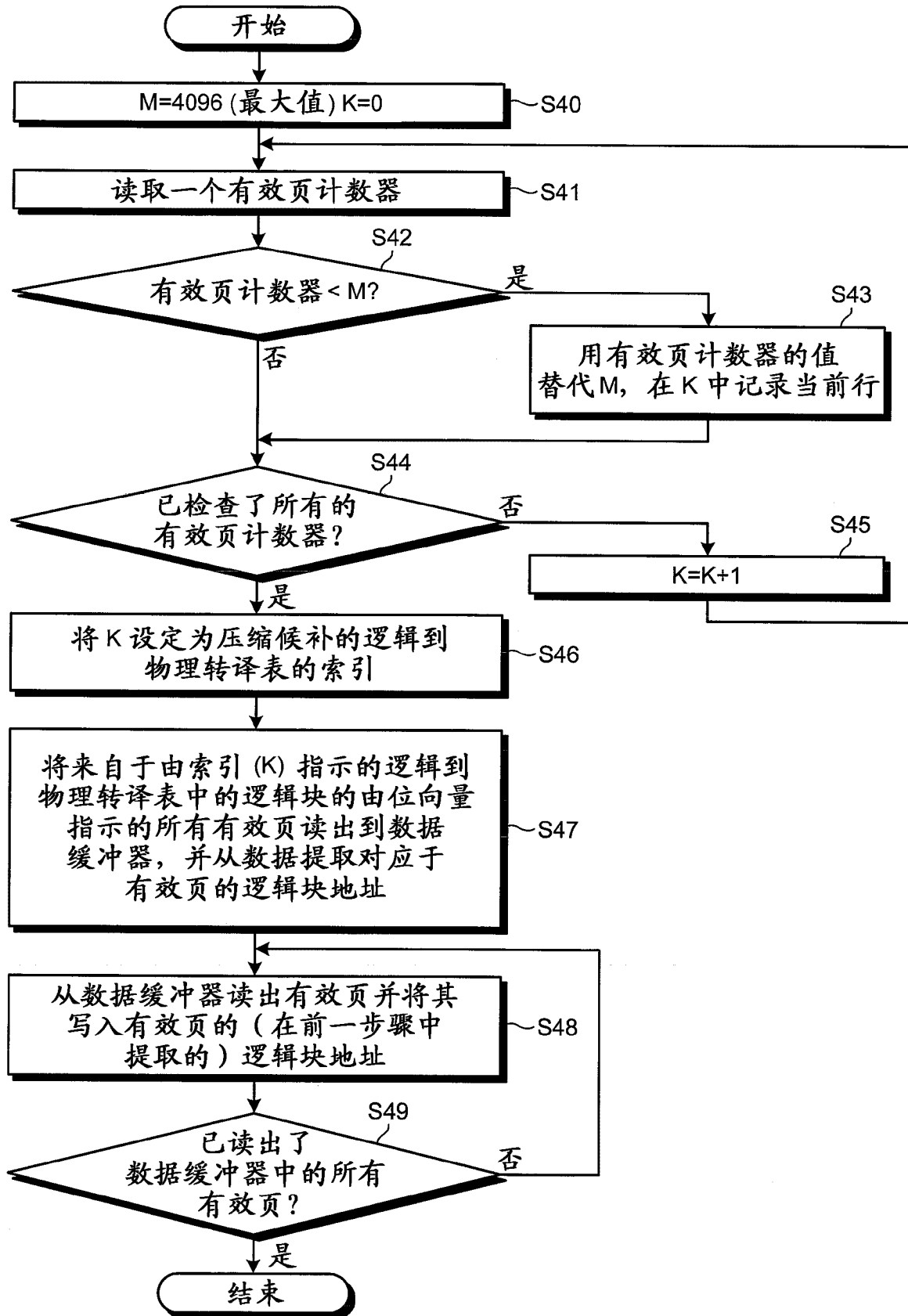


图 13