



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体層と、  
 前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、  
 前記第 1 の半導体領域の表層部に設けられた第 1 導電型の第 2 の半導体領域と、  
 前記第 2 の半導体領域に接して設けられた第 1 の主電極と、  
 前記半導体層の前記主面の反対側に設けられた第 2 の主電極と、  
 前記第 1 の半導体領域を貫通して前記半導体層に至る複数の第 1 のトレンチの内壁面に形成され、一部が開口された第 1 の絶縁膜と、  
 前記第 1 のトレンチにおける前記半導体層と前記第 1 の半導体領域との界面よりも下方の内部に設けられ、前記第 1 の主電極に接続されると共に前記第 1 の絶縁膜が開口された部分を介して前記半導体層に接している第 2 導電型の第 1 の半導体ピラー領域と、  
 前記第 1 の半導体領域を貫通して前記半導体層に至り、隣り合う前記第 1 のトレンチの間に設けられた第 2 のトレンチの内壁面に形成され、一部が開口された第 2 の絶縁膜と、  
 前記第 1 の半導体ピラー領域の上に設けられた第 3 の絶縁膜と、  
 前記第 1 のトレンチの内部における前記第 3 の絶縁膜よりも上方に設けられたゲート電極と、  
 前記第 2 のトレンチの内部に設けられ、表層部が前記第 2 のトレンチの開口端近傍で前記第 1 の主電極に接すると共に前記第 2 の絶縁膜が開口された部分を介して前記半導体層に接している第 2 導電型の第 2 の半導体ピラー領域と、  
 を備えたことを特徴とする半導体装置。

10

20

## 【請求項 2】

前記第 1 のトレンチの底部で前記第 1 の半導体ピラー領域と前記半導体層とが接し、前記第 2 のトレンチの底部で前記第 2 の半導体ピラー領域と前記半導体層とが接していることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記第 1 のトレンチと前記第 2 のトレンチとが並列された方向に延在し前記第 1 のトレンチ及び前記第 2 のトレンチに通じる第 3 のトレンチの内部に設けられ、前記第 1 の半導体ピラー領域及び前記第 2 の半導体ピラー領域に接する第 2 導電型の第 3 の半導体ピラー領域をさらに備え、  
 前記第 1 の半導体ピラー領域は、前記第 3 の半導体ピラー領域及び前記第 2 の半導体ピラー領域を介して前記第 1 の主電極に接続されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

30

## 【請求項 4】

前記第 2 の半導体ピラー領域において前記第 1 の主電極に接する表層部は、前記第 2 の半導体ピラー領域における他の部分よりも不純物濃度が高いことを特徴とする請求項 1 ~ 3 のいずれか 1 つに半導体装置。

## 【請求項 5】

前記第 1 の半導体領域の一部は前記第 1 の主電極に接し、  
 前記第 1 の半導体領域において前記第 1 の主電極に接する表層部は、前記第 1 の半導体領域における他の部分よりも不純物濃度が高いことを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関し、特にトレンチゲート構造を有する半導体装置に関する。

## 【背景技術】

## 【0002】

高耐圧かつ低オン抵抗が要求される例えばパワーエレクトロニクス用途に適した半導体装置として、トレンチゲート型の MOSFET (Metal-Oxide-Semiconductor Field Effe

50

ct Transistor) が知られている。例えば、特許文献 1 参照。

【0003】

特許文献 1 によれば、表面に n 型のソース層が形成された p 型のウェル層及び n 型のドリフト層を貫いて n 型の基板に至るまでトレンチが形成され、そのトレンチ内においてドリフト層から基板に至る部分には絶縁膜を介してポリシリコンからなる埋め込み電極が設けられ、トレンチ内においてソース層からウェル層を通りドリフト層に至る部分には絶縁膜を介してポリシリコンからなるゲート電極が設けられた MOSFET が開示されている。埋め込み電極とゲート電極とは、電氣的に絶縁されている。

【0004】

特許文献 1 に開示された構造では、埋め込み電極は完全に絶縁膜に覆われ、ドリフト層との間で PN 接合を形成する構成とはなっていないため、オン抵抗の低減を図るべくドリフト層の不純物濃度を高くした場合にはドリフト層を完全空乏化しにくく、高耐圧が得にくい。

10

【0005】

また、トレンチゲート型 MOS において、トレンチピッチの微細化はチャネル抵抗の低減に有利であるが、トレンチピッチの微細化が進むと、そのトレンチ内に設けられるゲート電極ピッチの微細化が進み、ゲート間容量の増大をまねいてしまう。

【特許文献 1】特開 2002 - 83963 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0006】

本発明は、低オン抵抗、高耐圧、且つ低ゲート容量を実現できる半導体装置を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、第 1 導電型の半導体層と、前記半導体層の主面上に設けられた第 2 導電型の第 1 の半導体領域と、前記第 1 の半導体領域の表層部に設けられた第 1 導電型の第 2 の半導体領域と、前記第 2 の半導体領域に接して設けられた第 1 の主電極と、前記半導体層の前記主面の反対側に設けられた第 2 の主電極と、前記第 1 の半導体領域を貫通して前記半導体層に至る複数の第 1 のトレンチの内壁面に形成され、一部が開口された第 1 の絶縁膜と、前記第 1 のトレンチにおける前記半導体層と前記第 1 の半導体領域との界面よりも下方の内部に設けられ、前記第 1 の主電極に接続されると共に前記第 1 の絶縁膜が開口された部分を介して前記半導体層に接している第 2 導電型の第 1 の半導体ピラー領域と、前記第 1 の半導体領域を貫通して前記半導体層に至り、隣り合う前記第 1 のトレンチの間に設けられた第 2 のトレンチの内壁面に形成され、一部が開口された第 2 の絶縁膜と、前記第 1 の半導体ピラー領域の上に設けられた第 3 の絶縁膜と、前記第 1 のトレンチの内部における前記第 3 の絶縁膜よりも上方に設けられたゲート電極と、前記第 2 のトレンチの内部に設けられ、表層部が前記第 2 のトレンチの開口端近傍で前記第 1 の主電極に接すると共に前記第 2 の絶縁膜が開口された部分を介して前記半導体層に接している第 2 導電型の第 2 の半導体ピラー領域と、を備えたことを特徴とする半導体装置が提供される。

30

40

【発明の効果】

【0008】

本発明によれば、低オン抵抗、高耐圧、且つ低ゲート容量を実現できる半導体装置が提供される。

【発明を実施するための最良の形態】

【0009】

以下、図面を参照し本発明の実施形態について説明する。なお、本実施形態では、第 1 導電型を N 型、第 2 導電型を P 型として説明する。

【0010】

50

図 1 は、本発明の実施形態に係る半導体装置において第 1 の主電極であるソース電極の下の平面構造を例示する模式図である。

図 2 は、図 1 における A - A 断面図である。

図 3 は、図 1 における B - B 断面図である。

図 4 は、図 1 における C - C 断面図である。

#### 【 0 0 1 1 】

図 2 に示すように、 $N^{++}$  型シリコンのドレイン層 3 の主面上に、 $N$  型シリコンのドリフト層 4 と、 $P^{-}$  型シリコンの第 1 の半導体領域であるベース領域 5 とが順に設けられ、ベース領域 5 の表層部には  $N^{+}$  シリコンの第 2 の半導体領域であるソース領域 6 が設けられている。ドリフト層 4 とベース領域 5 とは  $PN$  接合し、ベース領域 5 とソース領域 6 とは  $PN$  接合している。

10

#### 【 0 0 1 2 】

ソース領域 6 の表面からソース領域 6 及びベース領域 5 を貫通してドリフト層 4 に至る部分には、第 1 のトレンチ T 1 と第 2 のトレンチ T 2 が形成されている。第 1 のトレンチ T 1 と第 2 のトレンチ T 2 は共に同じ深さに形成され、第 1 のトレンチ T 1 及び第 2 のトレンチ T 2 のそれぞれの底部はドレイン層 3 には達していない。図 8 に示すように、複数の第 1 のトレンチ T 1 と第 2 のトレンチ T 2 とが、略等ピッチでストライプ状に並列して形成されている。第 1 のトレンチ T 1 及び第 2 のトレンチ T 2 のそれぞれの深さ方向は、ドレイン層 3 の主面に対して略垂直である。

#### 【 0 0 1 3 】

第 1 のトレンチ T 1 の内部には  $P$  型シリコンの第 1 の半導体ピラー領域 1 1 が設けられ、第 2 のトレンチ T 2 の内部には  $P$  型シリコンの第 2 の半導体ピラー領域 1 2 が設けられている。

20

#### 【 0 0 1 4 】

第 1 の半導体ピラー領域 1 1 は、第 1 のトレンチ T 1 においてベース領域 5 とドリフト層 4 との界面よりも下方の内部に設けられている。第 1 のトレンチ T 1 において第 1 の半導体ピラー領域 1 1 の周囲の内壁面（側壁面）には、第 1 の絶縁膜（例えばシリコン酸化膜）1 4 a が形成されている。

#### 【 0 0 1 5 】

第 1 の半導体ピラー領域 1 1 の上には、第 3 の絶縁膜（例えばシリコン酸化膜）1 5 が設けられている。第 1 のトレンチ T 1 において第 3 の絶縁膜 1 5 の上の内部には、ゲート電極 8 が設けられている。ゲート電極 8 は、例えばポリシリコンからなるが、これに限らず、その他の半導体、金属などを用いてもよい。

30

#### 【 0 0 1 6 】

ゲート電極 8 の下端は、ベース領域 5 とドリフト層 4 との界面より少し下方（ドリフト層 4 側）に位置し、ゲート電極 8 の上端は、ソース領域 6 とベース領域 5 との界面より上方（ソース領域 6 側）に位置する。第 1 のトレンチ T 1 においてゲート電極 8 の周囲の内壁面（側壁面）には、絶縁膜（例えばシリコン酸化膜）1 6 が形成されている。ゲート電極 8 と第 1 の半導体ピラー領域 1 1 とは、第 3 の絶縁膜 1 5 によって電氣的に絶縁されている。

40

#### 【 0 0 1 7 】

第 2 の半導体ピラー領域 1 2 は、第 2 のトレンチ T 2 の底部から開口端までを埋めて設けられ、その第 2 の半導体ピラー領域 1 2 が設けられた第 2 のトレンチ T 2 において第 2 の半導体ピラー領域 1 2 の周囲の内壁面（側壁面）には、第 2 の絶縁膜（例えばシリコン酸化膜）1 4 が形成されている。

#### 【 0 0 1 8 】

ゲート電極 8 の上には層間絶縁膜 1 7 が設けられている。ソース領域 6 の表面上には第 1 の主電極としてのソース電極 7 が設けられ、ソース領域 6 の表面はソース電極 7 に接している。ソース電極 7 とゲート電極 8 とは、層間絶縁膜 1 7 によって電氣的に絶縁されている。第 2 の半導体ピラー領域 1 2 の表面は、第 2 のトレンチ T 2 の開口から露出しソー

50

ス電極 7 に接している。ドレイン層 3 の主面の反対側の面には、第 2 の主電極としてのドレイン電極 2 が設けられている。

【 0 0 1 9 】

第 1 のトレンチ T 1 の底部には第 1 の絶縁膜 1 4 a が設けられておらず開口されている。したがって、第 1 のトレンチ T 1 の底部で、P 型の第 1 の半導体ピラー領域 1 1 と N 型のドリフト層 4 とが P N 接合している。

【 0 0 2 0 】

第 2 のトレンチ T 2 の底部には第 2 の絶縁膜 1 4 が設けられておらず開口されている。したがって、第 2 のトレンチ T 2 の底部で、P 型の第 2 の半導体ピラー領域 1 2 と N 型のドリフト層 4 とが P N 接合している。

【 0 0 2 1 】

第 1 のトレンチ T 1 の底部において第 1 の半導体ピラー領域 1 1 とドリフト層 4 との P N 接合面は平面状に形成され、第 2 のトレンチ T 2 の底部において第 2 の半導体ピラー領域 1 2 とドリフト層 4 との P N 接合面は平面状に形成されている。

【 0 0 2 2 】

なお、図 2 に示す例では、第 1 の半導体ピラー領域 1 1 の底面全面がドリフト層 4 に接するようにしているが、第 1 の半導体ピラー領域 1 1 の底面の一部がドリフト層 4 に接するようにしてもよい。同様に、第 2 の半導体ピラー領域 1 2 についてもその底面の一部がドリフト層 4 に接するようにしてもよい。

【 0 0 2 3 】

第 1 の半導体ピラー領域 1 1 及びゲート電極 8 は、複数の第 1 のトレンチ T 1 及び第 2 のトレンチ T 2 のうち互いに隣り合わない位置関係にある第 1 のトレンチ T 1 の内部に設けられ、それら第 1 の半導体ピラー領域 1 1 及びゲート電極 8 が設けられた第 1 のトレンチ T 1 に挟まれた第 2 のトレンチ T 2 の内部に第 2 の半導体ピラー領域 1 2 が設けられている。すなわち、ゲート電極 8 の配列ピッチは、第 1 のトレンチ T 1 と第 2 のトレンチ T 2 との配列ピッチに一致せず、それらトレンチ T 1、T 2 の配列ピッチよりも大きいピッチで配列されている。

【 0 0 2 4 】

図 5 は、ゲート電極 8 及びゲート配線 2 1 の平面パターンの一例を示す模式図である。

【 0 0 2 5 】

主電流経路が形成される素子領域の外側の領域に、ゲート配線 2 1 が形成されている。ゲート配線 2 1 は、各ゲート電極 8 の延在方向に対して略垂直な方向に延在し、各ゲート電極 8 の端部がゲート配線 2 1 に接続されている。ゲート配線 2 1 は、図示しないゲートパッドに接続され、各ゲート電極 8 はゲート配線 2 1 を介してゲートパッドと接続されている。

【 0 0 2 6 】

図 8 を参照して後述するように、第 1 のトレンチ T 1 及び第 2 のトレンチ T 2 は同時に形成され、さらにそれらトレンチ T 1、T 2 の形成時に第 3 のトレンチ T 3 も同時に形成される。図 8 に示すように、第 3 のトレンチ T 3 は、第 1 のトレンチ T 1 と第 2 のトレンチ T 2 とが並列された方向に延在し、第 1 のトレンチ T 1、第 2 のトレンチ T 2 の延在方向（長手方向）の両端部で各トレンチ T 1、T 2 に通じている。

【 0 0 2 7 】

図 3 は、第 3 のトレンチ T 3 が形成された部分の断面（図 1 において B - B 線断面）を示す。第 3 のトレンチ T 3 の内部には、P 型シリコンの第 3 の半導体ピラー領域 1 3 が設けられている。

【 0 0 2 8 】

第 3 の半導体ピラー領域 1 3 は、第 3 のトレンチ T 3 の底部から開口端までを埋めて設けられ、第 3 の半導体ピラー領域 1 3 の表面は、第 3 のトレンチ T 3 の開口から露出しソース電極 7 に接している。第 3 の半導体ピラー領域 1 3 においてソース電極 7 に接する表層部 1 3 a は、第 3 の半導体ピラー領域 1 3 における他の部分よりも不純物濃度が高い。

10

20

30

40

50

## 【 0 0 2 9 】

第3の半導体ピラー領域13は、第1の半導体ピラー領域11及び第2の半導体ピラー領域12の両領域と一体に設けられ、それら両領域11、12に接している。第1の半導体ピラー領域11は、第3の半導体ピラー領域13及び第2の半導体ピラー領域12を介してソース電極7に接続されている。

## 【 0 0 3 0 】

図1に示すように、ソース領域6はストライプ状の平面パターンを有し、そのソース領域6の下に設けられたベース領域5もストライプ状の平面パターンを有する。そのベース領域5における一部(例えばストライプ状パターンの長手方向の両端近傍部分)の上にはソース領域6が設けられず、図1及びその図1におけるC-C断面図である図4に示すように、ベース領域5の表層部としてP<sup>+</sup>型シリコンのベースコンタクト領域5aが設けられている。ベースコンタクト領域5aの上にはソース電極7が設けられ、ベースコンタクト領域5aはソース電極7に接している。したがって、ベース領域5はベースコンタクト領域5aを介してソース電極7に接続され、ソース電位とされる。ソース電極7に接するベースコンタクト領域5aは、その下のベース領域5よりも不純物濃度が高く、半導体と金属(ソース電極7)との間のコンタクト抵抗を低減し、ベース領域5の電位を安定させることができる。

10

## 【 0 0 3 1 】

第3の半導体ピラー領域13の表層部及びベース領域5の表層部に対して、図6に示すマスク23を用いて選択的に不純物イオンを注入することによって、共にP<sup>+</sup>型である前述した表層部13a及びベースコンタクト領域5aが形成される。

20

## 【 0 0 3 2 】

マスク23には、ストライプ状のベース領域5、ソース領域6及び第2の半導体ピラー領域12の長手方向に対して略垂直な方向に延在する矩形状の開口23aが形成されている。その開口23aからは、第3の半導体ピラー領域13の表層部、ベース領域5における長手方向の両端近傍の一部、第2の半導体ピラー領域12における長手方向の両端近傍の一部、および層間絶縁膜17の一部が露出され、他の部分はマスク23に覆われている。マスク23の開口23aから露出された部分にイオン注入が行われ、層間絶縁膜17以外の部分がP<sup>+</sup>型の領域にされる。

30

## 【 0 0 3 3 】

このとき、第3の半導体ピラー領域13の表層部13a及びベースコンタクト領域5a以外にも、第2の半導体ピラー領域12における長手方向の両端近傍の表層部(ベースコンタクト領域5aに挟まれた部分)12aもP<sup>+</sup>型にされ、この表層部12aは第2の半導体ピラー領域12における他の部分よりも不純物濃度が高い。

## 【 0 0 3 4 】

第1～第3の半導体ピラー領域11～13は、互いにつながったトレンチT1～T3内に一体に埋め込まれ、すなわち一体のP型半導体ピラー領域として形成されており、そのP型半導体ピラー領域の表面(前述したように一部がP<sup>+</sup>型となっている)がソース電極7に接しているため、そのP型半導体ピラー領域の一体構成物はソース電極7と同電位とされる。このP型半導体ピラー領域と、金属からなるソース電極7とを、不純物濃度が高い(例えば $10^{18}/\text{cm}^3$ より高い)P<sup>+</sup>型領域を介して接触させることで両者のコンタクト抵抗を低減し、P型半導体ピラー領域の電位を安定させることができる。

40

## 【 0 0 3 5 】

なお、第2の半導体ピラー領域12においてその一部12aだけでなく全ての表層部をP<sup>+</sup>型にしてもよい。ただし、その場合、P<sup>+</sup>型領域の形成に用いるイオン注入マスクにおける開口パターンが、図6に示した場合よりも複雑になり、簡易且つ低コストなプロセスを実現する観点からは、図6に示すように単純な矩形状の開口23aの形成で済むプロセスが望ましい。

## 【 0 0 3 6 】

以上のように構成される本実施形態に係る半導体装置において、ゲート電極8に所定の

50

ゲート電圧が印加されるオン時には、絶縁膜 16 を介してゲート電極 8 に対向するベース領域 5 にチャンネルが形成され、ソース領域 6、チャンネル、ドリフト層 4 およびドレイン層 3 を介して、ソース電極 7 とドレイン電極 2 との間が導通する。

【0037】

本実施形態に係る半導体装置では、第 1 のトレンチ T 1 の底部で第 1 の半導体ピラー領域 11 とドリフト層 4 とが P N 接合しており、第 2 のトレンチ T 2 の底部で第 2 の半導体ピラー領域 12 とドリフト層 4 とが P N 接合しているため、オフ時には、それら P N 接合部からの空乏化を促進することができる。

【0038】

したがって、オン抵抗を低減すべく、オン時における電流経路の一部となるドリフト層 4 の不純物濃度を高くしても、そのドリフト層 4 の完全空乏化が容易になり、耐圧低下を抑えることができる。すなわち、本実施形態によれば、低オン抵抗を図りつつ高耐圧も維持できる半導体装置が提供される。

【0039】

完全空乏化する上で、第 1 の半導体ピラー領域 11、第 2 の半導体ピラー領域 12 のそれぞれの不純物濃度は  $10^{18} / \text{cm}^3$  以下にするのが望ましい。

【0040】

第 1 の半導体ピラー領域 11 の側面とドリフト層 4 との間には第 1 の絶縁膜 14 a が介在しているため、第 1 の半導体ピラー領域 11 とドリフト層 4 のそれぞれの不純物が互いに他方へ拡散して、電流経路の不純物濃度が変動してオン抵抗が上昇してしまうのを防ぐことができる。同様に、第 2 の半導体ピラー領域 12 の側面とドリフト層 4 との間には第 2 の絶縁膜 14 が介在しているため、第 2 の半導体ピラー領域 12 とドリフト層 4 のそれぞれの不純物が互いに他方へ拡散して、電流経路の不純物濃度が変動してオン抵抗が上昇してしまうのを防ぐことができる。

【0041】

また、第 1 の半導体ピラー領域 11 とドリフト層 4 との P N 接合部、および第 2 の半導体ピラー領域 12 とドリフト層 4 との P N 接合部は、同じシリコン材料どうしの接合となるためリーク電流が生じにくい。

【0042】

第 1 の半導体ピラー領域 11 とドリフト層 4 とは、第 1 のトレンチ T 1 の底部で P N 接合していることに限らず、第 1 のトレンチ T 1 の側面で P N 接合していてもよい。第 1 の半導体ピラー領域 11 とドリフト層 4 との P N 接合面の面積は、それら両者間相互の不純物拡散を抑制する観点から第 1 の半導体ピラー領域 11 が絶縁膜 14 a で覆われている部分の面積より小さいことが望ましい。同様に、第 2 の半導体ピラー領域 12 とドリフト層 4 とは、第 2 のトレンチ T 2 の底部で P N 接合していることに限らず、第 2 のトレンチ T 2 の側面で P N 接合していてもよい。第 2 の半導体ピラー領域 12 とドリフト層 4 との P N 接合面の面積は、それら両者間相互の不純物拡散を抑制する観点から第 2 の半導体ピラー領域 12 が絶縁膜 14 で覆われている部分の面積より小さいことが望ましい。

【0043】

ベース領域 5 は、これよりも不純物濃度が高いベースコンタクト領域 5 a を介してソース電極 7 に接続されているため、ベースコンタクト領域 5 a を介して、ソース電極 7 へのキャリア抜けを促進でき、キャリアの蓄積による素子破壊を防ぐことができる。

【0044】

近年、トレンチゲート型 MOS において、チャンネル抵抗を低減すべく、トレンチピッチが微細化する傾向にあるが、トレンチピッチの微細化が進むと、そのトレンチ内に設けられるゲート電極ピッチの微細化が進み、ゲート間容量の増大をまねいてしまう。

【0045】

本実施形態では、複数のトレンチ T 1、T 2 のうち、隣り合わない配置関係にあるトレンチ T 1 にゲート電極 8 を設け、トレンチ T 1 の間に設けられたトレンチ T 2 の内部にはゲート電極 8 を設けずに底部から開口端まで第 2 の半導体ピラー領域 12 を設けている。

10

20

30

40

50

したがって、ゲート電極 8 の配列ピッチは、トレンチ T 1、T 2 の配列ピッチに一致せず、それらトレンチ T 1、T 2 の配列ピッチよりも大きいピッチで配列され、その分、対向するゲート電極 8 間を離すことができ、ゲート間容量を低減できる。この結果、特にオン/オフを高速でスイッチングする高周波駆動特性に優れた半導体装置を提供できる。

【0046】

なお、図 2 には、ゲート電極 8 と第 2 の半導体ピラー領域 1 2 とが 1 本ずつ交互に配列された構成を示しているが、ゲート電極 8 の間に少なくとも 1 本以上の第 2 の半導体ピラー領域 1 2 が配列されていればよく、すなわちゲート電極 8 の間に第 2 の半導体ピラー領域 1 2 が 2 本以上続けて配列された構造であってもよい。

【0047】

次に、本実施形態に係る半導体装置の製造方法の一例について説明する。

図 7 ~ 図 1 5 は、本実施形態に係る半導体装置の製造工程の要部を例示する工程断面図である。

【0048】

まず、図 7 に示すように、高不純物濃度の N<sup>++</sup> 型シリコンのドレイン層 3 の上に、N 型シリコンのドリフト層 4 と、P<sup>-</sup> 型シリコンのベース領域 5 とを順に形成する。

【0049】

次に、図 8 及び図 8 における D - D 断面図である図 9 に示すように、ベース領域 5 の表面上に選択的に形成した例えば酸化膜をマスク 3 1 (図 9 に図示) として、例えば R I E (Reactive Ion Etching) 法により、ベース領域 5 を貫通してドリフト層 4 に至る第 1 ~ 第 3 のトレンチ T 1 ~ T 3 を同時に形成する。

【0050】

図 8 に示すように、第 1 のトレンチ T 1 及び第 2 のトレンチ T 2 の平面パターンはストライプ状に形成され、第 1 のトレンチ T 1 と第 2 のトレンチ T 2 とは略平行に並列して形成される。第 3 のトレンチ T 3 は、第 1 のトレンチ T 1 と第 2 のトレンチ T 2 とが並列された方向に延在し、第 1 のトレンチ T 1、第 2 のトレンチ T 2 の延在方向 (長手方向) の両端部で各トレンチ T 1、T 2 に通じている。

【0051】

次に、図 1 0 に示すように、第 1 のトレンチ T 1 及び第 2 のトレンチ T 2 の内壁面 (側壁面及び底面) に絶縁膜 1 4 を形成する。絶縁膜 1 4 は、例えば熱酸化法により形成されるシリコン酸化膜である。なお、図示しないが、第 3 のトレンチ T 3 の内壁面 (側壁面及び底面) にも絶縁膜 1 4 が形成される。

【0052】

次に、図 1 1 に示すように、例えば R I E 法により、第 1 ~ 第 3 のトレンチ T 1 ~ T 3 の底部 9 の絶縁膜 1 4 のみを除去する。これにより、絶縁膜 1 4 が除去された各トレンチ T 1 ~ T 3 の底部 9 からは、ドリフト層 4 が各トレンチ T 1 ~ T 3 内に露出する。

【0053】

次に、例えば、シリコンの原料ガスと P 型不純物の原料ガスとを用いた C V D (Chemical Vapor Deposition) 法により、各トレンチ T 1 ~ T 3 内を P 型のポリシリコンで完全に埋め込む。この後、図 1 2 に示すように、第 1 のトレンチ T 1 内に埋め込まれたポリシリコン (第 1 の半導体ピラー領域 1 1) のみを、ドリフト層 4 とベース領域 5 との界面よりも下までエッチバックする。

【0054】

なお、各トレンチ T 1 ~ T 3 内にポリシリコンを埋め込んだ後、そのポリシリコンに P 型不純物の注入を行い、この後、熱処理により、注入された P 型不純物を拡散させて P 型ポリシリコンとし、さらにその後、第 1 のトレンチ T 1 内のポリシリコンのみドリフト層 4 とベース領域 5 との界面よりも下までエッチバックさせるという方法によって第 1 の半導体ピラー領域 1 1 の形成を行ってもよい。トレンチ T 1 ~ T 3 が微細であっても (アスペクト比が大きくても)、ポリシリコンは比較的容易に埋め込むことができる。

【0055】

10

20

30

40

50



あるいは、各トレンチT1～T3の底部より露出するドリフト層4を下地結晶として、各トレンチT1～T3内にP型シリコンをエピタキシャル成長させ、第1のトレンチT1内についてのみシリコンのエピタキシャル成長を、ドリフト層4とベース領域5との界面より少し下で停止させるようにしてもよい。

【0056】

第1～第3の半導体ピラー領域11～13の形成に際して、各半導体ピラー領域11～13の側面と、ドリフト層4との間には絶縁膜14が設けられているため、各半導体ピラー領域11～13とドリフト層4間の不純物の拡散が抑制される。このため、電流経路の不純物濃度が変動してオン抵抗が上昇してしまうのを防ぐことができ、また、トレンチT1～T3のピッチが微細化しても、半導体ピラー領域11～13の不純物濃度を所望に制御しやすい。

10

【0057】

次に、第1のトレンチT1において、第1の半導体ピラー領域11よりも上であって第1の半導体ピラー領域11が充填されていない部分の側壁面に形成された絶縁膜14をエッチングにより除去し、これにより、図13に示すように、第1のトレンチT1内には、第1の半導体ピラー領域11の周囲の絶縁膜14aのみが残される。

【0058】

次に、図14に示すように、第1の半導体ピラー領域11の上に絶縁膜15を形成すると共に、第1のトレンチT1において第1の半導体ピラー領域11よりも上の側壁面に絶縁膜16を形成する。絶縁膜15、16は、例えば熱酸化法により形成されるシリコン酸化膜である。

20

【0059】

次に、絶縁膜15より上の第1のトレンチT1内にポリシリコンを埋め込んだ後、そのポリシリコンに不純物の注入を行い、この後、熱処理により、注入された不純物を拡散させて低抵抗なポリシリコンとし、さらにこの後、そのポリシリコンを第1のトレンチT1の開口端よりも下までエッチバックする。これにより、図15に示すように、絶縁膜16を介してベース領域5に向き合うゲート電極8が第1のトレンチT1内のみ形成される。なお、ゲート電極8は、シリコン以外の半導体でもよく、さらには半導体に限らず金属でもよい。

【0060】

次に、図2に示すように、ゲート電極8の上の第1のトレンチT1内を充填する層間絶縁膜17を形成する。層間絶縁膜17は、例えばシリコン酸化膜である。

30

【0061】

次に、ベース領域5の表層部に選択的にN型不純物のイオン注入および熱拡散処理を行い、N<sup>+</sup>型シリコンのソース領域6を形成する。

【0062】

次に、図1に示される構造体の全面に、例えばスパッタ法によりアルミニウムからなるソース電極7を形成する。ドレイン層3の裏面側には、ドレイン電極2が形成される。

【0063】

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

40

【0064】

前述した実施形態では、第1導電型をN型、第2導電型をP型として説明したが、第1導電型をP型、第2導電型をN型としてもよく、すなわち、前述した実施形態においてN型として説明した半導体構成要素がP型、P型として説明した半導体構成要素がN型であってもよい。

【0065】

前述した各要素の半導体はシリコン以外の半導体（例えば、SiGe、SiC、GaAs、GaN等）を用いてもよい。また絶縁膜は、シリコン酸化膜以外にもシリコン窒化膜

50

などを用いてもよい。

【図面の簡単な説明】

【0066】

【図1】本発明の実施形態に係る半導体装置において第1の主電極であるソース電極の下の平面構造を例示する模式図。

【図2】図1におけるA-A断面図。

【図3】図1におけるB-B断面図。

【図4】図1におけるC-C断面図。

【図5】本実施形態に係る半導体装置においてゲート電極及びゲート配線の平面パターン  
の一例を示す模式図。

10

【図6】本実施形態に係る半導体装置においてベース領域、第2の半導体ピラー領域および第3の半導体ピラー領域の表層部に高不純物濃度の領域を形成するためのイオン注入マスクの一例を示す模式図。

【図7】本実施形態に係る半導体装置の製造工程の要部を例示する工程断面図。

【図8】本実施形態に係る半導体装置の製造工程の要部を例示する平面図。

【図9】図8におけるD-D断面図。

【図10】図9に続く工程断面図。

【図11】図10に続く工程断面図。

【図12】図11に続く工程断面図。

【図13】図13に続く工程断面図。

20

【図14】図14に続く工程断面図。

【図15】図15に続く工程断面図。

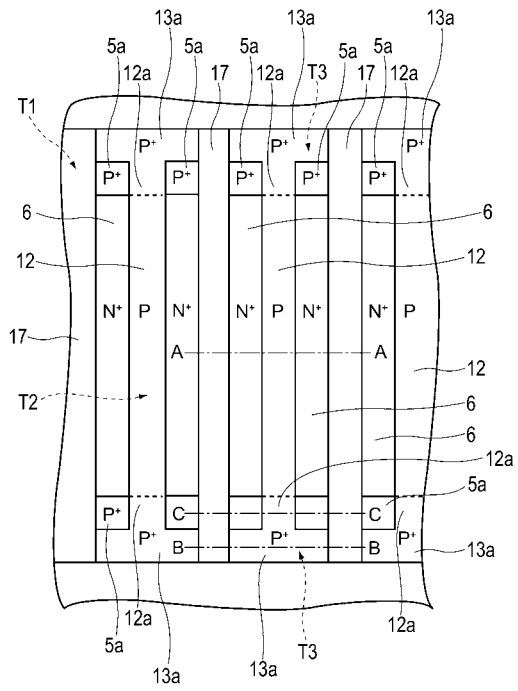
【符号の説明】

【0067】

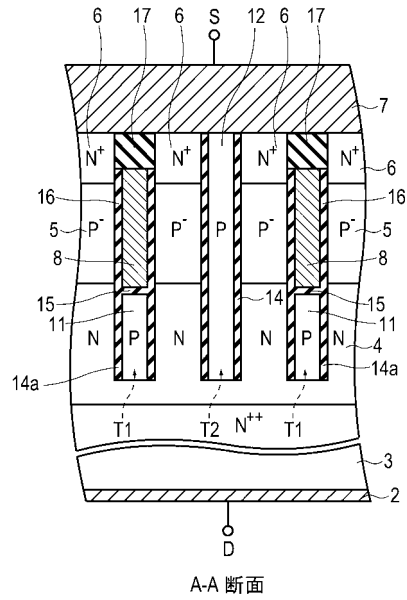
2 ... 第2の主電極（ドレイン電極）、3 ... ドレイン層、4 ... 半導体層（ドリフト層）、  
5 ... 第1の半導体領域（ベース領域）、6 ... 第2の半導体領域（ソース領域）、7 ... 第1  
の主電極（ソース電極）、8 ... ゲート電極、11 ... 第1の半導体ピラー領域、12 ... 第2  
の半導体ピラー領域、13 ... 第3の半導体ピラー領域、14 a ... 第1の絶縁膜、14 ... 第  
2の絶縁膜、15 ... 第3の絶縁膜、T1 ... 第1のトレンチ、T2 ... 第2のトレンチ、T3  
... 第3のトレンチ

30

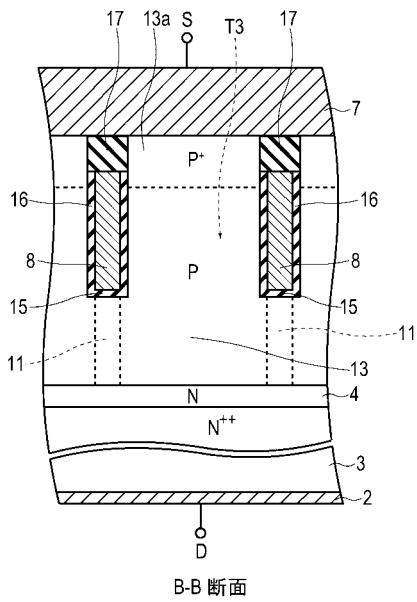
【 図 1 】



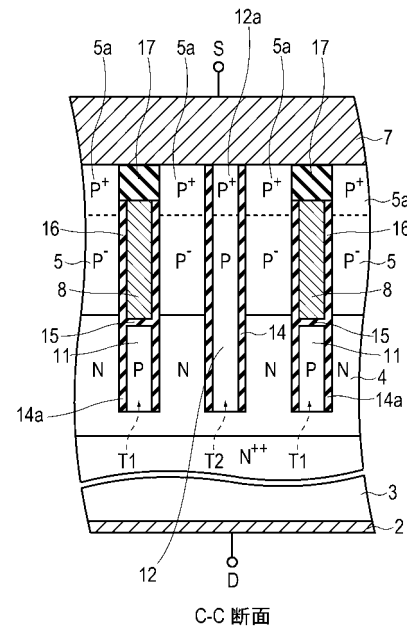
【 図 2 】



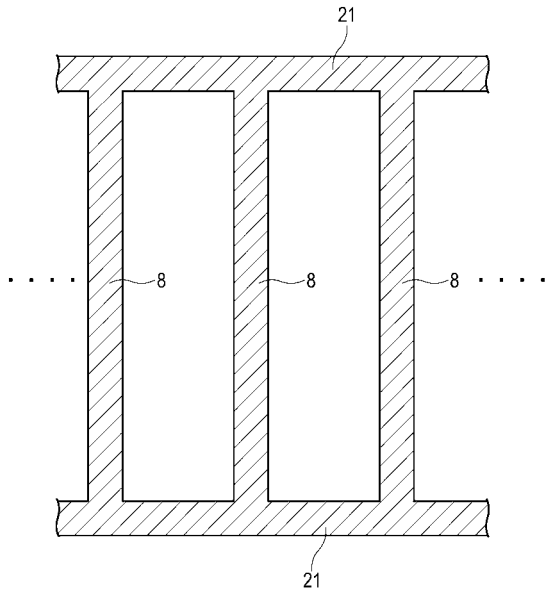
【 図 3 】



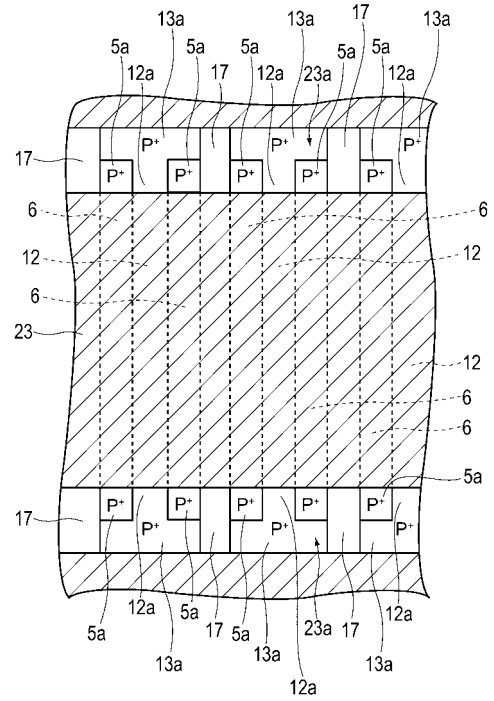
【 図 4 】



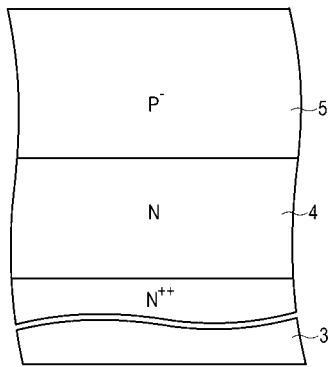
【 図 5 】



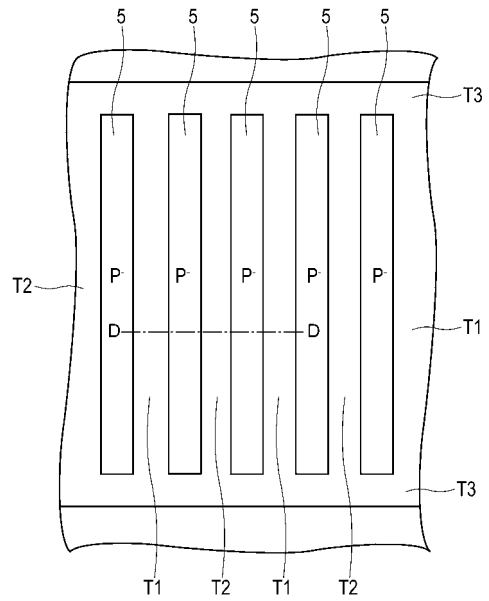
【 図 6 】



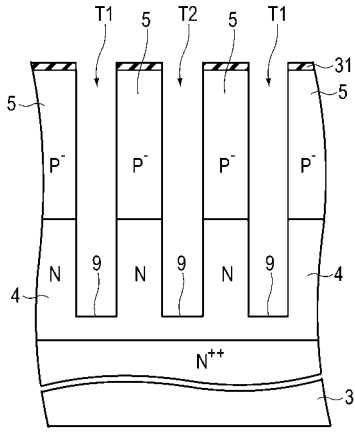
【 図 7 】



【 図 8 】

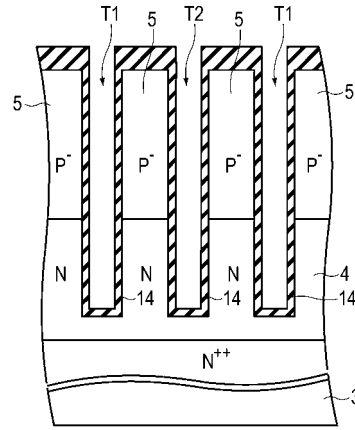


【 図 9 】

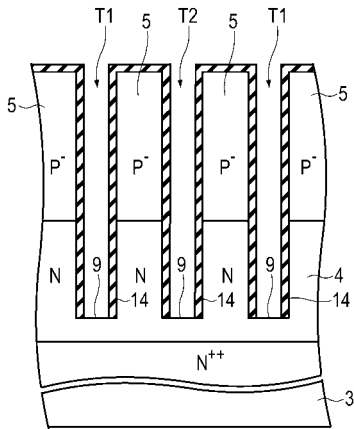


D-D 断面

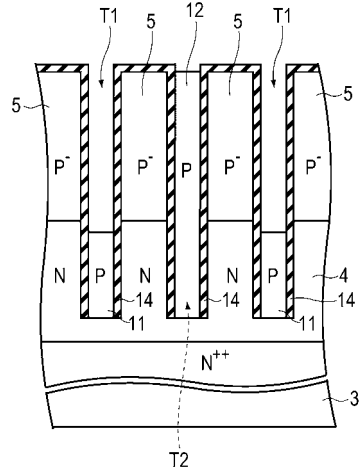
【 図 10 】



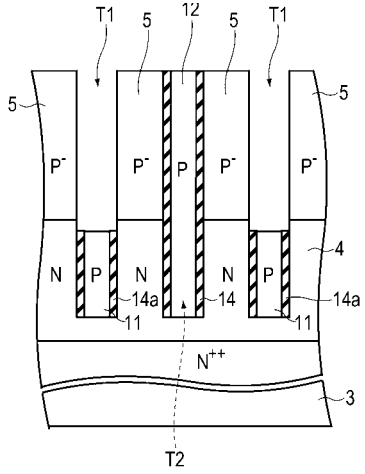
【 図 11 】



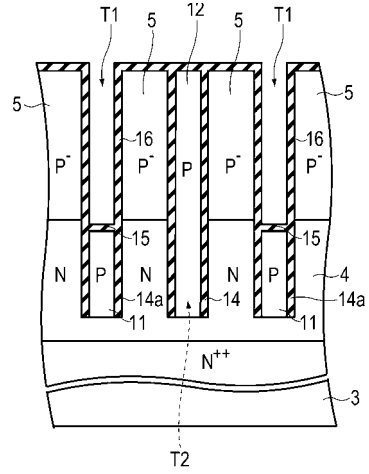
【 図 12 】



【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

