

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4754918号
(P4754918)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月3日(2011.6.3)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 C
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 G
HO 1 L 21/20 (2006.01)	HO 1 L 21/20
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 B
請求項の数 7 (全 58 頁) 最終頁に続く	

(21) 出願番号 特願2005-281280 (P2005-281280)
 (22) 出願日 平成17年9月28日(2005.9.28)
 (65) 公開番号 特開2006-128654 (P2006-128654A)
 (43) 公開日 平成18年5月18日(2006.5.18)
 審査請求日 平成19年9月20日(2007.9.20)
 (31) 優先権主張番号 特願2004-287976 (P2004-287976)
 (32) 優先日 平成16年9月30日(2004.9.30)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 森末 将文
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 宮澤 尚之

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1のゲート電極上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に半導体の結晶化を促進する触媒元素を有する触媒元素層を形成し、
 前記触媒元素層上に第1の半導体膜を形成し、
 前記第1の半導体膜上にn型を付与する第1の不純物元素が添加された第2の半導体膜を形成し、
 前記第1の半導体膜と前記第2の半導体膜とを加熱処理し、
 前記第2の半導体膜をエッチングして第1の半導体領域を形成し、且つ、前記第1の半導体膜をエッチングして前記第1の半導体領域と重なる第2の半導体領域を形成し、
 前記第1の半導体領域上に第1のソース電極及び第1のドレイン電極を形成し、
 前記第1の半導体領域をエッチングして第1のソース領域及び第1のドレイン領域を形成し、
 前記加熱処理によって、前記触媒元素層から前記第1の半導体膜へ前記触媒元素を移動させて前記第1の半導体膜を結晶化し、前記第1の半導体膜から前記第2の半導体膜へ前記触媒元素を移動させて前記第2の半導体膜を結晶化し、
 前記第1のソース領域及び前記第1のドレイン領域は結晶性を有し且つ前記触媒元素が含まれることを特徴とする半導体装置の作製方法。

【請求項2】

第 1 のゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に半導体の結晶化を促進する触媒元素を有する触媒元素層を形成し、

前記第 1 の半導体膜上及び前記触媒元素層上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成し、

前記第 1 の半導体膜と前記第 2 の半導体膜とを加熱処理し、
前記第 2 の半導体膜をエッチングして第 1 の半導体領域を形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域を形成し、

前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、
前記第 1 の半導体領域をエッチングして第 1 のソース領域及び第 1 のドレイン領域を形成し、

前記加熱処理によって、前記触媒元素層から前記第 1 の半導体膜へ前記触媒元素を移動させて前記第 1 の半導体膜を結晶化し、前記第 1 の半導体膜から前記第 2 の半導体膜へ前記触媒元素を移動させて前記第 2 の半導体膜を結晶化し、

前記第 1 のソース領域及び前記第 1 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれることを特徴とする半導体装置の作製方法。

【請求項 3】

第 1 のゲート電極上及び第 2 のゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に半導体の結晶化を促進する触媒元素を有する触媒元素層を形成し、

前記触媒元素層上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成し、

前記第 1 の半導体膜と前記第 2 の半導体膜とを加熱処理し、
前記第 2 の半導体膜をエッチングして第 1 の半導体領域と第 3 の半導体領域とを形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域と前記第 3 の半導体領域と重なる第 4 の半導体領域とを形成し、

前記第 1 の半導体領域の全部を覆う第 1 のマスクと、前記第 3 の半導体領域の一部を覆う第 2 のマスクと、を形成し、

前記第 1 のマスク及び前記第 2 のマスクが形成された状態で、前記第 3 の半導体領域に p 型を付与する第 2 の不純物元素を添加し、

前記第 1 のマスク及び前記第 2 のマスクを除去し、
前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、且つ、前記第 3 の半導体領域上に第 2 のソース電極及び第 2 のドレイン電極を形成し、

前記第 1 の半導体領域をエッチングして第 1 のソース領域及び第 1 のドレイン領域を形成し、且つ、前記第 3 の半導体領域をエッチングして第 2 のソース領域及び第 2 のドレイン領域を形成し、

前記第 2 のマスクは、第 2 のソース領域と前記第 2 のドレイン領域との間の位置に形成され、

前記加熱処理によって、前記触媒元素層から前記第 1 の半導体膜へ前記触媒元素を移動させて前記第 1 の半導体膜を結晶化し、前記第 1 の半導体膜から前記第 2 の半導体膜へ前記触媒元素を移動させて前記第 2 の半導体膜を結晶化し、

前記第 1 のソース領域及び前記第 1 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれ、且つ、前記第 2 のソース領域及び前記第 2 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれることを特徴とする半導体装置の作製方法。

【請求項 4】

第 1 のゲート電極上及び第 2 のゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に半導体の結晶化を促進する触媒元素を有する触媒元素層を形成

10

20

30

40

50

し、

前記第 1 の半導体膜上及び前記触媒元素層上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成し、

前記第 1 の半導体膜と前記第 2 の半導体膜とを加熱処理し、

前記第 2 の半導体膜をエッチングして第 1 の半導体領域と第 3 の半導体領域とを形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域と前記第 3 の半導体領域と重なる第 4 の半導体領域とを形成し、

前記第 1 の半導体領域の全部を覆う第 1 のマスクと、前記第 3 の半導体領域の一部を覆う第 2 のマスクと、を形成し、

前記第 1 のマスク及び前記第 2 のマスクが形成された状態で、前記第 3 の半導体領域に p 型を付与する第 2 の不純物元素を添加し、

前記第 1 のマスク及び前記第 2 のマスクを除去し、

前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、且つ、前記第 3 の半導体領域上に第 2 のソース電極及び第 2 のドレイン電極を形成し、

前記第 1 の半導体領域をエッチングして第 1 のソース領域及び第 1 のドレイン領域を形成し、且つ、前記第 3 の半導体領域をエッチングして第 2 のソース領域及び第 2 のドレイン領域を形成し、

前記第 2 のマスクは、第 2 のソース領域と前記第 2 のドレイン領域との間の位置に形成され、

前記加熱処理によって、前記触媒元素層から前記第 1 の半導体膜へ前記触媒元素を移動させて前記第 1 の半導体膜を結晶化し、前記第 1 の半導体膜から前記第 2 の半導体膜へ前記触媒元素を移動させて前記第 2 の半導体膜を結晶化し、

前記第 1 のソース領域及び前記第 1 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれ、且つ、前記第 2 のソース領域及び前記第 2 のドレイン領域は結晶性を有し且つ前記触媒元素が含まれることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 2 又は請求項 4 において、

前記触媒元素層を選択的に形成することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 2、請求項 4、又は請求項 5 のいずれか一項において、

前記ゲート絶縁膜は、窒化珪素膜と、前記窒化珪素膜上に設けられた酸化珪素膜と、の積層で構成され、

チャンバー内でシランガス及びアンモニアガスを原料とした C V D 法により前記窒化珪素膜を形成する第 1 の工程と、

前記第 1 の工程の後、前記チャンバー内でシランガス及び酸化窒素を原料とした C V D 法により前記酸化珪素膜を形成する第 2 の工程と、

前記第 2 の工程の後、プラズマを発生させずにシランガスのみを前記チャンバー内に流す第 3 の工程と、

前記第 3 の工程の後、シランガスを原料とした C V D 法により前記第 1 の半導体膜を形成する第 4 の工程と、を有し、

前記第 1 乃至前記第 4 の工程は連続して行われることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 2 の半導体膜に希ガスが含まれていることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、結晶性半導体膜で形成される逆スタガ型薄膜トランジスタを有する液晶表示装置の作製方法に関するものである。

10

20

30

40

50

【背景技術】

【0002】

近年、液晶ディスプレイ（LCD）やELディスプレイに代表されるフラットパネルディスプレイ（FPD）は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビの開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビに追随し、大画面ELテレビの開発も行われている。

【0003】

従来の液晶装置において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ（以下、TFTと示す。）が用いられている。

10

【0004】

一方、従来の液晶テレビにおいては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCBモードが提案されている（非特許文献1）。

【非特許文献1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ2002」、日系BP社、2001年10月、P102-109

【発明の開示】

【発明が解決しようとする課題】

【0005】

一方、LCDの画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いたTFTでは限界がある。例えば、OCBモードの液晶表示装置を実現することが困難となる。

20

【0006】

また、従来のフォトリソグラフィ工程を用いた逆スタガ型TFTの形成工程においては、CVD法、PVD法等により基板上全面に成膜された膜上にレジストを塗布し、露光現像して、配線や半導体領域を形成していた。しかしながら、この場合、CVD法、PVD法等により基板上全面に成膜された膜、レジスト等の材料の大部分が無駄になると共に、配線や半導体領域を形成するための工程数が多く、スループットが低下するという問題がある。

【0007】

また、フォトリソグラフィ工程に用いられる露光装置は、大面積基板を一度に露光処理することが困難である。このため、大面積基板を用いた表示装置の作製方法においては、複数の露光回数を必要としていた。このため、隣り合うパターンとの不整合が生じ、歩留まりが低下するという問題がある。この問題は、大型テレビジョンに代表される大型液晶表示装置に対して顕著である。

30

【0008】

本発明は、このような状況に鑑みなされたものであり、しきい値のずれが生じにくく、高速動作が可能な逆スタガ型TFTを有する半導体装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な液晶表示装置の作製方法を提供する。更には、少ない原料でコスト削減が可能であり、且つ歩留まりが高い半導体装置、及び液晶表示装置の作製方法を提供する。

40

【課題を解決するための手段】

【0009】

本発明は、耐熱性の高い材料でゲート電極を形成した後、非晶質半導体膜、非晶質半導体膜の結晶化を促進する触媒元素を有する層、及びドナー型元素又は希ガス元素を有する層を形成し加熱して、非晶質半導体膜を結晶化すると共に触媒元素を結晶性半導体膜から除いた後、該結晶性半導体膜の一部を用いて半導体領域を形成し、該半導体領域に電氣的に接するソース電極及びドレイン電極を形成し、ゲート電極に接続するゲート配線を形成して、逆スタガ型TFTを形成することを要旨とする。

【0010】

50

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記第1の半導体領域上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

10

【0011】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記第1の半導体領域上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を液滴吐出法により形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

20

【0012】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記第1の半導体領域上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を液滴吐出法により形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

30

【0013】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を液滴吐出法により形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装

40

50

置の作製方法である。

【0014】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体領域が重畳する領域上に保護層を形成し、前記第1の半導体領域及び前記保護層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

10

【0015】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体領域が重畳する領域上に保護層を形成し、前記半導体領域及び前記保護層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を液滴吐出法により形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

20

【0016】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体領域、及び前記触媒元素を有する層が重畳する領域上に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ゲート絶縁膜及び前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜及び前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

30

40

【0017】

本発明の一は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体領域、及び前記触媒元素を有する層が重畳する領域上に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域に接する第1の導電層を液滴吐出法により形成し、前記第1の導電層及び前記第

50

2の半導体領域の一部をエッチングして、ソース電極及びドレイン電極、並びにソース領域及びドレイン領域を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を液滴吐出法により形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート絶縁膜上に、前記ゲート電極に接続するゲート配線を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0018】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記第1の半導体領域上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0019】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記第1の半導体領域上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0020】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0021】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及

びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0022】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体領域が重畳する領域上に保護層を形成し、前記第1の半導体領域及び前記保護層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0023】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に触媒元素を有する層を形成し、前記触媒元素を有する層上に第1の半導体領域を形成し、前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体領域が重畳する領域上に保護層を形成し、前記第1の半導体領域及び前記保護層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0024】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体領域、及び前記触媒元素を有する層が重畳する領域上に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に絶縁膜を形成し、前記絶縁膜の一部をエッチングして、前記ゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記絶縁膜の一部をエッチングして前記ソース電極又はドレイン電極の一部を露出した後、前記ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方

10

20

30

40

50

法である。

【 0 0 2 5 】

本発明の一は、基板上にゲート電極を形成し、前記ゲート電極上にゲート絶縁膜を形成し、前記ゲート絶縁膜上に第1の半導体領域を形成し、前記第1の半導体領域上に触媒元素を有する層を形成し、前記ゲート電極、前記第1の半導体領域、及び前記触媒元素を有する層が重畳する領域上に保護層を形成し、前記保護層及び前記触媒元素を有する層上に不純物元素を有する第2の半導体領域を形成した後加熱し、加熱された前記第2の半導体領域をエッチングしてソース領域及びドレイン領域を形成し、前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを液滴吐出法により形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜を形成し、前記ソース電極又はドレイン電極の一方の少なくとも一部を覆う絶縁膜及び前記ゲート電極上に、前記ゲート配線に接続する導電層を液滴吐出法により形成し、前記ソース電極又はドレイン電極の他方に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

10

【 0 0 2 6 】

なお、前記ゲート絶縁膜、ゲート配線、前記ソース電極及びドレイン電極上に形成される絶縁膜に代えて、ソース電極又はドレイン電極の一部を覆う絶縁膜を形成しても良い。

【 0 0 2 7 】

触媒元素としては、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、チタン(Ti)、銅(Cu)、ニッケル(Ni)、白金(Pt)等の一つ又は複数をを用いて形成することができる。

20

【 0 0 2 8 】

また、ソース電極又はドレイン電極に接する第1の電極を形成した後、ゲート電極に接続するゲート配線を形成してもよい。また、ゲート電極に接続するゲート配線を形成した後、ソース電極又はドレイン電極に接する第1の電極を形成してもよい。

【 0 0 2 9 】

また、ゲート配線は、3つ以上のゲート電極に接続されている。この場合、ゲート配線は低抵抗材料で形成されていることが好ましい。一方、ゲート配線は、2つのゲート電極に接続されていてもよい。この場合は、ゲート配線の材料は特に問われない。

30

【 0 0 3 0 】

また、ゲート電極は、絶縁表面上に導電膜を形成し、導電膜上に感光性樹脂を吐出又は塗布し、感光性樹脂の一部にレーザ光を照射してマスクを形成した後、マスクを用いて導電膜をエッチングして形成してもよい。

【 0 0 3 1 】

また、ゲート電極は、耐熱性を有する導電層で形成されており、代表的には、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム(Cr)、コバルト、ニッケル、白金、リンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズで形成される。

40

【 0 0 3 2 】

また、不純物元素はリン、ヒ素、アンチモン、ビスマスから選ばれた元素である。

【 0 0 3 3 】

また、上記構成において、第1の電極を、画素電極として用いることができる。

【 0 0 3 4 】

なお、ゲート絶縁膜として窒化珪素膜を有する層を形成してもよい。また、窒化珪素膜を成膜した後、前記窒化珪素膜に接するように前記触媒元素を有する層又は第1の半導体領域を形成してもよい。

【 0 0 3 5 】

50

また、本発明の一は、上記半導体装置を有する液晶テレビジョン装置である。

【0036】

また、本発明において、半導体装置としては、半導体素子で構成された集積回路、表示装置、無線チップ、ICタグ、表示装置等が挙げられる。表示装置としては、代表的には液晶表示装置、DMD(Digital Micromirror Device; デジタルマイクロミラーデバイス)、PDP(Plasma Display Panel; プラズマディスプレイパネル)、FED(Field Emission Display; フィールドエミッションディスプレイ)、電気泳動表示装置(電子ペーパー)等の表示装置があげられる。

【0037】

なお、本発明において、液晶表示装置とは、液晶表示素子を用いたデバイス、即ち画像表示デバイスを指す。また、液晶表示パネルにコネクタ、例えばフレキシブルプリント配線(FPC: Flexible Printed Circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)やCPUが直接実装されたモジュールも全て表示装置に含むものとする。

【発明の効果】

【0038】

本発明により、結晶性半導体膜で形成される逆スタガ型TFTを形成することができる。本発明の逆スタガ型TFTは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための触媒元素のゲッタリング工程とを同時に行うことが可能であり、工程数の削減が可能であるため、スループットを向上させることができる。また、加熱処理数を削減できるため、省エネルギー化が可能である。

【0039】

また、本発明の逆スタガ型TFTは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、結晶化工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【0040】

このため、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型TFTと比較して数10~50倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。代表的には、OCBモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

【0041】

また、液晶表示装置の周辺部に、画素領域内のTFTと同時に走査線駆動回路を形成することが可能である。このため、小型化された液晶表示装置を作製することが可能である。

【0042】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には6桁以上のON/OFF比を有するTFTを形成することが可能である。このようなTFTを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0043】

また、本発明では、このため、基板全面に薄膜を成膜せずとも、液滴吐出法を用いて所

10

20

30

40

50

定の場所に薄膜原料やレジストを吐出すればよく、フォトマスクを用いずとも、TFTを形成することができる。このため、スループットや歩留まりを向上させると共に、コストダウンを図ることが可能となる。

【0044】

さらには、上記の作製工程により形成された半導体装置、又は液晶表示装置を有する液晶テレビジョンを、スループットや歩留まりを向上させることが可能であり、低コストで作製することができる。

【発明を実施するための最良の形態】

【0045】

以下、発明を実施するための最良の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

【0046】

(実施形態1)

本実施形態においては、結晶性半導体膜を有する逆スタガ型TFTの作製工程を、図1～図3及び図39を用いて説明する。

【0047】

図1(A)に示すように、基板101上に第1の導電層102を形成し、第1の導電層上に感光性材料103、104を塗布又は吐出し乾燥焼成する。次に、感光性材料103、104にレーザービーム105、106を照射して、図1(B)に示すような第1のマスク111、112を形成する。

【0048】

基板101としては、ガラス基板、石英基板、アルミナなどのセラミック等絶縁物質で形成される基板、シリコンウェハ、金属板等を用いることができる。また、基板101として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。

【0049】

第1の導電層102は、膜厚500～1000nmの液滴吐出法、印刷法、無電界メッキ法等により所定の領域に形成する。また、PVD法(Physical Vapor Deposition)、CVD法(Chemical Vapor Deposition)、蒸着法等により基板全面に形成しても良い。なお、ここで、液滴吐出法、印刷法、を用いることにより、所定の領域に形成するため、後のエッチング工程により除去する領域が少なく、原料を削減することが可能である。

【0050】

第1の導電層102は、高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の結晶化工程、ゲッタリング工程、活性化工程等の加熱工程が可能となる。高融点材料としては、タングステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の層を積層して形成しても良い。代表的には、基板表面側から窒化タンタル膜及びその上に形成されるタングステン膜、窒化タンタル膜及びその上に形成されるモリブデン膜、窒化チタン膜及びその上に形成されるタングステン膜、窒化チタン膜及びその上に形成されるモリブデン膜等の積層構造としてもよい。また、リンを含有する珪素膜(非晶質半導体膜、結晶性半導体膜を含む)、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズを用いること

10

20

30

40

50

もできる。

【0051】

感光性材料103、104の材料としては、紫外光から赤外光に感光する材料ネガ型感光性材料又はポジ型感光性材料を用いる。感光性材料の代表例としては、エポキシ樹脂、クリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の感光性を示す樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、ポリイミドなどの感光性を示す有機材料等を用いることができる。また、代表的なポジ型感光性樹脂として、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物を有する感光性樹脂が挙げられ、ネガ型感光性樹脂として、ベース樹脂、ジフェニルシランジオール及び酸発生剤などを有する感光性樹脂が挙げられる。ここでは、ネガ型感光性材料を用いる。

10

【0052】

次に、感光性材料103、104にレーザービーム直接描画装置を用いてレーザービーム105、106を照射する。

【0053】

レーザービーム描画装置について、図39を用いて説明する。図39に示すように、レーザービーム描画装置1001は、レーザービームを照射する際の各種制御を実行するパーソナルコンピュータ(以下、PCと示す。)1002と、レーザービームを出力するレーザー発振器1003と、レーザー発振器1003の電源1004と、レーザービームを減衰させるための光学系(NDフィルタ)1005と、レーザービームの強度を変調するための音響光学変調器(AOM)1006と、レーザービームの断面の拡大又は縮小をするためのレンズ、光路の変更するためのミラー等で構成される光学系1007、Xステージ及びYステージを有する基板移動機構1009と、PCから出力される制御データをデジタル-アナログ変換するD/A変換部1010と、D/A変換部から出力されるアナログ電圧に応じて音響光学変調器1006を制御するドライバ1011と、基板移動機構1009を駆動するための駆動信号を出力するドライバ1012とを備えている。

20

【0054】

レーザー発振器1003としては、紫外光、可視光、又は赤外光を発振することが可能なレーザー発振器を用いることができる。レーザー発振器としては、KrF、ArF、KrF、XeCl、Xe等のエキシマレーザー発振器、He、He-Cd、Ar、He-Ne、HF等の気体レーザー発振器、YAG、GdVO₄、YVO₄、YLF、YAlO₃などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使った固体レーザー発振器、GaN、GaAs、GaAlAs、InGaAsP等の半導体レーザー発振器を用いることができる。なお、固体レーザー発振器においては、基本波の第1高調波～第5高調波を適用するのが好ましい。

30

【0055】

次に、レーザービーム直接描画装置を用いた感光性材料の感光方法について述べる。基板1008が基板移動機構1009に装着されると、PC1002は図外のカメラによって、基板に付されているマーカの位置を検出する。次いで、PC1002は、検出したマーカの位置データと、予め入力されている描画パターンデータとに基づいて、基板移動機構1009を移動させるための移動データを生成する。この後、PC1002が、ドライバ1011を介して音響光学変調器1006の出力光量を制御することにより、レーザー発振器1003から出力されたレーザービームは、光学系1005によって減衰された後、音響光学変調器1006によって所定の光量になるように光量が制御される。一方、音響光学変調器1006から出力されたレーザービームは、光学系1007で光路及びビーム形を変化させ、レンズで集光した後、基板上に塗布された感光性材料に該ビームを照射して、感光性材料を感光する。このとき、PC1002が生成した移動データに従い、基板移動機構1009をX方向及びY方向に移動制御する。この結果、所定の場所にレーザービームが照射され、感光性材料の露光が行われる。

40

【0056】

50

この結果、図1(B)に示すように、レーザービームが照射された領域に第1のマスク111、112が形成される。ここでは、感光性材料としてネガ型を用いているため、レーザービームが照射された領域がレジストマスクとなる。レーザー光のエネルギーの一部は、レジストで熱に変換され、レジストの一部を反応させるため、レジストマスクの幅は、レーザービームの幅より若干大きくなる。また、短波長のレーザー光のほど、ビーム径を短く集光することが可能であるため、微細な幅のレジストマスクを形成するためには、短波長のレーザービームを照射することが好ましい。

【0057】

また、レーザービームの感光性材料表面でのスポット形状は、点状、円形、楕円形、矩形、または線状（厳密には細長い長方形）となるように光学系で加工されている。なお、スポット形状は円形であっても構わないが、線状にした方が、幅が均一なレジストマスクを形成することができる。

10

【0058】

また、図39に示した装置は、基板の表面側からレーザー光を照射して露光する例を示したが、光学系や基板移動機構を適宜変更し、基板の裏面側からレーザー光を照射して露光するレーザービーム描画装置としてもよい。

【0059】

なお、ここでは、基板を移動して選択的にレーザービームを照射しているが、これに限定されず、レーザービームをXY軸方向に走査してレーザービームを照射することができる。この場合、光学系1007にポリゴンミラーやガルバノミラーを用いることが好ましい。

20

【0060】

次に、図1(C)に示すように、第1のマスクを用いて、第1の導電層102をエッチングして、第2の導電層121a、121bを形成する。第2の導電層121aは、ゲート電極として機能し、第2の導電層121bは、ゲート電極においてゲート配線と接続する領域（以下、ゲート電極の接続部と示す。）である。なお、図1(C)においては、第2の導電層121a、121bは分断された状態で表示されているが、実際には図3(C)に示すように、接続された同一の領域である。

【0061】

次に、第1のマスクを除去した後、第1の絶縁膜を形成する。ここで第1の絶縁膜として膜厚50～100nmの絶縁膜123a及び膜厚50～100nmの絶縁膜123b及び膜厚0.3～5nmの絶縁膜123cを積層させて形成する。その後第1の絶縁膜上に触媒元素を有する層125を形成する。

30

【0062】

第1の絶縁膜である絶縁膜123a、123b、123cは、ゲート絶縁膜として機能する。絶縁膜123a、123bは、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)などを適宜用いることができる。更には、第2の導電層121a、121bを陽極酸化して、絶縁膜123a、123bの代わりに、陽極酸化膜を形成しても良い。なお、基板側から不純物などの拡散を防止するため、基板側に接する絶縁膜123aとしては、窒化珪素(SiN_x)、窒化酸化珪素(SiN_xO_y)(x>y)などを用いて形成することが望ましい。また絶縁性や膜中欠陥が及ぼすデバイス特性の影響を低減するために、絶縁膜123bとしては、酸化珪素(SiO_x)、酸化窒化珪素(SiO_xN_y)(x>y)などを用いて形成することが望ましい。しかしながら、該構造に限定されず、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等のいずれかを適宜組み合わせる積層構造としてもよい。なお、酸化珪素(SiO_x)膜には、水素が含まれている。

40

【0063】

半導体膜に接する絶縁膜123cは、膜厚0.3nm～5nmの窒化珪素膜、あるいは窒化珪素酸化膜を形成すると好ましい。本実施の形態では、半導体膜に結晶化を促進する金属元素（本実施の形態ではニッケルを用いる）を添加し、その後ゲッターリング処理を行

50

って除去する。酸化珪素膜と珪素膜とは界面状態は良好であるが、界面において珪素膜中の金属元素と酸化珪素中の酸素が反応し、酸化金属物（本実施の形態では酸化ニッケル（ NiO_x ））になりやすく、金属元素がゲッタリングされにくくなる場合がある。また、窒化珪素膜は、窒化珪素膜の応力や、トラップの影響により、半導体膜との界面状態に悪影響を与える恐れがある。よって、半導体膜に接する絶縁層の最上層に、膜厚0.3~5nmの窒化珪素膜、あるいは窒化酸化珪素膜を形成する。本実施の形態では、基板101及び、第2の導電層121a、121b上に絶縁膜123aとして窒化酸化珪素膜さらに絶縁膜123bとして酸化窒化珪素膜を積層した後、酸化窒化珪素膜上に膜厚0.1nm~10nm、好ましくは1~3nmの絶縁膜123cとして窒化酸化珪素膜を形成し、3層の積層構造とする。このような構造であると、半導体膜中の金属元素のゲッタリング効率も上がり、かつ半導体膜への窒化珪素膜の悪影響も軽減できる。また積層される絶縁層は同チャンバー内で真空を破らずに同一温度下で、反応ガスを切り換えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。

10

【0064】

触媒元素を有する層125の形成方法としては、PVD法、CVD法、蒸着法等により第1の絶縁膜表面に、触媒元素又は触媒元素の珪化物の薄膜を形成する方法、第1の絶縁膜表面に触媒元素を含む溶液を塗布する方法などがある。触媒元素としては、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、銅（Cu）、チタン（Ti）、ニッケル（Ni）、白金（Pt）等の一つ又は複数を用いて形成することができる。また、上記触媒元素で形成される電極を用いて、半導体膜表面をプラズマ処理してもよい。ここでは、1~200ppm、10~150ppmのニッケルを含む溶液を塗布する。なお、ここでは触媒元素とは半導体膜の結晶化を促進又は助長させる元素のことである。

20

【0065】

次に図1（D）に示すように、触媒元素を有する層125上に膜厚50~250nmの第1の半導体膜124を形成し、第1の半導体膜124上にドナー型元素が含まれる膜厚80~250nmの第2の半導体膜132を形成する。

【0066】

第1の半導体膜124としては、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体（SASとも表記する）、非晶質半導体中に0.5nm~20nmの結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜で形成する。特に、0.5nm~20nmの結晶を粒観察することができる微結晶状態はいわゆるマイクロクリスタル（ μc ）と呼ばれている。いずれも、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする膜厚は半導体膜を用いることができる。

30

【0067】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、第1の半導体膜124の膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ （以下、濃度はすべて二次イオン質量分析法（SIMS）にて測定した原子濃度として示す。）以下に低減させておくことと良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

40

【0068】

第2の半導体膜132としては、珪化物気体にリン、ヒ素のようなドナー型元素を有する気体を加えたプラズマCVD法で成膜する。このような手法により第2の半導体膜を形成することで、第1の半導体膜と第2の半導体膜との界面が形成される。また、ドナー型元素が含まれる第2の半導体膜132としては、第1の半導体膜と同様の半導体膜を形成した後、ドナー型元素をイオンドープ法又はイオン注入法により添加して形成することが

50

できる。このときの、第2の半導体膜132では、リンの濃度が $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ であることが好ましい。

【0069】

さらには、上記プラズマCVD法、又はイオンドープ法、イオン注入法を用いて、第1の半導体膜124に接する側に、低濃度領域（以下、 n^- 領域と示す。）、その上に高濃度領域（以下、 n^+ 領域と示す。）の積層構造としても良い。このとき、 n^- 領域のドナー型元素の濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ とし、 n^+ 領域のドナー型元素の濃度は、 n^- 領域のドナー型元素の10～100倍とする。また、 n^- 領域の膜厚は50～200nmであり、 n^+ 領域の膜厚は30～100nm好ましくは40～60nmである。ここでは、第2の半導体膜132として、破線より第1の半導体膜124側の領域を n^- 領域とし、その表面に n^+ 領域を示す。

10

【0070】

このときのドナー型元素が含まれる第2の半導体膜の不純物のプロファイルを図19に示す。図19(A)は、第1の半導体膜124上に、プラズマCVD法によりドナー型元素が含まれる第2の半導体膜132aを形成した時の、ドナー型元素のプロファイル150aを示す。なお、第2の半導体膜132aは、表面から n^+ 領域144a及び n^- 領域144bの界面までは、膜の深さ方向に対して一定の濃度（第1の濃度）のドナー型元素が分布している。また、 n^+ 領域144a及び n^- 領域144bの界面から、第1の半導体膜124の界面までは、膜の深さ方向に対して一定の濃度（第2の濃度）のドナー型元素が分布している。このとき、第1の濃度は第2の濃度より高い。

20

【0071】

一方、図19(B)は、第1の半導体膜124上に、非晶質半導体、SAS、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にドナー型元素を添加して第2の半導体膜132bを形成した時の、ドナー型元素のプロファイル150bを示す。図19(B)に示すように、第2の半導体膜の表面付近は、ドナー型元素濃度が比較的高い。この領域を n^+ 領域144aと示す。一方、第1の半導体膜124に近づくにつれ、ドナー型元素濃度が比較的低い濃度が減少している。ドナー型元素濃度が $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ の領域、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ の領域を n^- 領域144bと示す。また、 n^+ 領域144aのドナー型元素の濃度は、 n^- 領域のドナー型元素の10～100倍である。

30

【0072】

n^+ 領域144aは後にソース領域及びドレイン領域として機能し、 n^- 領域144bはLDD領域として機能する。なお、 n^+ 領域と n^- 領域それぞれの界面は存在せず、相対的なドナー型元素濃度の濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたドナー型元素が含まれる第2の半導体膜は、添加条件によって濃度プロファイルを制御することが可能であり、 n^+ 領域と n^- 領域の膜厚を適宜制御することが可能である。

【0073】

なお、ドナー型元素が含まれる第2の半導体膜132は、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より触媒元素をゲッタリングすることが可能である。

40

【0074】

なお、第1の半導体膜124を形成後、TFETのチャネル領域となる領域に3族元素（13族元素、以下、アクセプター型元素と示す。）、または5族元素（15族元素、以下、ドナー型元素と示す。）を低濃度に添加するチャネルドープ工程を全面または選択的に行ってもよい。このチャネルドープ工程は、TFETしきい値電圧を制御するための工程である。なお、ここではジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。

【0075】

50

次に、第1の半導体膜と第2の半導体膜とを加熱して、図1(E)に示すように、第1の結晶性半導体膜141を形成する。この場合、結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する共に、図1(E)の矢印で示すように、第1の半導体膜を結晶化した触媒元素を第2の半導体膜132に移動させて、触媒元素のゲッタリングを行う。この工程により、触媒元素の濃度をデバイス特性に影響を与えない程度まで低減することができる。即ち、膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下となる第1の結晶性半導体膜141を形成することができる。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜142と示す。

【0076】

ここでは、脱水素化のための熱処理(400~550、0.5~2時間)の後、結晶化のための熱処理(550~650で1~24時間)を行う。また、RTA、GRTAにより結晶化を行っても良い。ここで、レーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成されるTFTのばらつきを抑制することが可能である。また、結晶表面で突起上に結晶成長するリッジ(凸凹部)が形成されにくいいため、半導体領域表面が比較的平坦であり、ゲート絶縁膜と介してゲート電極との間に流れるリーク電流を抑制することが可能である。

【0077】

なお、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

【0078】

次に、図2(A)に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスクを用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図2(B)に示すような第1の半導体領域152及び第2の半導体領域151を形成する。

【0079】

第2のマスク143は、液滴吐出法、印刷法等により、有機樹脂を所定の領域に形成する。また、第1のマスクのように、感光性材料を塗布又は吐出した後、レーザ光を感光性材料に照射して露光した後、現像して形成することができる。該手法により第2のマスクを形成することで、後に形成される半導体領域の面積を縮小することが可能であり、半導体素子の高集積化や透過型液晶表示装置の開口率を高めることが可能である。

【0080】

なお、以下の実施形態及び実施例のマスク形成工程において、半導体材料で形成される膜又は領域上に感光性材料を塗布する前には、半導体膜又は領域表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体材料と感光性材料とが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

【0081】

第2の結晶性半導体膜及び第1の結晶性半導体膜は、 Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いてエッチングすることができる。第2の結晶性半導体膜をエッチングして、第1の半導体領域152を形成し、第1の結晶性半導体膜をエッチングして第2の半導体領域151を形成する。

【0082】

次に、第2のマスクを除去した後、図2(C)に示すように、膜厚500~1500nm、好ましくは500~1000nmの第3の導電層153を成膜する。次に、第3の導電層上に感光性材料154を塗布又は吐出し、レーザビーム直接描画装置を用いてレーザ光155を感光性材料154に照射し露光した後、現像して、図2(D)に示すような第3のマスク161を形成する。ここでは、感光性材料154として、ポジ型感光性材料を

10

20

30

40

50

用いる。

【0083】

第3の導電層153の材料としては、導電体を溶媒に溶解又は分散させたものを用いる。導電体としては、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba等の金属、又はハロゲン化銀等の微粒子、若しくは分散性ナノ粒子を用いることができる。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。さらには、上記金属の微粒子又は分散ナノ粒子を複数種有してもよい。これらの材料からなる導電層を積層して第3の導電層を形成することができる。第3の導電層153は配線として機能する。また、配線抵抗を低下させるため、低抵抗材料を用いることが好ましい。

10

【0084】

なお、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好ましい。より好ましくは、低抵抗且つ安価な銀又は銅を用いるとよい。但し、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いればよい。

【0085】

ここで、銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタル(Ta_nN:Ta_ntantalum Nitride)など窒素を含む絶縁性又は導電性の物質を用いると良く、これらを液滴吐出法で形成しても良い。

20

【0086】

なお、液滴吐出法に用いる組成物の粘度は5~20mPa・sが好適であり、これは、乾燥が起こることを防止し、吐出口から組成物を円滑に吐出できるようにするためである。また、表面張力は40mN/m以下が好ましい。なお、用いる溶媒や用途に合わせて、組成物の粘度等は適宜調整するとよい。銀を溶媒に溶解又は分散させた組成物の粘度は5~20mPa・s、金を溶媒に溶解又は分散させた組成物の粘度は10~20mPa・sである。

【0087】

組成物を吐出する工程は、減圧下で行っても良い。これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。溶液の吐出後は、溶液の材料により、常圧下又は減圧下で、レーザー光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200~350度で15分間~120分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、100~800度(好ましくは200~350度)とする。本工程により、溶液中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行うことが好適である。

30

【0088】

レーザー光の照射は、連続発振またはパルス発振の気体レーザー又は固体レーザーを用いれば良い。前者の気体レーザーとしては、エキシマレーザー、YAGレーザー等が挙げられ、後者の固体レーザーとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使ったレーザー等が挙げられる。なお、レーザー光の吸収率の関係から、連続発振のレーザーを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザー照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザー光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール(RTA)は

40

50

、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えないという利点がある。

【0089】

ここでは、Agを含む組成物（以下「Agペースト」という。）を選択的に吐出し、上記に示すようなレーザービーム照射又は熱処理による乾燥及び焼成を適宜行い膜厚600～800nmの第3の導電層153を形成する。このとき導電層は、導電体である微粒子が3次元に不規則に重なり合って形成されている。即ち、3次元凝集体粒子で構成されている。このため、表面は微細な凹凸を有する。また、導電層が加熱される温度及びその時間により、微粒子が焼成され、粒子の粒径が増大するため、表面の高低差が大きい層となる。

10

【0090】

なお、この焼成をO₂雰囲気中で行うと、Agペースト内に含まれているバインダ（熱硬化性樹脂）などの有機物が分解され、有機物をほとんど含まないAg膜を得ることができる。また、プレス機等を用いて膜表面を平滑にすることができる。

【0091】

なお、実施形態及び実施例の導電膜形成工程において、感光性樹脂の塗布又は吐出工程時に半導体膜表面に絶縁膜を形成した場合は、コンタクト抵抗を下げるため、導電膜を成膜する前に該絶縁膜をエッチングすることが好ましい。

20

【0092】

次に、第3のマスク161を用いて第3の導電層153を所望の形状にエッチングして、第4の導電層162、163を形成する。第4の導電層162、163は、ソース電極及びドレイン電極として機能する。このとき、第3の導電層を分断して、ソース電極及びドレイン電極を形成すると共に、ソース配線として機能するソース電極、又はドレイン配線として機能するドレイン電極の幅が細くなるようにエッチングすることで、後に形成される液晶表示装置の開口率を高めることが可能である。

【0093】

次に、第3のマスク161を用いて、第1の半導体領域152の露出部をエッチングして、ソース領域及びドレイン領域として機能する第3の半導体領域164、165を形成する。このとき、第2の半導体領域151の一部がオーバーエッチングされても良い。このときのオーバーエッチングされた第2の半導体領域を第4の半導体領域166と示す。第4の半導体領域166はチャンネル形成領域として機能する。

30

【0094】

次に、第3のマスクを除去した後、図2（E）に示すように、第4の導電層162、163及び第4の半導体領域166表面上に、パッシベーション膜として機能する膜厚100～300nmの第2の絶縁膜171を成膜することが好ましい。パッシベーション膜は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン（DLC）、窒素含有炭素（CN）、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、第4の半導体領域166の界面特性から酸化珪素、又は酸化窒化珪素を形成し、その上に窒化珪素膜、又は窒化酸化珪素膜を成膜することが好ましい。

40

【0095】

この後、第4の半導体領域を水素雰囲気又は窒素雰囲気中で加熱して水素化することが好ましい。なお、窒素雰囲気中で加熱する場合は、第2の絶縁膜に水素を含む絶縁膜を形成することが好ましい。

【0096】

以上の工程により、結晶性半導体膜を有する逆スタガ型TFTを形成することができる。

50

【0097】

次に、第2の絶縁膜171上に、膜厚500～1500nmの第3の絶縁膜172を形成する。第3の絶縁膜としては、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシリカガラスに代表されるシロキサンポリマー系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサンポリマー、アルキルシロキサンポリマー、アルキルシルセスキオキサンポリマー、水素化シルセスキオキサンポリマー、水素化アルキルシルセスキオキサンポリマーに代表される珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサンポリマー系の絶縁材料を用いることができる。形成方法としては、CVD法、塗布法、印刷法等公知の手法を用いて形成する。なお、塗布法で形成することにより、第3の絶縁層の表面を平坦化することが可能である。ここでは、塗布法によりアクリル樹脂を塗布し焼成して、第3の絶縁膜を形成する。また、反射型液晶表示装置や半透過型液晶表示装置の場合、第3の絶縁膜は凹凸を有することで、光をより外部に反射することが可能となる。この場合、第3の絶縁膜を液滴吐出法、印刷法等を用いることで、凹凸を有する絶縁層を形成することが可能である。

10

【0098】

なお、第2の絶縁膜171が、後に形成される第5の導電層173と第4の導電層162、163との間に寄生容量が生じない程度の膜厚を有する場合、第3の絶縁膜172は必ずしも必要ではない。

20

【0099】

次に、第3の絶縁膜172上に第4のマスク(図示しない。)を形成した後、第3の絶縁膜172、第2の絶縁膜171、及び第1の絶縁膜である絶縁膜123a、123b、123cの一部をエッチングして、ゲート電極の接続部として機能する第2の導電層122bを露出する。次に、第4のマスクを除去した後、ゲート配線として機能する膜厚500～1500nm、好ましくは500～1000nmの第5の導電層173を形成する。第4のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第5の導電層173の材料及び形成方法は、第3の導電層153と同様の材料及び形成方法を適宜選択すればよい。なお、配線抵抗を抑制するため、低抵抗材料を用いることが好ましい。また、第5の導電層173を、第1の導電層のようにレーザビーム直接描画装置を用いて形成したマスクによりエッチングして、線幅を細くしても良い。この工程により、画素内に占める配線面積を低減することが可能であり、透過型液晶表示装置において開口率を向上させることが可能である。ここでは、Agペーストを吐出し、乾燥焼成させて第5の導電層173を形成する。

30

【0100】

次に、第5の導電層173及び第3の絶縁膜172上に第4の絶縁膜174を形成する。第4の絶縁膜174としては、第3の絶縁膜172と同様の材料を適宜用いることが可能である。また、反射型液晶表示装置又は半透過型液晶表示装置を形成する場合、第4の絶縁膜は凹凸を有することで、光をより外部に反射することが可能となる。この場合、第3の絶縁膜を液滴吐出法、印刷法等を用いることで、凹凸を有する絶縁層を形成することが可能である。

40

【0101】

次に、第4の絶縁膜174上に第5のマスク(図示しない。)を形成した後、第4の絶縁膜174、第3の絶縁膜172及び第2の絶縁膜171の一部をエッチングして、第4の導電層163の一部を露出する。次に、第5のマスクを除去した後、画素電極として機能する膜厚100～200nmの第6の導電層175を形成する。第5のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第6の導電層175の代表的な材料としては、透光性を有する導電膜、又は反射性を有する導電膜がある。

50

透光性を有する導電膜の材料としては、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）、酸化珪素を含む酸化インジウムスズ等が挙げられる。また、反射性を有する導電膜の材料としては、アルミニウム（Al）、チタン（Ti）、銀（Ag）、タンタル（Ta）などの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン（TiN）、窒化タンタル（Ta₃N₅）、若しくは1～20%のニッケルを含むアルミニウムなどが挙げられる。さらには、半透過型液晶表示装置の場合、第6の導電層を透光性を有する導電膜と、反射性を有する導電膜とで形成すれば良い。

【0102】

第6の導電層175の形成方法としては、液滴吐出法、スパッタリング法、蒸着法、CVD法、塗布法等を適宜用いる。液滴吐出法を用いることで、選択的に第6の導電層を形成することが可能である。また、スパッタリング法、蒸着法、CVD法、塗布法等を用いた場合、第2の導電層と同様にマスクを形成した後、該マスクを用いて導電膜をエッチングして第6の導電層を形成する。

10

【0103】

なお、ここでは第5の導電層173としてはゲート配線として機能する導電層を形成し、第6の導電層175としては画素電極として機能する導電層を形成したが、これに限定されない。画素電極として機能する導電層を形成した後、ゲート配線として機能する導電層を形成してもよい。

【0104】

以上の工程により、アクティブマトリクス基板を形成することが可能である。

20

【0105】

本実施形態で形成される逆スタガ型TFTは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、及び結晶化工程を同時に行う加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物金属元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【0106】

このため、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型TFTと比較して移動度が高い。また、ソース領域及びドレイン領域には、ドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。

30

【0107】

また、非晶質半導体膜で形成されるTFTと比較して、しきい値のずれが生じにくく、TFT特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるTFTをスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【0108】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する金属元素をもゲッタリングするため、オフ電流を低減することが可能である。このようなTFTを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

40

【0109】

また、本実施形態では、このため、基板全面に薄膜を成膜せずとも、液滴吐出法を用いて所定の場所に薄膜原料やレジストを吐出すればよく、フォトマスクを用いずとも、TFTを形成することができる。このため、スループットや歩留まりを向上させると共に、コストダウンを図ることが可能となる。

【0110】

50

(実施形態2)

本実施形態では、実施形態1で示したアクティブマトリクス基板のソース配線、ゲート配線、及び画素電極の積層の構造について、図3を用いて説明する。

【0111】

図3(A)は、本実施形態における逆スタガ型TF Tと、ゲート配線として機能する第5の導電層との積層構造を示す図であり、図2(E)の断面構造及び図3(C)のA-Bの断面構造に相当する。

【0112】

図3(B)は、ソース配線として機能する第4の導電層、ゲート配線として機能する第5の導電層、ゲート電極の接続部として機能する第2の導電層、及び画素電極として機能する第6の導電層の積層構造を示す図であり、図3(C)のC-Dの断面構造に相当する。以下、ソース配線として機能する第4の導電層をソース配線162a、162b、ドレイン電極として機能する第4の導電層をドレイン電極163aのゲート配線として機能する第5の導電層をゲート配線173a、ゲート電極の接続部として機能する第2の導電層をゲート電極の接続部122a、122b、及び画素電極として機能する第6の導電層を画素電極175aと示す。

【0113】

図3(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163aが形成される。また、容量配線181、ソース配線162b、ドレイン電極163a、第1の絶縁膜123の上に第2の絶縁膜171、第3の絶縁膜172が形成され、第3の絶縁膜172上にゲート配線173aが形成される。即ち、ソース配線、容量配線は、第2の絶縁膜171、第3の絶縁膜172を介してゲート配線173aと交差している。なお、図3(A)及び図3(B)においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

【0114】

図3(B)に示すように、ゲート配線173a及び第3の絶縁膜172全ての上に第4の絶縁膜174が形成され、第4の絶縁膜174上に画素電極175aが形成されている。即ち、第4の絶縁膜174を介して、ゲート配線173aの一部を画素電極175aが覆っている。画素電極175aが形成される第4の絶縁膜174は、平坦化層で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

【0115】

なお、ここでは、第4の絶縁膜174を、ゲート配線173a及び第3の絶縁膜172全ての上に形成したが、ゲート配線173a及びその周辺の第3の絶縁膜172を覆うように設けてもよい。この場合、液滴吐出法や印刷法で部分的に第4の絶縁膜を形成する。この構造の場合、部分的に第4の絶縁膜を形成するため、原材料を削減することが可能であり、低コスト化が可能である。

【0116】

また、本実施形態では、図3(C)のE-Fで示すように、ソース配線上に画素電極の端部が形成されている。このため、透過型液晶表示装置の場合、画素電極端部で液晶材料の配向乱れが生じたとしても、その領域をソース配線が覆っているため、表示ムラを低減することが可能である。

【0117】

(実施形態3)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図4を用いて説明する。

【0118】

図4(A)は、本実施形態における逆スタガ型TF Tとゲート配線との積層構造を示す図であり、図4(C)のA-Bの断面構造に相当する。第1の絶縁膜123上には、第4

10

20

30

40

50

の半導体領域、ドレイン電極として機能する第4の導電層（以下、ドレイン電極163aと示す。）163、画素電極1112、ゲート配線1113が形成される。ドレイン電極163aと画素電極1112は絶縁膜を介さないで接続されている。また、ゲート電極の接続部122aとゲート配線1113とは、第1の絶縁膜123を介して接続されている。また、ソース配線162a、ドレイン電極163a、画素電極1112、第1の絶縁膜123、ゲート配線1113上にはパッシベーション膜として機能する絶縁膜1114が形成される。なお、図4(A)及び図4(B)においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

【0119】

図4(B)は、ソース配線162b、ゲート配線1113、ゲート電極の接続部122b、及び画素電極1112の積層構造を示す図であり、図4(C)のC-Dの断面構造に相当する。

【0120】

図4(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163a、ドレイン電極163aに接続する画素電極1112が形成される。また、容量配線181、ソース配線162b上に第2の絶縁膜1111が形成され、第2の絶縁膜1111上にゲート配線1113が形成される。即ち、ソース配線、容量配線は、第2の絶縁膜1111を介してゲート配線1113と交差している。ここでは、第2の絶縁膜1111を液滴吐出法、又は印刷法で形成する。

【0121】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第2の絶縁膜1111を設けている。このため、実施形態2と異なり、一部分にのみ形成しているため、原材料を削減することが可能であり、低コスト化が可能である。

【0122】

また、ゲート配線1113と画素電極1112とが重なる領域に第3の絶縁膜を液滴吐出法又は印刷法で形成してもよい。この場合、画素電極が形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

【0123】

(実施形態4)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図5を用いて説明する。

【0124】

図5(A)は、本実施形態における逆スタガ型TFEとゲート配線との積層構造を示す図であり、及び図5(C)のA-Bの断面構造に相当する。

【0125】

図5(B)は、ソース配線162b、ゲート配線1121b、ゲート電極の接続部122b、及び画素電極1122の積層構造を示す図であり、図5(C)のC-Dの断面構造に相当する。

【0126】

図5(B)に示すように、ゲート電極の接続部122a、122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163aが形成される。また、容量配線181、ソース配線162b、ドレイン電極163a、及び第1の絶縁膜123の上に第2の絶縁膜171、第3の絶縁膜172が形成され、第3の絶縁膜172上にゲート配線1121bが形成される。即ち、ソース配線162b、容量配線181は、第2の絶縁膜171、第3の絶縁膜172を介してゲート配線1121bと交差している。なお、図5(A)及び図5(B)においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

【0127】

10

20

30

40

50

なお、ここでは、図5(C)に示すように、ゲート配線1121bは、画素ごとに形成されており、隣り合う画素に設けられたゲート電極の接続部122a、122bに接続されている。このため、ゲート配線1121bの材料は、特に低抵抗材料である必要はなく、材料の選択の幅が広がる。

【0128】

また、第3の絶縁膜172上に第4の絶縁膜174が形成され、第4の絶縁膜174上に画素電極1122が形成されている。即ち、第4の絶縁膜174を介して、ゲート配線1121bの一部を画素電極1122が覆ってもよい。画素電極1122が形成される第4の絶縁膜174は、平坦化層で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

10

【0129】

なお、ここでは、第4の絶縁膜174を、ゲート配線1121b及び第3の絶縁膜172の上に形成したが、ゲート配線1121b及びその周辺の第3の絶縁膜172を覆うように設けてもよい。この場合、液滴吐出法や印刷法で部分的に第4の絶縁膜を形成する。この構造の場合、部分的に第4の絶縁膜を形成するため、原材料を削減することが可能であり、低コスト化が可能である。

【0130】

(実施形態5)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図6を用いて説明する。

20

【0131】

図6(A)は、本実施形態における逆スタガ型TFEとゲート配線との積層構造を示す図であり、図6(C)のA-Bの断面構造に相当する。第1の絶縁膜123上には、第4の半導体領域166、ドレイン電極163a、画素電極1132、ゲート配線1133aが形成される。ドレイン電極163aと画素電極1132は絶縁膜を介さないで接続されている。

【0132】

図6(B)は、ソース配線162b、ゲート配線1133b、ゲート電極の接続部122b、及び画素電極1132の積層構造を示す図であり、図6(C)のC-Dの断面構造に相当する。

30

【0133】

図6(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163a、ドレイン電極163aに接続する画素電極1132が形成される。また、容量配線181、ソース配線162b上に第2の絶縁膜1131が形成され、第2の絶縁膜1131上にゲート配線1133bが形成される。即ち、ソース配線、容量配線は、第2の絶縁膜1131を介してゲート配線1133bと交差している。ここでは、第2の絶縁膜1131を液滴吐出法、又は印刷法で形成する。なお、図6(A)及び図6(B)においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

40

【0134】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第2の絶縁膜1131を設けている。このため、実施形態4と異なり、一部分にのみ形成しているため、原材料を削減することが可能であり、低コスト化が可能である。

【0135】

また、ゲート配線1133bと画素電極1132とが重なる領域に第3の絶縁膜を液滴吐出法又は印刷法で形成してよい。この場合、画素電極が形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

【0136】

50

(実施形態6)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図7を用いて説明する。

【0137】

図7(A)は、本実施形態における逆スタガ型TFTとゲート配線として機能する第5の導電層との積層構造を示す図であり、図7(C)のA-Bの断面構造に相当する。

【0138】

図7(B)は、ソース配線1143b、ゲート配線1145a、1145b、ゲート電極の接続部122b、及び画素電極1142の積層構造を示す図であり、図7(C)のC-Dの断面構造に相当する。

10

【0139】

図7(B)に示すように、ゲート電極の接続部122a、122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線1144、ソース配線1143b、ドレイン電極1147、ゲート配線1145a、1145bが形成される。なお、ゲート配線1145a、1145bは、それぞれ第1の絶縁膜123を介してゲート電極の接続部122a、122bに接続されている。なお、図7(A)及び図7(B)においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

【0140】

また、図7(C)に示すように、ゲート配線1145a、1145bは、各画素にそれぞれ設けられている。ここでは、ゲート配線1145a、1145bとソース配線1143b、ドレイン電極1147、容量配線1144それぞれは、交差していない。このためこれらの電極及び配線を液滴吐出法で形成する場合、同時に形成できるため、量産性を向上させることが可能である。

20

【0141】

また、ゲート配線1145a、1145bとソース配線1143b、ドレイン電極1147、容量配線1144の上に第2の絶縁膜171、第3の絶縁膜172が形成され、第3の絶縁膜172上に導電層1146a、1146bが形成される。また、導電層1146bは、第2の絶縁膜171、第3の絶縁膜172を介して、ゲート配線1145a、1145bと接続している。このため、各画素に設けられたゲート配線は、導電層1146a、1146bを介して電氣的に接続している。また、ソース配線は、第2の絶縁膜171、第3の絶縁膜172を介して導電層1146a、1146bと交差している。

30

【0142】

なお、ここでは、導電層1146a、1146bは、画素ごとに形成されており、隣り合う画素に設けられたゲート電極の接続部122a、122bに接続されている。このため、導電層1146a、1146bの材料の選択の幅が広がる。

【0143】

また、第3の絶縁膜172上に第4の絶縁膜174が形成され、第4の絶縁膜174上に画素電極1142が形成されている。即ち、第4の絶縁膜174を介して、導電層1146bの一部を画素電極1142が覆っている。画素電極1142が形成される第4の絶縁膜174は、平坦化層で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

40

【0144】

なお、ここでは、第4の絶縁膜174を、導電層1146a、1146b及び第3の絶縁膜172全ての上に形成したが、導電層1146a、1146b及びその周辺の第3の絶縁膜172を覆うように設けてもよい。

【0145】

(実施形態7)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基

50

板について図 8 を用いて説明する。

【 0 1 4 6 】

図 8 (A) は、本実施形態における逆スタガ型 T F T とゲート配線との積層構造を示す図であり、図 8 (C) の A - B の断面構造に相当する。第 1 の絶縁膜 1 2 3 上には、ソース配線 1 1 5 3 a、第 4 の半導体領域 1 6 6、ドレイン電極 1 1 5 7、画素電極 1 1 5 2、ゲート配線 1 1 5 5 a が形成される。ドレイン電極 1 1 5 7 と画素電極 1 1 3 2 は絶縁膜を介さないで接続されている。

【 0 1 4 7 】

図 8 (B) は、ソース配線 1 1 5 3 b、ゲート配線 1 1 5 5 a、1 1 5 5 b、ゲート電極の接続部 1 2 2 b、及び画素電極 1 1 5 2 の積層構造を示す図であり、図 8 (C) の C - D の断面構造に相当する。

10

【 0 1 4 8 】

図 8 (B) に示すように、ゲート電極の接続部 1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 1 5 4、ソース配線 1 1 5 3 b、ドレイン電極 1 1 5 4 a、ドレイン電極 1 1 5 7 に接続する画素電極 1 1 5 2、ゲート配線 1 1 5 5 a、1 1 5 5 b が形成される。また、容量配線 1 1 5 4、ソース配線 1 1 5 3 b 上に第 2 の絶縁膜 1 1 5 1 が形成され、第 2 の絶縁膜 1 1 5 1 上に導電層 1 1 5 6 b が形成される。ゲート配線 1 1 5 5 a、1 1 5 5 b は、各画素にそれぞれ設けられている。ここでは、ゲート配線 1 1 5 5 a、1 1 5 5 b とソース配線 1 1 5 3 b、ドレイン電極 1 1 5 7、容量配線 1 1 5 4 それぞれは、交差していない。このため液滴吐出法で形成する場合、同時に形成できるため、量産性を向上させることが可能である。なお、図 8 (A) 及び図 8 (B) においては、実施形態 1 で示す絶縁膜 1 2 3 a、1 2 3 b、1 2 3 c を、代表して第 1 の絶縁膜 1 2 3 として示す。

20

【 0 1 4 9 】

また、導電層 1 1 5 6 b は、第 2 の絶縁膜 1 1 5 1 を介して、それぞれゲート配線 1 1 5 5 a、1 1 5 5 b と接続している。このため、各画素に設けられたゲート配線は、導電層 1 1 5 6 a、1 1 5 6 b を介して電氣的に接続している。また、ソース配線、容量配線は、第 2 の絶縁膜 1 1 5 1 を介してゲート配線 1 1 5 5 a、1 1 5 5 b 及び導電層 1 1 5 6 a、1 1 5 6 b と交差している。

【 0 1 5 0 】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第 2 の絶縁膜 1 1 5 1 を設けている。このため、実施形態 6 と異なり、一部分にのみ形成しているため、原材料を削減することが可能であり、低コスト化が可能である。

30

【 0 1 5 1 】

また、導電層と画素電極 1 1 5 2 とが重なる領域に第 3 の絶縁膜を液滴吐出法又は印刷法で形成してよい。この場合、画素電極が形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

【 0 1 5 2 】

(実施形態 8)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図 3 6 を用いて説明する。

40

【 0 1 5 3 】

図 3 6 (A) は、本実施形態における逆スタガ型 T F T とゲート配線との積層構造を示す図であり、図 3 6 (C) の A - B の断面構造に相当する。第 1 の絶縁膜 1 2 3 上には、第 4 の半導体領域 1 6 6、ドレイン電極 1 1 5 7、画素電極 1 1 5 2 が形成される。ドレイン電極 1 1 5 7 と画素電極 1 1 5 2 は絶縁膜を介さないで接続されている。また、ゲート電極の接続部 7 2 2 a 上の第 1 の絶縁膜は除去されており、その上にゲート配線 1 1 6 5 a が形成されている。このような構造により、ゲート電極の接続部とゲート配線との接触抵抗を低減することが可能である。また、本実施形態のようなゲート電極の接続部 7 2 2 a とゲート配線 1 1 6 5 a との接続構造を、実施形態 2 乃至実施形態 7 それぞれに適用

50

することが可能である。

【0154】

図36(B)は、ソース配線1163b、ゲート配線1165a、1165b、導電層1166b、及び画素電極1152の積層構造を示す図であり、図36(C)のC-Dの断面構造に相当する。

【0155】

図36(B)に示すように、ゲート電極721a、ゲート電極の接続部722aと同様の工程で形成された導電層1166bが基板表面には、形成されている。また、ゲート電極の接続部722a表面の第1の絶縁膜を除去するときに、導電層1166bの表面上の第1の絶縁膜を除去する。この後、導電層1166b上に第2の絶縁膜1161形成する。このとき、導電層1166bの両端部が露出するように、第2の絶縁膜1161を形成することが好ましい。

10

【0156】

次に、第1の絶縁膜上にドレイン電極1157を形成すると同時に、導電層1166b上にゲート配線1165a、1165bを形成し、また同時に第2の絶縁膜1161上にソース配線1163b、容量配線1164を形成する。ここでは、これらの導電層は、交差していない。このため液滴吐出法で形成する場合、同時に形成できるため、量産性を向上させることが可能である。

【0157】

また、本実施形態では、画素ごとに形成されたゲート配線1165a、1165bが導電層1166a、1166bを介して電氣的に接続されている。また、導電層1166b上に形成された第2の絶縁膜1161を介して、ゲート配線とソース配線とが交差している。

20

【0158】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第2の絶縁膜1161を設けている。このため、一部分にのみ形成しているため、原材料を削減することが可能であり、低コスト化が可能である。

【0159】

また、ゲート配線1165a、1165b、容量配線1164、及びソース配線1163a、1163bと画素電極1152とが重なる領域に、第3の絶縁膜を液滴吐出法又は印刷法で形成してよい。この場合、画素電極を形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

30

【0160】

(実施形態9)

本実施形態においては、実施形態1における結晶化及びゲッターリング工程の変形例について、図9を用いて説明する。

【0161】

図9(A)に示すように、実施形態1と同様の工程に従って、第1の導電層221a、222aを形成し、第1の絶縁膜123を形成する。ここで、第1の絶縁膜123とは、実施形態1の第1の絶縁膜と同様の構成であり、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

40

【0162】

次に、図9(B)に示すように、実施形態1と同様の工程により、第1の半導体膜124、その上に触媒元素を有する層125、その上に第2の半導体膜132を形成する。

【0163】

なお、第1の半導体膜124を形成した後、全面あるいは選択的にチャネルドープ工程を行ってもよい。

【0164】

次に、図9(C)に示すように、実施形態1と同様の工程により、第1の半導体膜と第2の半導体膜とを加熱し、第1の結晶性半導体膜141及び第2の結晶性半導体膜142

50

を形成する。結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。

【0165】

結晶化が進行すると同時に図9(C)の矢印で示すように、第1の半導体膜の結晶化に寄与した触媒元素は第2の半導体膜132に移動されて、ゲッタリングされる。触媒元素の濃度が低減されて第1の結晶性半導体膜141が形成されると共に、ゲッタリング後の触媒元素が移動した第2の半導体膜が結晶化されて第2の結晶性半導体膜142が形成される。

【0166】

本実施形態では第1の半導体膜上に触媒元素を含む層を形成している。このため、実施形態1と異なり、第1の絶縁膜と第1の半導体膜とを連続成膜することで、第1の半導体膜中の酸素濃度を低減することが可能である。例えば、第1の絶縁膜として、シラン及びアンモニアガスを原料としたCVD法により窒化珪素膜を成膜し、次にアンモニアガスから酸化窒素(N_2O)に切り替えてCVD法により、酸化珪素膜を成膜して、第1の絶縁膜を形成する。次に、プラズマを発生させずにシランガスのみをチャンバー内に流す。このことにより、チャンバー内の酸素濃度を低減することが可能である。この後、シランガスを原料としてCVD法により第1の半導体膜を形成することで、酸素濃度の低い第1の半導体膜を形成することが可能となる。

【0167】

なお、実施形態1乃至実施形態8のいずれかにも、本実施形態を適用することが可能である。

【0168】

(実施形態10)

本実施形態では、実施形態1と同様のゲッタリング工程を経て、チャンネル保護型TFTを形成する工程について図10を用いて説明する。

【0169】

図10(A)に示すように、実施形態1と同様の工程により、第1の導電層221a、222aを形成し、第1の絶縁膜123を形成し、触媒元素を有する層125を形成し、第1の半導体膜124を形成する。次に第1の半導体膜124上に第2の絶縁膜128を形成した後、第2の絶縁膜上に第2のマスク119を形成する。なお、図10においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

【0170】

ここで第2の絶縁膜128としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等のいずれかの単層で形成された絶縁膜である。また、該絶縁膜を適宜組み合わせる積層構造としてもよい。

【0171】

第2のマスク119は液滴吐出法または、レーザビーム直接描画装置を用いて形成する。

【0172】

次に、第2のマスク119を用いて第2の絶縁膜128をエッチングして、図10(B)に示すような、第1の絶縁領域129を形成する。第1の絶縁領域129はチャンネル保護層として機能する。

【0173】

図10(C)に示すように、第1の半導体膜124及び第1の絶縁領域129上に第2の半導体膜132を形成し、実施形態1と同様の工程により第1の半導体膜124および第2の半導体膜132を加熱する。この結果、触媒元素の濃度が低下された第1の結晶性半導体膜141、触媒元素を有する第2の結晶性半導体膜142を形成する。加熱に伴い、図10(D)の矢印で示すように触媒元素はゲッタリングされる。

10

20

30

40

50

【 0 1 7 4 】

その後、実施形態 1 と同様の工程に従ってチャンネル保護型 T F T を形成することができる。なお、実施形態 1 乃至実施形態 8 のいずれかにも、本実施形態を適用することが可能である。

【 0 1 7 5 】

(実施形態 1 1)

本実施形態では実施形態 1 2 と同様のゲッタリング工程に従いチャンネル保護型 T F T を作成する方法について図 1 1 を用いて説明する。

【 0 1 7 6 】

図 1 1 (A) にしめすように、実施形態 1 と同様の工程に従い、第 1 の導電層 2 2 1 a 、 2 2 2 a を形成し、第 1 の絶縁膜 1 2 3 を形成し、第 1 の半導体膜 1 2 4 を形成し、触媒元素を有する層 1 2 5 を形成し、第 2 の絶縁膜 1 2 8 を形成し、吐出法、またはレーザービーム直描装置を用いて第 2 のマスク 1 1 9 を形成する。なお、図 1 1 においては、実施形態 1 で示す絶縁膜 1 2 3 a 、 1 2 3 b 、 1 2 3 c を、代表して第 1 の絶縁膜 1 2 3 として示す。

10

【 0 1 7 7 】

次に第 2 のマスク 1 1 9 を用いて第 2 の絶縁膜 1 2 8 をエッチングし、図 1 1 (B) に示すように、第 1 の絶縁領域 1 2 9 を形成する。第 1 の絶縁領域 1 2 9 はエッチング保護膜として機能する。

【 0 1 7 8 】

次に図 1 1 (C) に示すように、触媒元素を有する層 1 2 5 及び第 1 の絶縁領域 1 2 9 上に第 2 の半導体膜 1 3 2 を形成し、実施形態 1 と同様の工程により第 1 の半導体膜および第 2 の半導体膜を加熱することで、触媒元素の濃度が低減された第 1 の結晶性半導体膜 1 4 1 、及び触媒元素を有する第 2 の結晶性半導体膜 1 4 2 を形成する。加熱に伴い、図 1 1 0 (D) の矢印で示すように触媒元素はゲッタリングされる。

20

【 0 1 7 9 】

その後、実施形態 1 0 と同様の工程に従うことで、チャンネル保護型 T F T を形成することができる。なお、実施形態 1 乃至実施形態 8 のいずれかにも、本実施形態を適用することが可能である。

【 0 1 8 0 】

(実施形態 1 2)

本実施形態では、ドナー型元素を有する半導体膜の代わりに、希ガス元素を有する半導体膜を用いて触媒元素をゲッタリングして T F T を形成する工程について、図 1 2 を用いて説明する。

30

【 0 1 8 1 】

図 1 2 (A) 及び図 1 2 (B) に示すように、実施形態 1 と同様の工程により第 1 の導電層 2 2 1 a を形成し、第 1 の絶縁膜 1 2 3 を形成し、触媒元素を有する層 1 2 5 を形成し、第 1 の半導体膜 1 2 4 を形成する。次いで、第 1 の半導体膜表面に膜厚 1 ~ 5 nm の酸化膜を形成してもよい。ここでは、結晶性半導体膜の表面にオゾン水を塗布して酸化膜を形成する。なお、第 1 の半導体膜 1 2 4 を形成後、チャンネルドーブ工程を行っても良い。また、図 1 2 においては、実施形態 1 で示す絶縁膜 1 2 3 a 、 1 2 3 b 、 1 2 3 c を、代表して第 1 の絶縁膜 1 2 3 として示す。

40

【 0 1 8 2 】

次に、第 1 の半導体膜 1 2 4 上に P V D 法、C V D 法等の公知の手法により希ガス元素を有する第 2 の半導体膜 2 3 2 を形成する。第 2 の半導体膜 2 3 2 としては、非晶質半導体膜であることが好ましい。

【 0 1 8 3 】

次に、第 1 の半導体膜 1 2 4 及び第 2 の半導体膜 2 3 2 を実施形態 1 と同様の手法により加熱して、結晶化と共に、図 1 2 (C) の矢印で示すように、第 1 の半導体膜を結晶化した触媒元素を第 2 の結晶性半導体膜 2 4 2 に移動させて、触媒元素をゲッタリングする

50

。この結果、触媒元素の濃度が低減された第1の結晶性半導体膜241、及び触媒元素を有する第2の結晶性半導体膜242を形成する。この工程により、実施形態1と同様に第1の結晶性半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中の触媒元素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。

【0184】

次に、図12(D)に示すように、第2の結晶性半導体膜242を除去した後、導電性を有する第3の半導体膜243を成膜する。ここで、第2の半導体膜としては、珪化物気体にボロン、リン、ヒ素のような13属又は15属の元素を有する気体を加えたプラズマCVD法で成膜する。なお、第3の半導体膜は、非晶質半導体、SAS、結晶性半導体、 μc から選ばれたいずれかの状態を有する膜で形成すればよい。なお、第3の半導体膜が導電性を有する非晶質半導体膜、SAS、又は μc のいずれかである場合は、この後、不純物を活性化する加熱処理を行う。一方、第3の半導体膜が導電性を有する結晶性半導体である場合、加熱処理は行わなくとも良い。ここでは、プラズマCVD法により、膜厚100nmのリンが含まれる非晶質珪素膜を成膜した後、550度2時間で加熱して、不純物を活性化する。

10

【0185】

次に、図12(E)に示すように、実施形態1と同様の工程により第1の半導体領域252、第2の半導体領域251、第3の導電層153を形成する。次に、感光性材料254を塗布又は吐出した後、感光性材料の一部にレーザー光255を照射して、図12(F)に示すようなマスク260を形成する。

20

【0186】

次に、図12(F)に示すように、ソース電極156及びドレイン電極157を形成する。また、実施形態1と同様の工程により、第2の半導体領域及び第1の半導体領域をエッチングしてソース領域及びドレイン領域として機能する第3の半導体領域262、及びチャンネル形成領域として機能する第4の半導体領域261を形成することができる。

【0187】

この後、実施形態1と同様の工程により、逆スタガ型TFET及びアクティブマトリクス基板を形成することができる。本実施形態で形成されるTFETを用いることにより実施形態1と同様の効果を得ることができる。また、実施形態1乃至実施形態8のいずれかにも、本実施形態を適用することが可能である。

30

【0188】

(実施形態13)

本実施形態では、nチャンネルTFETとpチャンネルTFETとを同一基板に形成する工程を図13を用いて形成する。

【0189】

図13(A)に示すように、実施形態1と同様に基板101上に第1の導電層301、302を形成し、第1の導電層上に第1の絶縁膜123、次に、実施形態1と同様の工程により、触媒元素を有する層、第1の半導体膜、及びその上にドナー型元素が含まれる第2の半導体膜を形成する。次に、液滴吐出法又はレーザービーム直接描画装置を用いて形成されたマスクを用いて、第1の結晶性半導体膜及び第2の半導体膜を所望の形状にエッチングして、第1の半導体領域、第2の半導体領域を形成する。なお、図13においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

40

【0190】

次に、第1の半導体領域及び第2の半導体領域を加熱して、第2の半導体領域を結晶化すると共に、第2の半導体領域を結晶化した触媒元素を第1の半導体領域に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の触媒元素が移動した第1の半導体領域を第3の半導体領域313、314と示し、金属元素濃度が低減された第2の半導体領域を第4の半導体領域311、312と示す。なお、第3の半導体領域及び第4の

50

半導体領域は、それぞれゲッターリング工程の加熱により結晶性化されている。

【0191】

本実施形態では、各半導体領域を形成した後、結晶化及びゲッターリング工程を行ったが、実施形態1のように、各半導体膜のゲッターリング工程を行った後、半導体膜を所望の形状にエッチングして、各半導体領域を形成しても良い。

【0192】

次に、第3の半導体領域313、134及び第4の半導体領域311、312表面に酸化膜を形成した後、液滴吐出法又はレーザービーム直接描画装置を用いて、図13(B)に示すように、第1のマスク321、第1のマスク322を形成する。第1のマスク321は、後にnチャンネル型TFTとなる第3の半導体領域313、第4の半導体領域311の全部を覆っている。一方、第1のマスク322は、後にpチャンネル型TFTとなる第3の半導体領域134の一部を覆っている。このとき、第1のマスク322は、後に形成されるpチャンネル型TFTのチャンネル長よりも狭いことが好ましい。

10

【0193】

次に、第3の半導体領域134の露出部に、3族元素(13族元素、以下、アクセプター型元素323と示す。)を添加し、p型不純物領域324を形成する。このとき第1のマスク322に覆われる領域は、n型不純物領域325として残存する。このとき、n型不純物領域となる第3の半導体領域134の2~10倍の濃度となるようにアクセプター型元素を添加することにより、p型不純物領域を形成することができる。

【0194】

図20に、p型不純物領域の不純物元素のプロファイルを示す。

20

【0195】

図20(A)は、CVD法により、n⁻領域濃度及びn⁺領域濃度を有する第2の半導体膜を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル150aは図19(A)と同様に、第1の濃度及び第2の濃度を示す。また、アクセプター型元素のプロファイル603は、第2の半導体膜表面付近では、濃度が高く、第4の半導体領域312に近づくにつれ、濃度が減少している。n⁺領域に含まれるドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁺領域602aと示し、n⁻領域のドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁻領域602bと示す。

30

【0196】

図20(B)は、非晶質半導体、SAS、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドーピング法又はイオン注入法により該半導体膜にドナー型元素を添加して、n⁻領域濃度及びn⁺領域濃度を有する第2の半導体膜を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル150bは図19(A)のドナー型元素のプロファイル150aと同様である。また、アクセプター型元素のプロファイル613は、図20(A)のアクセプター型元素のプロファイル603と同様である。n⁺領域に含まれるドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁺領域612aと示し、n⁻領域のドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁻領域612bと示す。

40

【0197】

なお、ドナー型元素が含まれる第2の半導体膜は、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッターリング工程で、より触媒元素をゲッターリングすることが可能である。

【0198】

つぎに、第1のマスク321、322を除去した後、第3の半導体領域313及び1アクセプター元素が添加された第3の半導体領域134を加熱して、不純物元素を活性化することができる。加熱の方法としては、LRTA、GRTA、ファーネスアニール等を適宜用いることができる。ここでは、550度で1時間加熱する。

50

【 0 1 9 9 】

次に、図 1 3 (C) に示すように、実施形態 1 と同様に、第 2 の導電層 3 3 1、3 3 2 を形成する。次に、マスク 3 3 3 を形成して、図 1 3 (D) に示すように、ソース領域及びドレイン領域として機能する第 5 の半導体領域 3 4 3、3 4 4 と、第 3 の導電層 3 5 1、3 5 2 を形成する。次に、マスク 3 3 3 を除去した後第 3 の導電層 3 5 1、3 5 2 及び第 5 の半導体領域 3 4 3、3 4 4 表面上に、パッシベーション膜を成膜することが好ましい。

【 0 2 0 0 】

以上の工程により、同一基板上に n チャネル型 T F T と p チャネル型 T F T とを形成することができる。本実施形態で形成される T F T を用いることにより実施形態 1 と同様の効果を得ることができる。また、単チャネル T F T で形成される駆動回路と比較して、低電圧駆動が可能な C M O S を形成することが可能である。更には、ドナー型元素（例えば、リン）と比較してアクセプター型元素（例えば、ボロン）は原子半径が小さいため、比較的低い加速電圧及び濃度で、半導体膜中にアクセプター型元素を添加することが可能である。本実施形態では、アクセプター型元素のみ半導体膜に添加しているため、従来の C M O S 回路の作製工程と比較して、短時間で、かつ省エネルギー作製することが可能であり、この結果低コスト化が可能である。

【 0 2 0 1 】

また、実施形態 1 乃至実施形態 8 のいずれかにも、本実施形態を適用することが可能である。

【 0 2 0 2 】

(実施形態 1 4)

本実施形態では、実施形態 1 3 と異なるゲッタリング工程により形成された結晶性半導体膜を有する n チャネル型 T F T 及び p チャネル型の作製工程について、図 1 4 を用いて説明する。

【 0 2 0 3 】

実施形態 1 に従って、基板 1 0 1 上に第 1 の導電層 3 0 1、3 0 2 を形成し、第 1 の絶縁膜 1 2 3 を形成する。次に触媒元素を含んだ層を形成し、第 1 の半導体膜を形成した後、第 1 の半導体膜表面に数 nm の絶縁膜を形成する。次に、液滴吐出法又はレーザビーム直接描画装置を用いて第 1 のマスクを形成し、第 1 の結晶性半導体膜を所望の形状にエッチングして、第 1 の半導体領域 4 0 1、4 0 2、第 1 の触媒元素領域 1 2 5 a、1 2 5 b を形成する。図 1 4 においては、実施形態 1 で示す絶縁膜 1 2 3 a、1 2 3 b、1 2 3 c を、代表して第 1 の絶縁膜 1 2 3 として示す。

【 0 2 0 4 】

次に、図 1 4 (B) に示すように、第 1 の半導体領域 4 0 1、4 0 2 上に、液滴吐出法又はレーザビーム直接描画装置を用いて、第 2 のマスク 4 0 3、4 0 4 を形成した後、第 1 の半導体領域の露出部にドナー型元素 4 0 5 を添加する。このとき、ドナー型元素が添加された領域を n 型不純物領域 4 0 6、4 0 7 と示す。ここでは、イオンドーピング法によりリンを添加する。なお、第 2 のマスクに覆われた第 1 の半導体領域には、リンは添加されないが触媒元素は含まれている。

【 0 2 0 5 】

次に、第 1 の半導体領域を加熱して、第 1 の半導体領域 4 0 1、4 0 2 を結晶化させるとともに、図 1 4 (C) の矢印で示すように、第 1 の半導体領域に含まれる触媒元素を、n 型不純物領域 4 0 6、4 0 7 に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の触媒元素が移動した第 1 の半導体領域をソース領域及びドレイン領域となる第 3 の半導体領域 4 1 3、4 1 4 と示し、金属元素濃度が低減された第 1 の半導体領域をチャンネル形成領域 4 1 1、4 1 2 と示す。なお、第 3 の半導体領域 4 1 3、4 1 4 及び第 4 の半導体領域（チャンネル形成領域 4 1 1、4 1 2）は、それぞれゲッタリング工程の加熱により結晶性化されており、また、n 型不純物領域 4 0 6、4 0 7 中に含まれるドナー型元素は活性化されている。

10

20

30

40

50

【0206】

次に、液滴吐出法又はレーザービーム直接描画装置を用いて、図14(D)に示すように、第3のマスク421、422を形成する。第3のマスク421は、後にnチャンネル型TFTとなるチャンネル形成領域411及びn型を呈する第3の半導体領域413の全部を覆っている。一方、第3のマスク422は、後にpチャンネル型TFTとなるチャンネル形成領域412の一部又は全部を覆っている。このとき、第3のマスク422は、後に形成されるpチャンネル型TFTのチャンネル長よりも狭いことが好ましい。

【0207】

次に、n型不純物領域である第3の半導体領域414及びチャンネル形成領域412の露出部に、アクセプター型元素423を添加し、p型不純物領域424を形成する。このとき、n型不純物領域である第3の半導体領域414の2～10倍の濃度となるようにアクセプター型元素423を添加することにより、p型不純物領域を形成することができる。

10

【0208】

つぎに、第3のマスク421、422を除去した後、n型不純物領域である第3の半導体領域413及びp型不純物領域424を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA、GRTA、ファーネスアニール等を適宜用いることができる。ここでは、550度で1時間加熱する。

【0209】

次に、図14(E)に示すように、実施形態1と同様に、第5の導電層341、342を形成する。このとき、チャンネル形成領域411、412の一部をエッチングしてもよい。次に、第5の導電層341、342及びチャンネル形成領域411、412の表面上に、パッシベーション膜を成膜することが好ましい。

20

【0210】

以上の工程により、同一基板上にnチャンネル型TFTとpチャンネル型TFTとを形成することができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。更には、実施形態3と比較して、成膜工程が削減できるため、スループットを向上させることが可能である。

【0211】

なお、実施形態1乃至実施形態8のいずれかにも、本実施形態を適用することが可能である。

30

【0212】

(実施形態15)

本実施形態においては、実施形態12を用いてゲッタリング工程を行った結晶性半導体膜を用いてnチャンネルTFTとpチャンネルTFTとを同一基板に形成する工程を図15を用いて形成する。

【0213】

実施形態1の工程にしたがって、基板101上に第1の導電層301、302を形成する。次に、実施形態12の工程にしたがって、第1の絶縁膜123、触媒元素を有する層、第1の半導体膜と、希ガス元素を有する第2の半導体膜を形成する。次に、第1の半導体膜及び第2の半導体膜を実施形態1と同様の手法により加熱して、図15(A)の矢印で示すように、第1の半導体膜を結晶化して第1の結晶性半導体膜501を形成するとともに、第1の結晶性半導体膜501に含まれる触媒元素を第2の半導体膜に移動させて、触媒元素をゲッタリングする。触媒元素がゲッタリングされた第1の結晶性半導体膜を501と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜502と示す。図15においては、実施形態1で示す絶縁膜123a、123b、123cを、代表して第1の絶縁膜123として示す。

40

【0214】

次に、図15(B)に示すように、第2の結晶性半導体膜502をエッチングした後、第1の結晶性半導体膜501表面に数nmの絶縁膜を成膜する。次に、液滴吐出法又はレーザービーム直接描画装置を用いて、第1のマスクを形成して第2の結晶性半導体膜をエッ

50

チングして第1の半導体領域511、512を形成する。次に、液滴吐出法又はレーザービーム直接描画装置を用いて、第2のマスク513、514を形成する。第2のマスク513は、後にnチャネル型TFTのチャネル形成領域となる部分を覆っている。一方、第2のマスク514は、後にpチャネル型TFTとなる第1の半導体領域512の全部を覆っている。次に、第1の半導体領域511の露出部にドナー型元素515を添加する。このとき、ドナー型元素515が添加された領域をn型不純物領域516と示す。また、第2のマスク513に覆われた領域はチャネル形成領域517として機能する。

【0215】

次に、第2のマスク513、514を除去した後、新たに第3のマスク521、522を形成する。第3のマスク521は、後にnチャネル型TFTとなるチャネル形成領域517及びn型を呈する第3の半導体領域(n型不純物領域516)の全部を覆っている。一方、第3のマスク522は、後にpチャネル型TFTのチャネル形成領域となる領域を覆う。

10

【0216】

次に、第1の半導体領域512の露出部に、アクセプター型元素523を添加し、p型不純物領域524を形成する。また、第3のマスク522に覆われた領域はチャネル形成領域525として機能する。つぎに、第3のマスク521、522を除去した後、n型不純物領域516及びp型不純物領域524を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA、GRTA、ファーネスアニール等を適宜用いることができる。

【0217】

20

次に、図15(D)に示すように、実施形態1と同様に、第5の導電層341、342を形成する。このとき、チャネル形成領域517、525の一部をエッチングしてもよい。次に、第5の導電層341、342及びチャネル形成領域517、525の表面上に、パッシベーション膜を成膜することが好ましい。

【0218】

以上の工程により、同一基板上にnチャネル型TFTとpチャネル型TFTとを形成することができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。

【0219】

なお、実施形態1乃至実施形態8のいずれかにも、本実施形態を適用することが可能である。

30

【0220】

(実施形態16)

本実施形態では実施形態13の変形例を用いて、nチャネルTFTとpチャネルTFTとを同一基板に形成する工程を、図16を用いて形成する。

【0221】

実施形態13にしたがって、図16(A)に示すように、触媒元素及びドナー型元素を有する第3の半導体領域313、314及び第4の半導体領域311、312を形成する。次に、図16(B)に示すように、第1のマスク321を形成した後、第3の半導体領域314にアクセプター型元素323を添加してp型不純物領域601を形成する。このとき、n型不純物領域である第3の半導体領域314の2~10倍の濃度となるようにアクセプター型元素323を添加することにより、p型不純物領域を形成することができる。また、アクセプター型元素としてボロンを用いた場合、分子半径が小さいため、第3の半導体領域より深いところまで添加される。このため、添加条件によっては、第4の半導体領域の上部にボロンが添加される。この後、第3の半導体領域313及びp型不純物領域601を加熱して、アクセプター型元素及びドナー型元素を活性化する。なお、ここでは、第4の半導体領域312のまでアクセプター元素を添加しないように、ドーピング条件を制御する。

40

【0222】

次に、実施形態14にしたがって第2の導電層331、332を形成する。次に、マス

50

クを用いて、第2の導電層331、332、第3の半導体領域313及びp型不純物領域601の露出部をエッチングして、図16(D)に示すようなソース領域及びドレイン領域として機能する第5の半導体領域343、621、及びチャンネル形成領域として機能する第6の半導体領域345、622を形成することができる。この後、第5の導電層341、342及び第6の半導体領域345、622の表面上に、パッシベーション膜を成膜することが好ましい。

【0223】

以上の工程により、同一基板上にnチャンネル型TFTとpチャンネル型TFTとを形成することができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。更には、実施形態13と同様に、アクセプター型元素のみ半導体膜に添加しているため、従来のCMOS回路の作製工程と比較して、短時間で、かつ省エネルギー作製することが可能であり、この結果低コスト化が可能である

10

【0224】

なお、実施形態1乃至実施形態8のいずれかにも、本実施形態を適用することが可能である。

【0225】

(実施形態17)

本実施形態では、上記実施形態において、ゲート電極とソース電極及びドレイン電極との端部の位置関係、即ちゲート電極の幅とチャンネル長の大きさの関係について、図17及び図18を用いて説明する。

20

【0226】

図17(A)は、ゲート電極202上をソース電極及びドレイン電極の端部がz1だけ重なっている。ここでは、ゲート電極202と、ソース電極及びドレイン電極とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極の幅y1がチャンネル長x1よりも大きい。オーバーラップ領域の幅z1は、 $(y1 - x1) / 2$ で表される。このようなオーバーラップ領域を有するnチャンネルTFTは、ソース電極及びドレイン電極と、半導体領域との間に、図1(D)で示すようなn+領域とn-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

【0227】

図17(B)は、ゲート電極202の端部と、ソース電極及びドレイン電極の端部が一致している。即ち、ゲート電極の幅y2とチャンネル長x2とが等しい。

30

【0228】

図17(C)は、ゲート電極202とソース電極及びドレイン電極の端部とがz3だけ離れている。ここでは、ここでは、ゲート電極202と、ソース電極及びドレイン電極とが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極の幅y3がチャンネル長x3よりも小さい。オフセット領域の幅z3は、 $(x3 - y3) / 2$ で表される。このような構造のTFTは、オフ電流を低減することができるため、該TFTを表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

【0229】

図18(A)は、ゲート電極の幅y4は、チャンネル長x4よりも大きい。また、ゲート電極202の第1の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極202の第2の端部とソース電極又はドレイン電極の他方の端部とがz4だけ重なっている。オーバーラップ領域の幅z4は、 $(y4 - x4)$ で表される。

40

【0230】

図18(B)は、ゲート電極の幅y5は、チャンネル長x5よりも大きい。また、ゲート電極202の第1の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極202の第2の端部とソース電極又はドレイン電極の他方の端部とがz5だけ離れている。オフセット領域の幅z5は、 $(x5 - y5)$ で表される。ゲート電極202の第1の端部と端部が一致する電極をソース電極とし、オフセット領域を有する電極をドレイン

50

電極とすることで、ドレイン電極付近での電界緩和が可能となる。

【0231】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造のTFTとしても良い。この様な構造のTFTも、オフ電流を低減することができる。

【0232】

なお、実施形態1乃至実施形態16のいずれかにも、本実施形態を適用することが可能である。

【0233】

(実施形態18)

上記実施形態において、チャンネル形成領域表面に対して垂直な端部を有するソース電極及びドレイン電極を示したが、この構造に限定されない。図21に示すように、チャンネル形成領域表面に対して90度より大きく、180度未満、好ましくは135~145度を有する端部であってもよい。また、ソース電極とチャンネル形成領域表面との角度を1、ドレイン電極とチャンネル形成領域表面との角度を2とすると、1と2が等しくてもよい。また、異なってもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

10

【0234】

また、図22に示すように、ソース電極とドレイン電極2149a、2149bの端部が湾曲面2150a、2150bを有していても良い。

【0235】

なお、実施形態1乃至実施形態16のいずれかにも、本実施形態を適用することが可能である。

20

【0236】

(実施形態19)

本実施形態では、上記実施形態に適用可能な半導体膜の結晶化工程について図23を用いて説明する。

【0237】

また、図23(A)に示すように、マスクを用いず、液滴吐出法により選択的に触媒元素を有する触媒元素層2805を形成し、次にドナー元素を含んだ第2の半導体膜132を形成し結晶化を行っても良い。図23(B)は、図23(A)の上面図である。また、図23(D)は、図23(C)の上面図である。第1の半導体膜124を加熱すると、図23(C)及び(D)の矢印で示すように、触媒元素層2805と第1の半導体膜124との接触部分から、基板の表面に平行な方向へ結晶成長が発生し、結晶性半導体膜2806を形成する。また、それと同時に矢印の方向に従ってドナー元素を含む半導体膜に触媒元素はゲッタリングをされる。なお、触媒元素層2805から、かなり離れた部分では結晶化は行われず、非晶質部分2807が残存する。

30

【0238】

このように、基板に平行な方向への結晶成長を横成長またはラテラル成長と称する。横成長により大粒径の結晶粒を形成することができるため、より高い移動度を有するTFTを形成することができる。

40

【0239】

なお、実施形態1乃至実施形態18のいずれかにも、本実施形態を適用することが可能である。

【実施例1】

【0240】

次に、アクティブマトリクス基板及びそれを有する液晶表示装置の作製方法について図24~図26を用いて説明する。図24~図26は、アクティブマトリクス基板における縦断面構造図であり、駆動回路部A-A'、及び画素部B-B'を模式的に示す。

【0241】

図24(A)に示すように、基板800上に膜厚100~200nmの第1の導電膜を

50

成膜する。ここでは、基板 800 にガラス基板を用い、その表面上に第 1 の導電膜として、膜厚 150 nm の酸化珪素を有する酸化インジウム膜をスパッタリング法により成膜する。次に、感光性材料を第 1 の導電膜上に吐出又は塗布し、レーザビーム直接描画装置を用いて感光性材料を露光、現像して、第 1 のマスクを形成する。次に、第 1 のマスクを用いて第 1 の導電膜をエッチングして第 1 の導電層 801 ~ 804 を形成する。ここでは、ウェットエッチング法により酸化珪素を含む酸化インジウム膜をエッチングして、第 1 の導電層 801 ~ 804 である酸化珪素を含む酸化インジウム層を形成する。なお、第 1 の導電層 801 ~ 803 はゲート電極として機能し、第 1 の導電層 804 はゲート電極の接続部として機能する。

【0242】

次に、基板 800 及び第 1 の導電層 801 ~ 804 表面上に、第 1 の絶縁膜を形成する。ここでは、第 1 の絶縁膜 805、806 として、膜厚 50 nm ~ 100 nm の窒化珪素膜及び膜厚 50 ~ 100 nm の酸化窒化珪素膜 (SiON (O > N)) を、CVD 法により積層させて形成する。なお、第 1 の絶縁膜はゲート絶縁膜として機能する。このとき、窒化珪素膜と酸化窒化珪素膜とを、大気に解放せず原料ガスの切り替えのみで連続成膜することが好ましい。また、実施形態 1 と同様に 3 層構造にしてもよい。

【0243】

次に触媒元素を有する層 808 を PVD 法、CVD 法、蒸着法等の公知の方法にて形成する。ここでは 100 ppm のニッケル触媒を含む溶液をスピコート法により塗布する。

【0244】

次に、図 24 (B) に示すように、膜厚 10 ~ 100 nm の非晶質半導体膜 807 を形成する。ここでは、膜厚 100 nm のアモルファスシリコン膜を CVD 法により成膜する。次に、後の TFT のチャネル領域となる領域に p 型または n 型の不純物元素を低濃度に添加するチャネルドープ工程を全面または選択的に行う。次に膜厚 100 nm のドナー型元素を含む半導体膜 812 を成膜する。ここでは、シランガスと、0.5% フォスフィンガス (流量比シラン/フォスフィンが 10/17) とを用いて、リンを有するアモルファスシリコン膜を成膜する。

【0245】

次に、非晶質半導体膜 807 を加熱して図 24 (C) に示すような、結晶性半導体膜 813 を形成する。ここでは、電気炉を用い、500 度で 1 時間加熱して半導体膜中の水素出しを行った後、550 度で 4 時間加熱してニッケルを含む結晶性シリコン膜を形成する。

【0246】

この加熱によって触媒元素はドナー型元素を含む半導体膜 812 に移動しゲッターリングされるとともに、ドナー型元素は活性化する。即ち、触媒元素を含む結晶性半導体膜中の触媒元素を、ドナー型元素を含む半導体膜 812 へ移動させる。このときの触媒元素濃度が低減された結晶性半導体膜を図 24 (C) の 813 で示す。ここでは、結晶性シリコン膜となる。また、触媒元素が移動した、ドナー型元素を含む半導体膜も加熱により結晶性半導体膜 814 となる。即ち、触媒元素及びドナー型元素を含む結晶性半導体膜となる。これを、図 24 (C) の 814 で示す。ここでは、ニッケル及びリンを含む結晶性シリコン膜となる。

【0247】

次に、図 25 (A) に示すように、触媒元素及びドナー型元素を含む結晶性半導体膜 814 及び結晶性半導体膜 813 を、第 2 のマスク 815 ~ 817 を用いて所望の形状にエッチングする。第 2 のマスク 815 ~ 817 は、液滴吐出法によって、有機樹脂を滴下乾燥して形成することができる。また、第 1 のマスクと同様、感光性材料をレーザビーム直接描画装置により露光現像して形成することができる。ここでは、液滴吐出法により、ポリイミドを選択的に吐出し、乾燥焼成して第 2 のマスク 815 ~ 817 を形成する。エッチングされた触媒元素及びドナー型元素を含む結晶性半導体膜は、図 25 (B) に示す第

10

20

30

40

50

1の半導体領域824～826となり、エッチングされた結晶性半導体膜813は、第2の半導体領域821～823となる。

【0248】

次に、駆動回路において、一部のTFTのゲート電極とソース電極又はドレイン電極とを接続させるために、第3のマスクを用いて第1の絶縁膜805、806の一部をエッチングして、図29に示すようなコンタクトホール850を形成する。なお、後に形成される第4の導電層831～833は破線で示す。第3のマスクは、第1のマスク又は第2のマスクと同様の形成方法を適宜用いることができる。該コンタクトホールを介してゲート電極として機能する第1の導電層802と、後に形成されるソース電極又はドレイン電極として機能する第4の導電層833を接続することにより、抵抗を形成することが可能となり、隣り合うTFTと接続されることで、インバータを形成することが可能である。

10

【0249】

次に、図25(B)に示すように、第1の半導体領域824～826及び第2の半導体領域821～823表面に、膜厚500～1000nm第2の導電層827、828を形成する。ここでは、液滴吐出法によりAgペーストを吐出し、焼成して第3の導電層を形成する。

【0250】

次に、感光性材料829を塗布又は吐出し、レーザービーム直接描画装置を用いて該感光性材料を露光、現像して第4のマスクを形成した後、第3の導電層をエッチングして、図25(C)に示すような、ソース電極及びソース配線、並びにドレイン電極として機能する第4の導電層831～836を形成する。また、この工程において、第3の導電層を分断して、ソース電極及びドレイン電極を形成すると共に、ソース配線又はドレイン配線の幅が細くなるようにエッチングすることで、後に形成される液晶表示装置の開口率を高めることが可能である。ここでは、感光性材料829として、ポジ型感光性材料を用い、レーザー光830を照射して第4のマスクを形成する。

20

【0251】

次に、第4のマスクを残したまま、第1の半導体領域824～826をエッチングして、ソース領域及びドレイン領域837～843を形成する。このとき、第2の半導体領域821～823の一部もエッチングされる。エッチングされた半導体領域を第3の半導体領域844～846は、チャンネル形成領域として機能する。

30

【0252】

次に、第4のマスクを除去した後、第4の導電層及び第3の半導体領域表面上に第2の絶縁膜851及び第3の絶縁膜852を形成する。ここでは、第2の絶縁膜として水素を含む膜厚の150nm酸化窒化珪素膜(SiON(O>N))をCVD法により形成する。また、第3の絶縁膜として膜厚200nmの窒化珪素膜を、CVD法により成膜する。窒化珪素膜は、外部からの不純物をブロッキングする保護膜として機能する。

【0253】

次に、第3の半導体領域844～846を加熱して水素化する。ここでは、窒素雰囲気中で410℃1時間の加熱を行うことで、第2の絶縁膜851に含まれる水素が第3の半導体領域844～846に添加され、水素化される。

40

【0254】

以上の工程により、nチャンネル型TFT861、862で形成される駆動回路A-A'と、ダブルゲートの電極として機能する第1の導電層803を有するnチャンネル型TFT863を有する画素部B-B'とで構成される、液晶表示装置のアクティブマトリクス基板を形成することができる。本実施例では、nチャンネルTFTで駆動回路が形成されているため、pチャンネルTFTを形成する必要がなく、工程数を削減することが可能である。なお、nチャンネル型TFTでなく、pチャンネル型TFTのみで駆動回路及び画素TFTを構成してもよい。

【0255】

次に、図26(A)に示すように、第3の絶縁膜852上に第4の絶縁膜871を形成

50

する。ここでは、アクリルを塗布し焼成して第4の絶縁膜871を形成する。次に、第4の絶縁膜871上に第5のマスクを形成した後、第4の絶縁膜871、第3の絶縁膜852、第2の絶縁膜851、第1の絶縁膜805、806をそれぞれエッチングして、ゲート電極の接続部となる第1の導電層804の一部を露出する。次に、ゲート電極の接続部となる第1の導電層804に接続するゲート配線として機能する第5の導電層872を形成する。ここでは、液滴吐出法により、Agペーストを吐出し焼成した後、レーザービーム直接描画装置で形成されるマスクを用いてAgペーストの一部をエッチングして配線幅を細くして、第5の導電層872を形成する。

【0256】

次に、第5の絶縁膜873を形成する。第5の絶縁膜873も第4の絶縁膜と同様の材料を適宜用いることが可能である。ここでは、第5の絶縁膜873にアクリルを用いる。次に、第5の絶縁膜873上に第6のマスクを形成した後、第5の絶縁膜873～第2の絶縁膜851をエッチングして、第4の導電層836の一部を露出する。

【0257】

次に、第4の導電層836に接するように、膜厚100～300nmの第6の導電層874を成膜する。第6の導電層874の材料としては、透光性を有する導電膜、又は反射性を有する導電膜があげられる。透光性を有する導電膜の材料としては、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)、酸化珪素を含む酸化インジウムスズ等が挙げられる。また、反射性を有する導電膜の材料としては、アルミニウム(Al)、チタン(Ti)、銀(Ag)、タンタル(Ta)などの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン(TiN)、窒化タンタル(TaN)などが挙げられる。また、第6の導電層874の形成方法としては、液滴吐出法、塗布法、スパッタリング法、蒸着法、CVD法等を適宜用いる。なお、塗布法、スパッタリング法、蒸着法、CVD法等を用いる場合、液滴吐出法、レーザービーム直接描画装置を用いた露光等によりマスクを形成した後、導電膜をエッチングして導電層を形成する。ここでは、膜厚110nmの酸化珪素を含むインジウム錫酸化物(ITO)をスパッタリング法により成膜し、所望の形状にエッチングして画素電極として機能する第6の導電層874を形成する。

【0258】

次に、図26(B)に示すように、第5の絶縁膜873を覆うように印刷法やスピンコート法により、絶縁膜を成膜し、ラビングを行って配向膜881を形成する。なお、斜方蒸着法により配向膜881を形成することで、低温で形成することが可能であり、耐熱性の低いプラスチック上に配向膜881を形成することが可能である。

【0259】

対向基板882上に第2の画素電極(対向電極)883及び配向膜884を形成する。次に、対向基板882上に閉ループ状のシール材を形成する。このとき、シール材は画素部の周辺の領域に液滴吐出法を用いて形成する。次に、ディスペンサ式(滴下式)により、シール材で形成された閉ループ内側に、液晶材料を滴下する。

【0260】

シール材には、フィラーが混入されていてもよく、さらに、対向基板882にはカラーフィルタや遮蔽膜(ブラックマトリクス)などが形成されていても良い。

【0261】

次に、真空中で、配向膜884及び第2の画素電極(対向電極)883が設けられた対向基板882とアクティブマトリクス基板とを貼り合わせ、紫外線硬化を行って、液晶材料が充填された液晶層885を形成する。なお、液晶層885を形成する方法として、ディスペンサ式(滴下式)の代わりに、対向基板を貼り合わせてから毛細管現象を用いて液晶材料を注入するディップ式(汲み上げ式)を用いることができる。

【0262】

以上の工程により液晶表示パネルを作製することができる。なお、静電破壊防止のため

10

20

30

40

50

の保護回路、代表的にはダイオードなどを、接続端子とソース配線（ゲート配線）の間または画素部に設けてもよい。この場合、上記したTFTと同様の工程で作製し、画素部のゲート配線層とダイオードのドレイン又はソース配線層とを接続することにより、ダイオードとして動作させることができる。

【0263】

以上の工程により液晶表示装置を形成することができる。なお、実施形態1乃至実施形態19のいずれをも本実施例に適用することができる。

【実施例2】

【0264】

次に、実施例1において、駆動回路がCMOS回路で形成されるアクティブマトリクス基板及びそれを有する液晶表示装置の作製方法について図27、図28、図30を用いて説明する。図30は、アクティブマトリクス基板の駆動回路の平面図である。また、駆動回路部A-A'、及び画素部のB-B'の縦断面構造を図27、及び図28に模式的に示す。

10

【0265】

実施例1と同様の工程により、図27(A)に示すように、基板800上にゲート電極として機能する第1の導電層801~804、第1の絶縁膜805、806、第1の半導体領域824~826、第2の半導体領域821~823を形成する。次に、後のnチャネル型TFTとなる領域にマスク891を形成する。ここでは、液滴吐出法により、ポリイミドを吐出し、乾燥して、後のnチャネル型TFTとなる第1の半導体領域824、826及び第2の半導体領域821、823を覆うマスク891を形成する。

20

【0266】

次に、後にpチャネル型TFTとなる第1の半導体領域825に、アクセプター型元素892を添加し、図27(B)に示すように、p型半導体領域893を形成する。

【0267】

この後、実施例1と同様の工程により、ソース電極及びソース配線、並びにドレイン電極として機能する第4の導電層831~836を形成する(図27(C))。また、ソース領域及びドレイン領域837~843、チャンネル形成領域として機能する第3の半導体領域844~846を形成する。このときの上面図を図30に示す。また、第2の絶縁膜851及び第3の絶縁膜852を形成した後、第3の半導体領域844~846を加熱して水素化する。

30

【0268】

次に、図28(A)に示すように、第4の絶縁膜871を形成した後、ゲート電極として機能する第1の導電層804の一部を露出し、ゲート電極と接続し、ゲート配線として機能する第5の導電層を形成する。この後、実施例1と同様に第5の絶縁膜873を形成した後、第4の導電層836に接続する第6の導電層874を形成する。

【0269】

以上の工程により、図28(A)に示すような、nチャネル型TFT896及びpチャネル型TFT897のCMOS回路で形成される駆動回路A-A'と、ダブルゲートとして機能する第1の導電層803を有するnチャネル型TFT863を有する画素部B-B'とで構成される、液晶表示装置のアクティブマトリクス基板を形成することができる。

40

【0270】

この後、実施例1と同様の工程により、図28(B)に示すような液晶表示装置を形成することが可能である。

【実施例3】

【0271】

本実施例では、本発明の半導体装置の一形態に相当する液晶表示装置パネルの外観について、図31を用いて説明する。図31(A)は、第1の基板1600と、第2の基板1604との間を第1のシール材1605及び第2のシール材1606によって封止されたパネルの上面図であり、図31(B)は、図31(A)のA-A'、及びB-B'それぞれ

50

れにおける断面図に相当する。また、第1の基板1600に、実施例1または2で形成されたアクティブマトリクス基板を用いることが可能である。

【0272】

図31(A)において、点線で示された1602は画素部、1603は走査線駆動回路である。また、実線で示された1601は信号線(ゲート線)駆動回路である。本実施例において、画素部1602、及び走査線駆動回路1603は第1のシール材及び第2のシール材で封止されている領域内にある。また、1601は信号線(ソース線)駆動回路であり、チップ状の信号線駆動回路が第1の基板1600上に設けられている。

【0273】

また、1600は第1の基板、1604は第2の基板、1605及び1606はそれぞれ、密閉空間の間隔を保持するためのギャップ材が含有されている第1のシール材及び第2のシール材である。第1の基板1600と第2の基板1604とは第1のシール材1605及び第2のシール材1606によって封止されており、それらの間には液晶材料が充填されている。

10

【0274】

次に、断面構造について図31(B)を用いて説明する。第1の基板1600上には駆動回路及び画素部が形成されており、TFTを代表とする半導体素子を複数有している。第2の基板1604表面には、カラーフィルタ1621が設けられている。駆動回路として走査線駆動回路1603と画素部1602とを示す。なお、走査線駆動回路1603はnチャンネル型TFT1612からなる回路が形成される。なお、実施例2と同様に、CMOS回路によって駆動回路を形成しても良い。

20

【0275】

本実施例においては、同一基板上に走査線駆動回路、及び画素部のTFTが形成されている。このため、表示装置の容積を縮小することができる。

【0276】

画素部1602には、複数の画素が形成されており、各画素には液晶素子1615が形成されている。液晶素子1615は、第1の電極1616、第2の電極1618及びその間に充填されている液晶材料1619が重なっている部分である。液晶素子1615が有する第1の電極1616は、配線1617を介して画素駆動用TFT1611と電気的に接続されている。また、ゲート電極の接続部1625は、コンタクトホールを介してゲート配線1626と接続されている。ここでは、ゲート配線1626を形成した後、第1の電極1616を形成しているが、第1の電極1616を形成した後、ゲート配線1626を形成してもよい。液晶素子1615の第2の電極1618は、第2の基板1604側に形成される。また、各画素電極表面には配向膜1630、1631が形成されている。

30

【0277】

1622は柱状のスペーサであり、第1の電極1616と第2の電極1618との間の距離(セルギャップ)を制御するために設けられている。絶縁膜を所望の形状にエッチングして形成されている。なお、球状スペーサを用いてもよい。信号線駆動回路1601または画素部1602に与えられる各種信号及び電位は、接続配線1623を介して、FPC1609から供給されている。なお、接続配線1623とFPC1609とは、異方性導電膜1627、又は異方性導電樹脂で電気的に接続されている。なお、異方性導電膜又は異方性導電樹脂の代わりに半田等の導電性ペーストを用いてもよい。

40

【0278】

図示しないが、第1の基板1600及び第2の基板1604の一方又は両方の表面には、接着剤によって偏光板が固定されている。なお、偏光板の他に位相差板を設けてもよい。

【実施例4】

【0279】

本実施例では、基板周辺部に設けられた走査線入力端子部と信号線入力端子部の構造について、図37を用いて説明する。図37(A)、(C)及び(E)は、それぞれ基板周

50

辺部の平面図であり、図37(B)、(D)及び(F)は、それぞれ図37(A)、(C)及び(E)のK-L、及びM-Nの縦断面図である。なお、K-Lは走査線入力端子部の縦断面図を示し、M-Nはと信号線入力端子部の縦断面図を示す。

【0280】

図37(A)及び図37(B)に示すように、第1の基板11及び第2の基板21は、シール材20を用いて封止されており、これらの内部には、液晶材料27が充填されている。また、シール材内部には、画素電極19及び画素TFT1が配列された画素部が形成されている。

【0281】

図37(A)及び図37(B)においては、走査線入力端子13と信号線入力端子26は、画素TFT1のゲート電極12と同様の工程により形成されている。また、走査線入力端子13は、第1の層間絶縁膜16上に形成されたゲート配線17を介して各ゲート電極と接続されている。また、信号線入力端子26は、ソース配線14と接続されている。

【0282】

また、画素電極19は第1の層間絶縁膜16上に形成された第2の層間絶縁膜18上に形成されている。なお、第1の層間絶縁膜16及び第2の層間絶縁膜18を介して、ドレイン電極15と接続されている。

【0283】

走査線入力端子13と信号線入力端子26は、それぞれ接続層22、23を介してFPC24、25に接続されている。なお、図37(A)においては、接続層22、23及びFPC24、25は破線で示している。

【0284】

図37(C)及び図37(D)においては、走査線入力端子33はソース配線14と同様の工程で形成され、信号線入力端子は、ソース配線14の一部である。即ち、ソース配線14と同時に各入力端子が形成されている。また、走査線入力端子33とゲート電極12とは、第1の層間絶縁膜16上に形成されたゲート配線17で接続されている。

【0285】

その他の構造は、図37(A)及び図37(B)と同様である。

【0286】

図37(E)及び図37(F)においては、走査線入力端子はゲート配線43の一部であり、信号線入力端子44は、ゲート配線43と同時に形成される。即ち、ゲート配線43と同時に各入力端子が形成されている。また、信号線入力端子44は、ソース配線14上に形成された第1の層間絶縁膜が除去された後、露出されたソース配線14上に形成される。

【0287】

その他の構造は、図37(A)及び図37(B)と同様である。

【0288】

なお、本実施例は、実施形態1に示されるTFTの構造を用いて説明したが、適宜実施形態2乃至実施形態19に適用することが可能である。

【実施例5】

【0289】

本発明の半導体装置に具備される保護回路の一例について説明する。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図38を用いて説明する。図38(A)に示す保護回路は、P型TFT7220、7230、容量素子7210、7240、抵抗素子7250を有する。抵抗素子7250は2端子の抵抗であり、一端には入力電圧 V_{in} (以下、 V_{in} と表記)が、他端には低電位電圧 V_{SS} (以下、 V_{SS} と表記)が与えられる。

【0290】

図38(B)に示す保護回路は、P型TFT7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図38(C)に示す保護回路は、P型TFT7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図38(D)に示す保護回路は、抵抗7280、7290と、N型TFT7300を有する。図38(E)に示す保護回路は、抵抗7280、7290、P型TFT7310及びN型TFT7320を有する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施例は、上記の実施の形態と自由に組み合わせることが可能である。

10

【実施例6】

【0291】

本実施例では、上記実施例に示した液晶パネルへの駆動回路の実装について、図32を用いて説明する。

【0292】

図32(A)に示すように、画素部1401の周辺に信号線駆動回路1402、及び走査線駆動回路1403a、1403bを実装する。図32(A)では、信号線駆動回路1402、及び走査線駆動回路1403a、1403b等として、公知の異方性導電接着剤、及び異方性導電フィルムを用いた実装方法、COG方式、ワイヤボンディング方法、並びに半田バンプを用いたリフロー処理等により、基板1400上にICチップ1405を実装する。ここでは、COG方式を用いる。そして、FPC(フレキシブルプリントサーキット)1406を介して、ICチップと外部回路とを接続する。

20

【0293】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

【0294】

また、図32(B)に示すように、SASや結晶性半導体でTFTを代表とする半導体素子を形成する場合、画素部1401と走査線駆動回路1403a、1403b等を基板上に一体形成し、信号線駆動回路1402等を別途ICチップとして実装する場合がある。図32(B)において、信号線駆動回路1402として、COG方式により、基板1400上にICチップ1405を実装する。そして、FPC1406を介して、ICチップと外部回路とを接続する。

30

【0295】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

【0296】

さらに、図32(C)に示すように、COG方式に代えて、TAB方式により信号線駆動回路1402等を実装する場合がある。そして、FPC1406を介して、ICチップと外部回路とを接続する。図32(C)において、信号線駆動回路をTAB方式により実装しているが、走査線駆動回路をTAB方式により実装してもよい。

40

【0297】

ICチップをTAB方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縁化を達成することができる。

【0298】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

【0299】

ICチップは、シリコンウェハを用いて形成するが、ICチップの代わりにガラス基板上に集積回路を形成したIC(以下、ドライバICと表記する)を設けてもよい。ICチップは、円形のシリコンウェハからICチップを取り出すため、母体基板形状に制約があ

50

る。一方ドライバICは、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバICの形状寸法は自由に設定することができる。例えば、ドライバICの長辺の長さを15～80mmとして形成すると、ICチップを実装する場合と比較し、必要な数を減らすことができる。その結果、接続端子数を低減することができる、製造上の歩留まりを向上させることができる。

【0300】

ドライバICは、基板上に形成された結晶性半導体を用いて形成することができ、結晶性半導体は連続発振型のレーザ光を照射することで形成するとよい。連続発振型のレーザ光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバICに好適である。

10

【実施例7】

【0301】

本実施例では、表示モジュールについて説明する。ここでは、表示モジュールの一例として、液晶モジュールを、図33を用いて示す。

【0302】

図33(A)は、白色ライト及びカラーフィルタを用いてカラー表示をする液晶モジュールの断面図を示す。

【0303】

図33(A)に示すように、アクティブマトリクス基板1201と対向基板1202とが、シール材1200により固着され、それらの間には画素部1203と液晶層1204とが設けられ表示領域を形成している。

20

【0304】

着色層1205は、カラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。アクティブマトリクス基板1201と対向基板1202との外側には、光学フィルム(偏光板、位相差板など)1206、1207が配設されている。また、偏光板として機能する光学フィルム1206の表面には、保護膜1216が形成されており、外部からの衝撃を緩和している。

【0305】

アクティブマトリクス基板1201に設けられた接続端子1208には、FPC1209を介して配線基板1210が接続されている。配線基板1210には、画素駆動回路(ICチップ、ドライバIC等)、コントロール回路や電源回路などの外部回路1212が組み込まれている。

30

【0306】

冷陰極管1213、反射板1214、及び光学フィルム1215、インバータ(図示しない)はバックライトユニットであり、これらが光源となって液晶表示パネルへ光を投射する。液晶パネル、光源、配線基板、FPC等は、ベゼル1217で保持及び保護されている。

【0307】

このような構造の液晶モジュールとしては、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、MVA(Multi-domain Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Bend)モード等を適宜適用することが可能である。

40

【0308】

図33(B)は、カラーフィルタを用いず、カラー表示を行うことが可能なフィールドシーケンシャル方式の駆動方法を用いる液晶モジュールを示す。フィールドシーケンシャル方式の駆動方法は、液晶パネルによって光シャッタを行って、RGBの3色のバックライトを高速で点灯させてカラー表示を行い、人間の目の時間的な分解能力の限界を利用し

50

、連続時間的な加法混色によってカラー表示を実現するものである。バックライトとしては、R（赤）、G（緑）、B（青）の光を発する冷陰極管またはダイオード（LED）を用いることができる。

【0309】

ここでは、いわゆるセル構造を有しており、OCB（Optically Compensated Bend）モードという表示モードを用いる。セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面対称の関係で配向された構造である。セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過する状態となる。

10

【0310】

また、液晶層1224に充填される材料としては、ネマチック液晶、スメクチック液晶、強誘電性液晶、又は反強誘電性液晶、若しくはこれらの材料を複数混合した材料を用いることができる。

【0311】

また、OCBモードによる表示においては、液晶パネルを挟持する一对の光学フィルム（偏光板、位相差板など）1206、1207は、リタレーションの視角依存性を3次元的に補償するため、2軸性位相差板を用いることが好ましい。

20

【0312】

ここでは、R（赤）、G（緑）、B（青）それぞれに発光するLED1221～1223が反射板1214内に設けられている。また、これらのLEDの発光を制御するコントローラ（図示しない。）が設けられている。フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間（TR）には、赤に対応したビデオ信号（R1）が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオデータ（G1）が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオデータ（B1）が液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

30

【0313】

なお、実施形態1乃至実施形態19のいずれをも本実施例に適用することができる。

【実施例8】

【0314】

上記実施例に示される半導体装置又は液晶表示装置を筐体に組み込んだ電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図34を参照して説明する。

40

【0315】

図34（A）に示す携帯情報端末は、本体9201、表示部9202等を含んでいる。表示部9202は、実施形態1～19、及び実施例1～7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯情報端末を安価に提供することができる。

【0316】

図34（B）に示すデジタルビデオカメラは、表示部9701、表示部9702等を含んでいる。表示部9701は、実施形態1～19、及び実施例1～7で示すものを適用す

50

ることができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なデジタルビデオカメラを安価に提供することができる。

【0317】

図34(C)に示す携帯端末は、本体9101、表示部9102等を含んでいる。表示部9102は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯端末を安価に提供することができる。

【0318】

図34(D)に示す携帯型のテレビジョン装置は、本体9801、表示部9802等を含んでいる。表示部9802は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯型のテレビジョン装置を安価に提供することができる。このようなテレビジョン装置は携帯電話などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの(例えば40インチ以上)まで、幅広く適用することができる。

10

【0319】

図34(E)に示す携帯型のコンピュータは、本体9401、表示部9402等を含んでいる。表示部9402は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯型のコンピュータを安価に提供することができる。

20

【0320】

図34(F)に示すテレビジョン装置は、本体9501、表示部9502等を含んでいる。表示部9502は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なテレビジョン装置を安価に提供することができる。

【0321】

上記に挙げた電子機器において、二次電池を用いているものは、消費電力を削減した分、電子機器の使用時間を長持ちさせることができ、二次電池を充電する手間を省くことができる。

【0322】

図35に示す大型テレビジョンは、本体9601、表示部9602等を含んでいる。また、本体の裏又は上部には、壁掛用の支持体が設けられている。図35では、大型テレビジョンの代表例として、壁掛けテレビジョンを示す。図35に示すように壁9603にかけて表示することができる。また、鉄道の駅や空港などにおける情報表示板や、街頭における広告表示板など特に大面積の表示媒体として様々な用途に適用することができる。表示部9602は、実施形態1~19、及び実施例1~7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯情報端末を安価に提供することができる。

30

【実施例9】

【0323】

本発明により無線チップ(無線プロセッサ、無線メモリ、無線タグともよぶ)として機能する半導体装置を形成することができる。無線チップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類(運転免許証や住民票等、図40(A)参照)、包装用容器類(包装紙やボトル等、図40(C)参照)、記録媒体(DVDソフトやビデオテープ等、図40(B)参照)、乗物類(自転車等、図40(D)参照)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札(図40(E)、図40(F)参照)等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置(単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ)及び携帯電話等を指す。

40

【0324】

50

無線チップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証券類等に無線チップを設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に無線チップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。本発明より形成することが可能な無線チップは、基板上に形成した薄膜集積回路を、公知の剥離工程により剥離した後、カバー材に設けるため、小型、薄型、軽量であり、物品に実装しても、デザイン性を損なうことがない。更には、可とう性を有するため、瓶やパイプなど曲面を有するものにも用いることが可能である。

10

【0325】

また、本発明より形成することが可能な無線チップを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、荷札に設けられる無線チップに記録された情報を、ベルトコンベアの脇に設けられたリーダライタで読み取ることで、流通過程及び配達先等の情報が読み出され、商品の検品や荷物の分配を簡単に行うことができる。

【0326】

本発明より形成することが可能な無線チップの構造について図41を用いて説明する。無線チップは、薄膜集積回路9303及びそれに接続されるアンテナ9304とで形成される。また、薄膜集積回路9303及びアンテナ9304は、カバー材9301、9302により挟持される。薄膜集積回路9303は、接着剤を用いてカバー材に接着してもよい。図41においては、薄膜集積回路9303の一方が、アンテナ9304及び接着剤9305を介してカバー材9301に接着されている。

20

【0327】

薄膜集積回路9303は、実施形態1～19のいずれかで示されるTF Tを用いて形成した後、公知の剥離工程により剥離してカバー材に設ける。また、薄膜集積回路9303に用いられる半導体素子はこれに限定されない。例えば、TF Tの他に、記憶素子、ダイオード、光電変換素子、抵抗素子、コイル、容量素子、インダクタなどを用いることができる。

【0328】

図41で示すように、薄膜集積回路9303のTF T上には層間絶縁膜9311が形成され、層間絶縁膜9311を介してTF Tに接続するアンテナ9304が形成される。また、層間絶縁膜9311及びアンテナ9304上には、窒化珪素膜等からなるバリア膜9312が形成されている。

30

【0329】

アンテナ9304は、金、銀、銅等の導電体を有する液滴を液滴吐出法により吐出し、乾燥焼成して形成する。液滴吐出法によりアンテナを形成することで、工程数の削減が可能であり、それに伴うコスト削減が可能である。

【0330】

カバー材9301、9302は、ラミネートフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）、繊維質な材料からなる紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）と、接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどを用いることが好ましい。ラミネートフィルムは、熱圧着により、被処理体とラミネート処理が行われるものであり、ラミネート処理を行う際には、ラミネートフィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。

40

【0331】

また、カバー材に紙、繊維、カーボングラファイト等の焼却無公害素材を用いることにより、使用済み無線チップの焼却、又は裁断することが可能である。また、これらの材料

50

を用いた無線チップは、焼却しても有毒ガスを発生しないため、無公害である。

【0332】

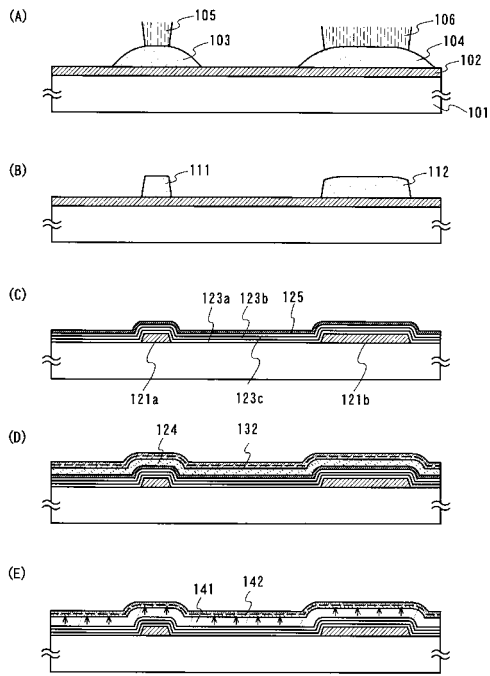
なお、図41では、アンテナ9304及び接着剤9305を介してカバー材9301に無線チップを設けているが、該カバー材9301の代わりに、物品に無線チップを貼付けて、使用しても良い。

【図面の簡単な説明】

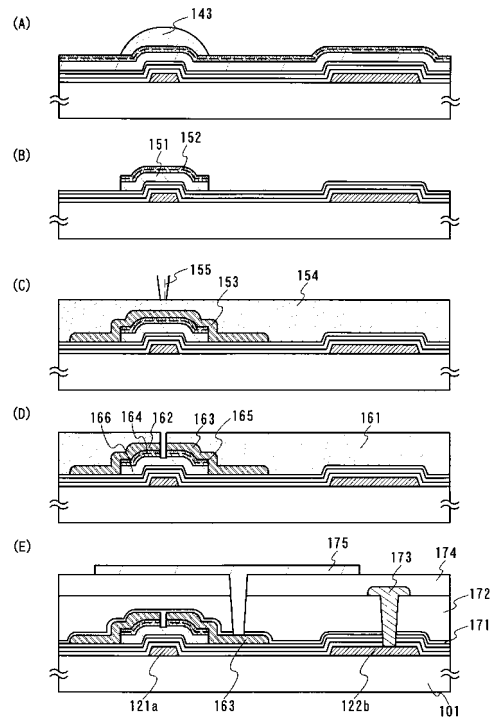
【0333】

- 【図1】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図2】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図3】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。 10
- 【図4】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図5】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図6】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図7】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図8】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図9】本発明に係る液晶表示装置の作製工程を説明する断面図
- 【図10】本発明に係る液晶表示装置の作製工程を説明する断面図
- 【図11】本発明に係る液晶表示装置の作製工程を説明する断面図
- 【図12】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図13】本発明に係る液晶表示装置の作製工程を説明する断面図。 20
- 【図14】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図15】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図16】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図17】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図18】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図19】本発明に係る液晶表示装置の不純物濃度を説明する断面図。
- 【図20】本発明に係る液晶表示装置の不純物濃度を説明する断面図。
- 【図21】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図22】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図23】本発明に係る液晶表示装置の作製工程を説明する断面図。 30
- 【図24】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図25】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図26】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図27】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図28】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図29】本発明に係る液晶表示装置の駆動回路の接続を説明する平面図。
- 【図30】本発明に係る液晶表示装置の駆動回路の接続を説明する平面図。
- 【図31】本発明に係る液晶表示パネルの構成を説明する平面図及び断面図。
- 【図32】本発明に係る液晶表示装置の駆動回路の実装方法を説明する平面図。
- 【図33】本発明に係る液晶表示モジュールの構成を説明する図。 40
- 【図34】電子機器の一例を説明する図。
- 【図35】電子機器の一例を説明する図。
- 【図36】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図37】本発明に係る液晶表示装置の周辺部の構成を説明する平面図及び断面図。
- 【図38】保護回路を説明する回路図。
- 【図39】本発明に適用可能なレーザビーム直接描画装置を説明する図。
- 【図40】本発明の半導体装置の応用例を説明する図。
- 【図41】本発明の半導体装置の応用例を説明する図。

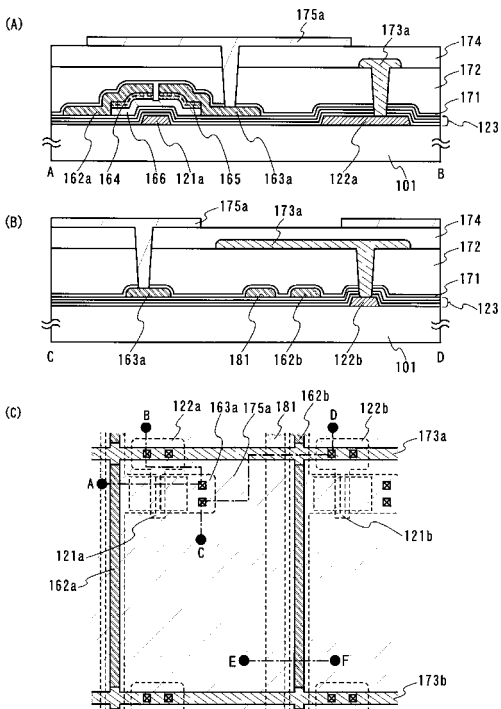
【図1】



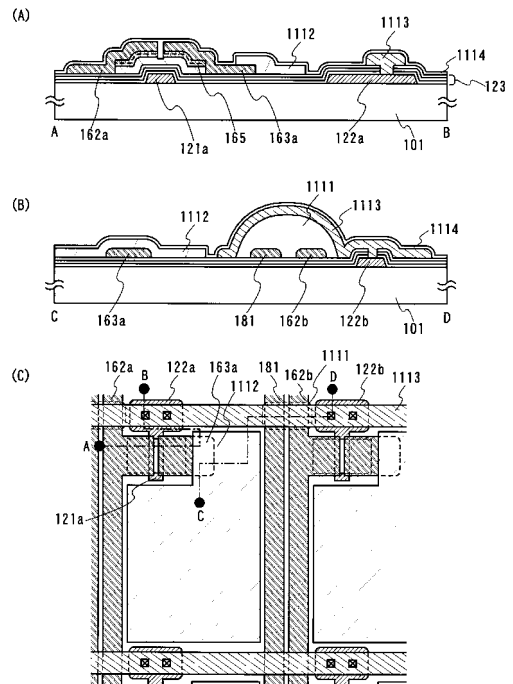
【図2】



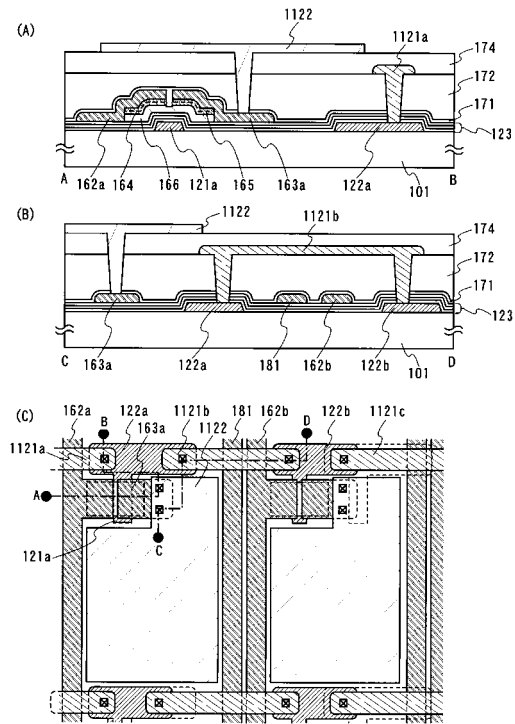
【図3】



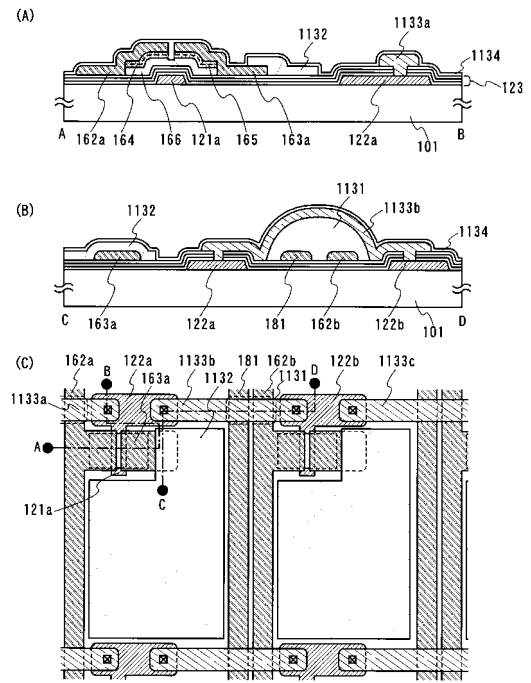
【図4】



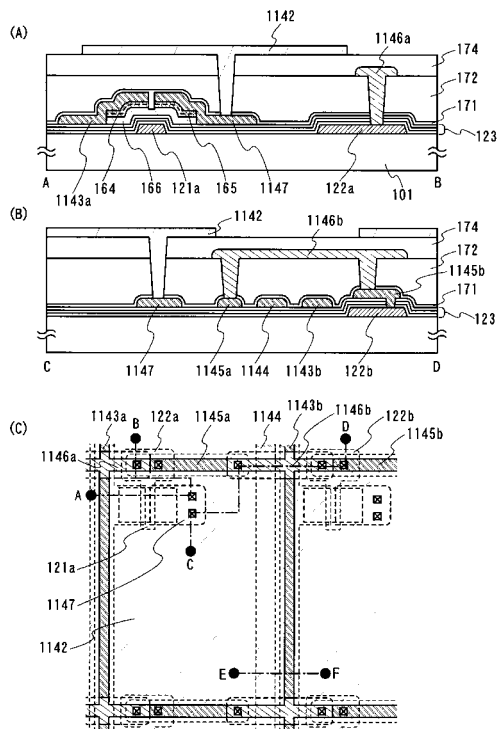
【図5】



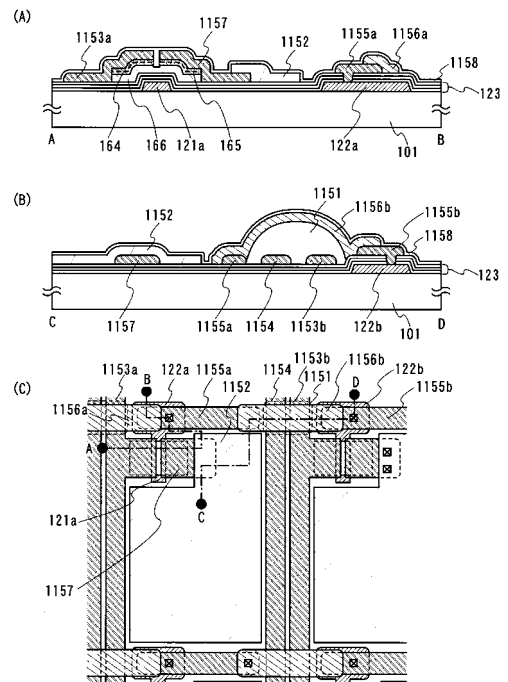
【図6】



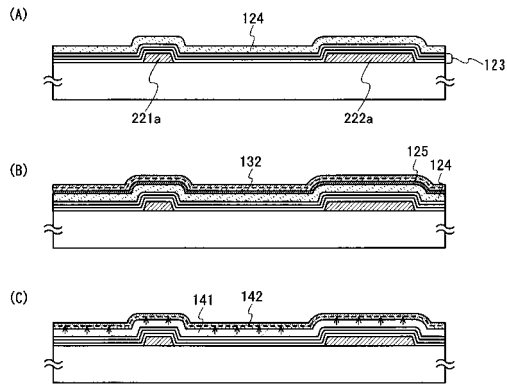
【図7】



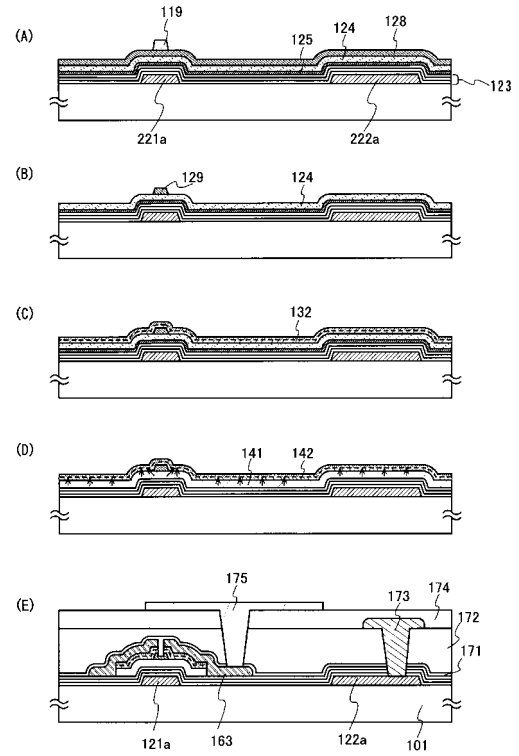
【図8】



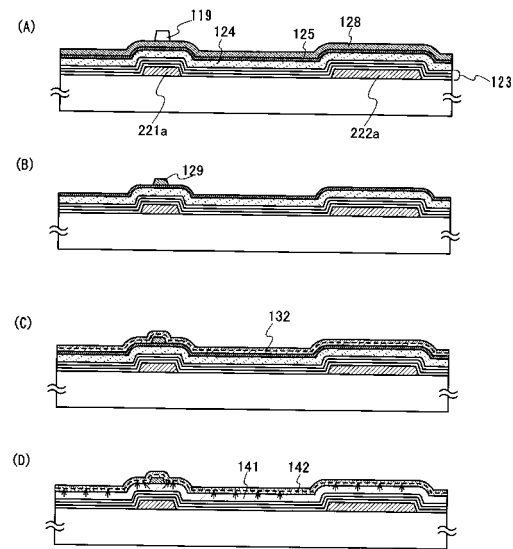
【図9】



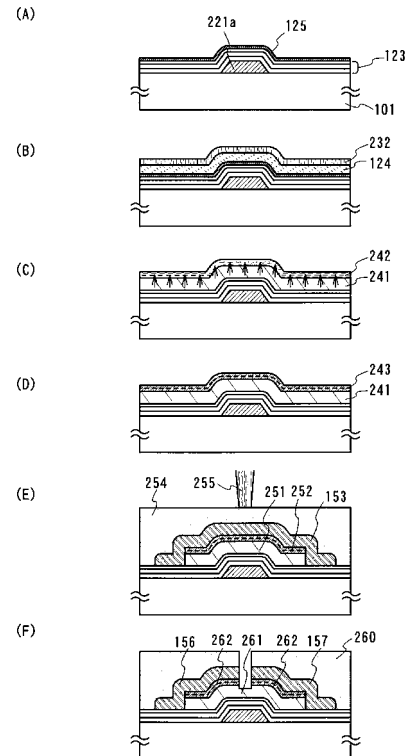
【図10】



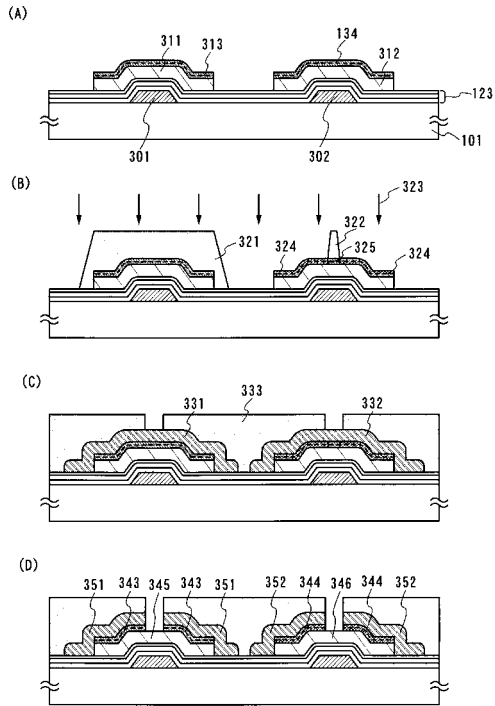
【図11】



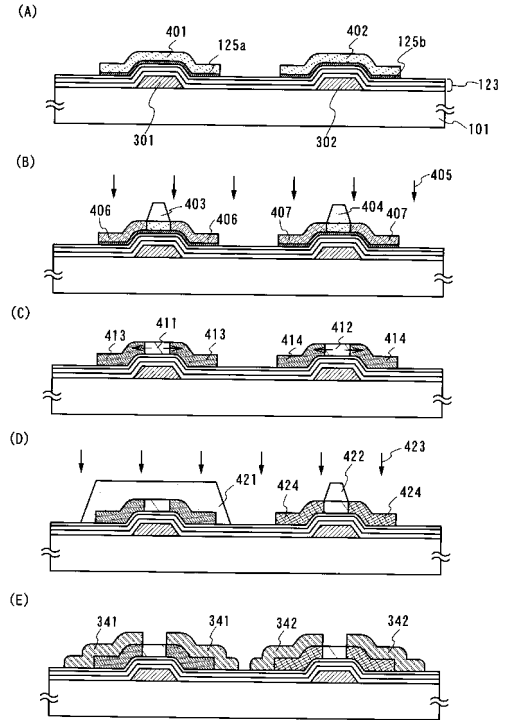
【図12】



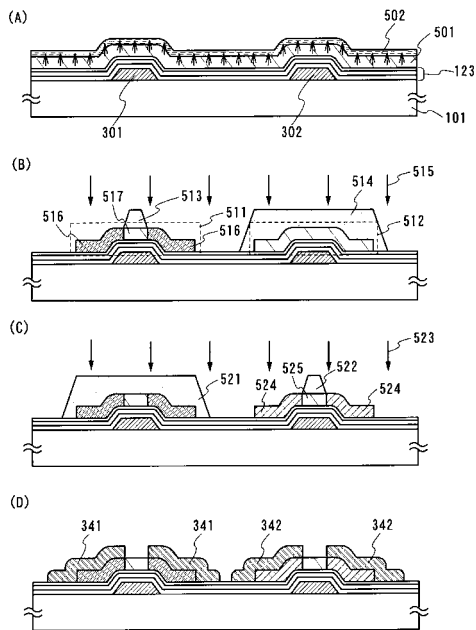
【 図 1 3 】



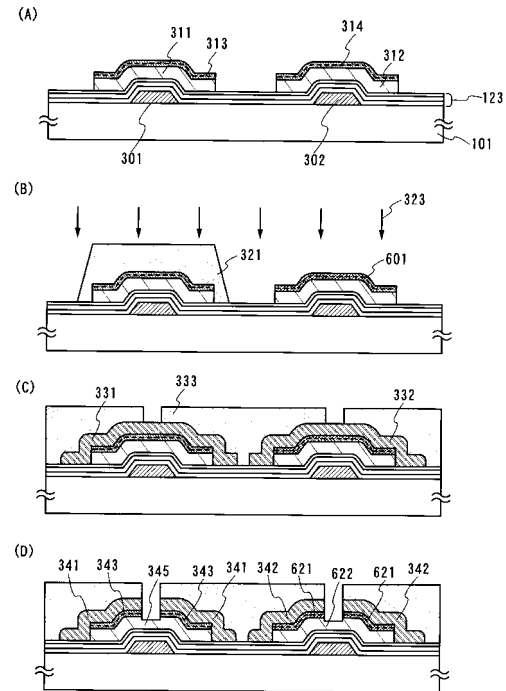
【 図 1 4 】



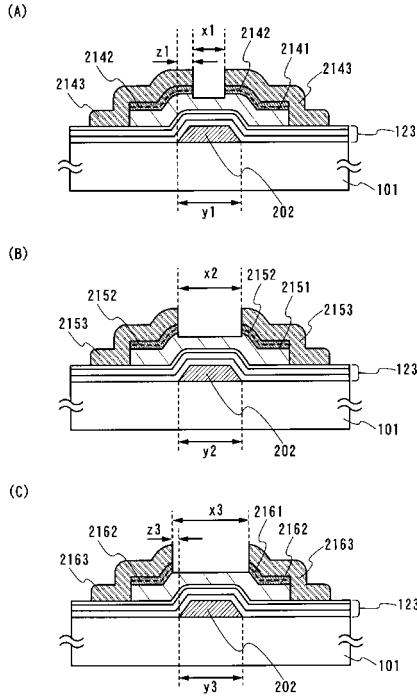
【 図 1 5 】



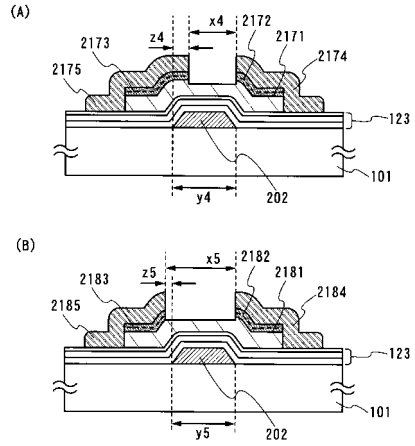
【 図 1 6 】



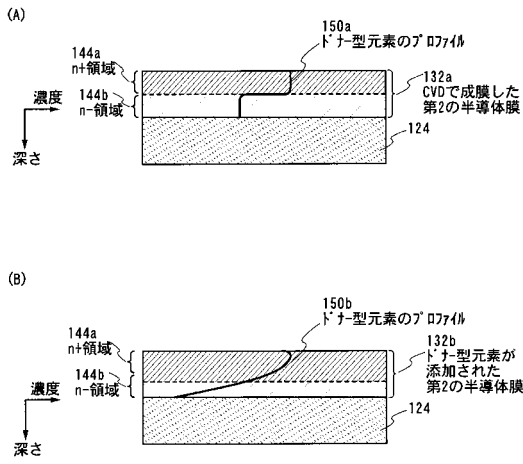
【図17】



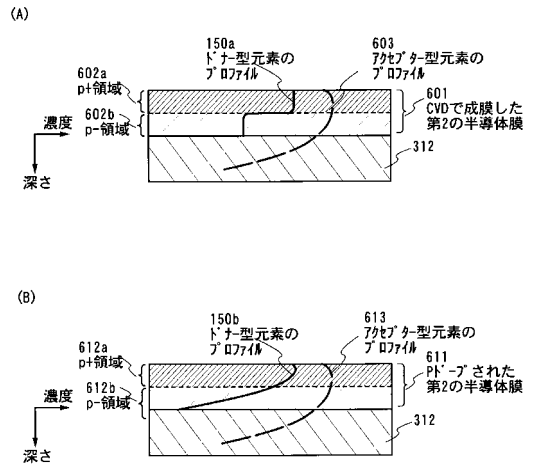
【図18】



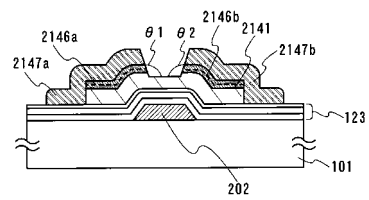
【図19】



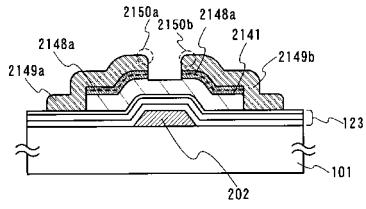
【図20】



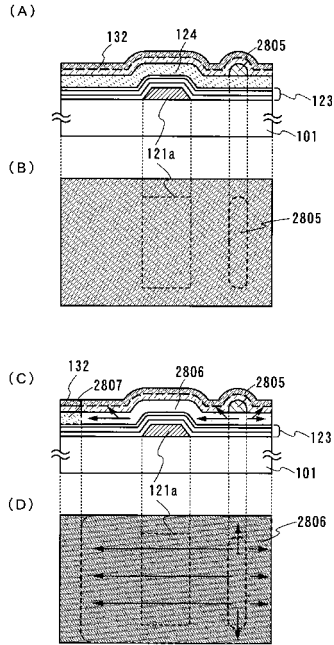
【図21】



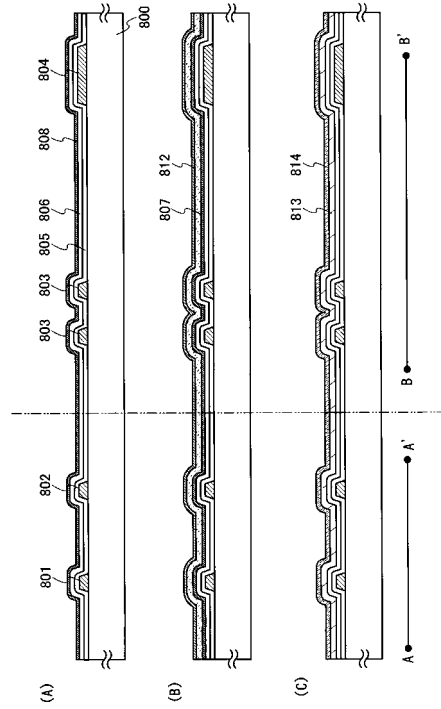
【 2 2 】



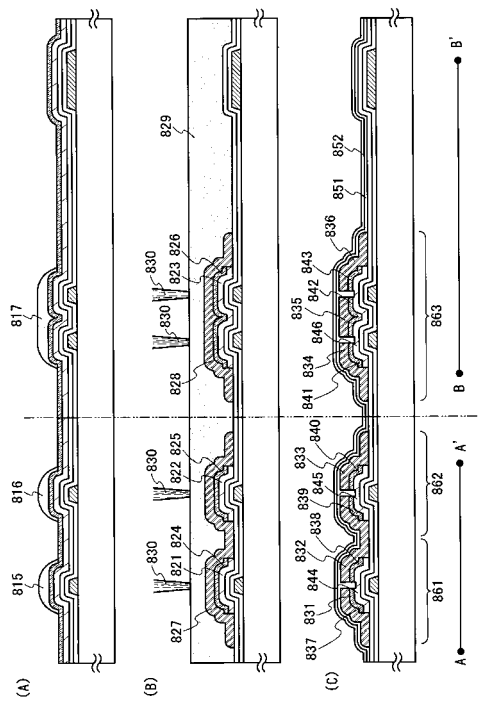
【 2 3 】



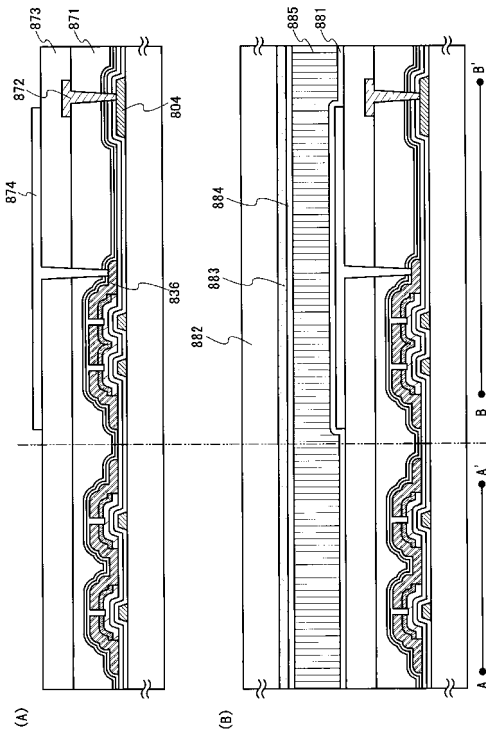
【 2 4 】



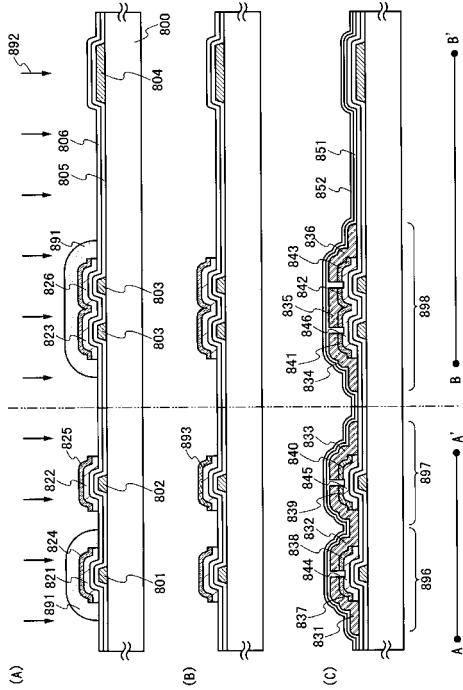
【 2 5 】



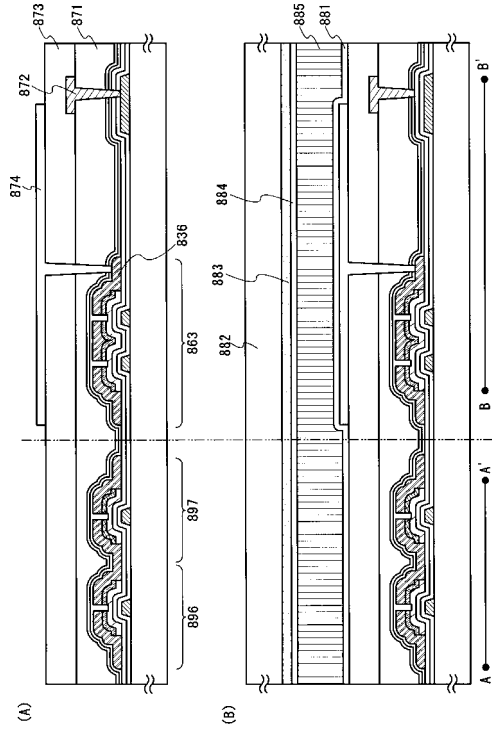
【 2 6 】



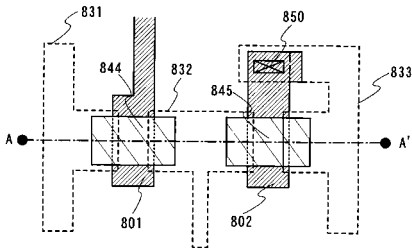
【図27】



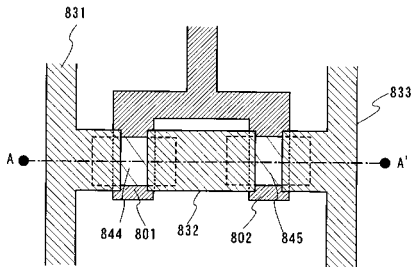
【図28】



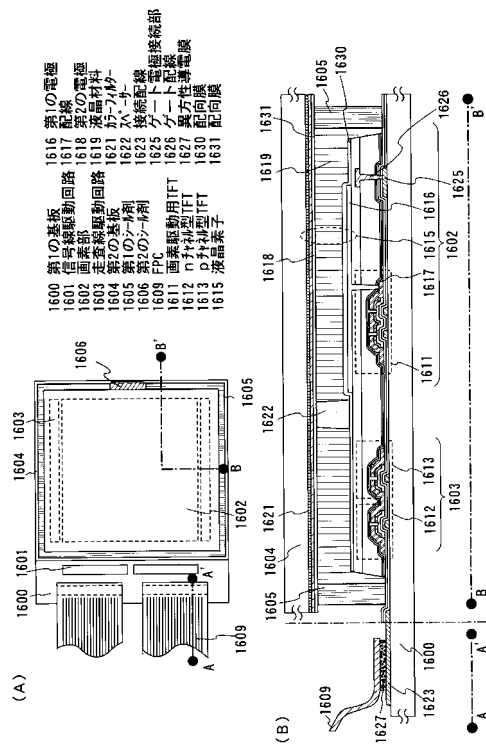
【図29】



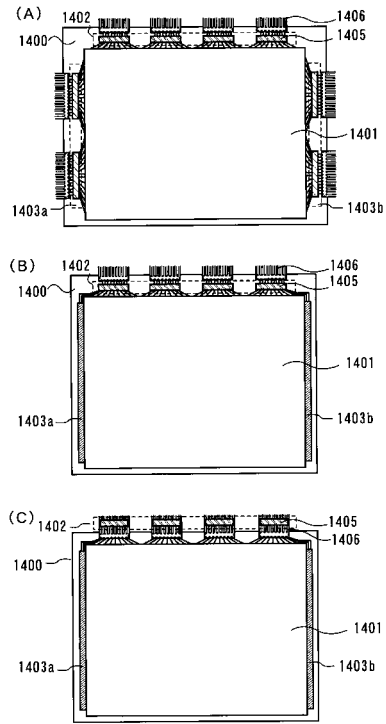
【図30】



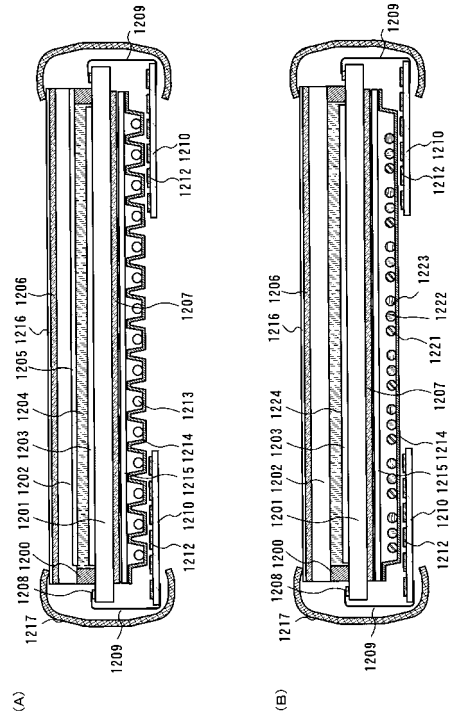
【図31】



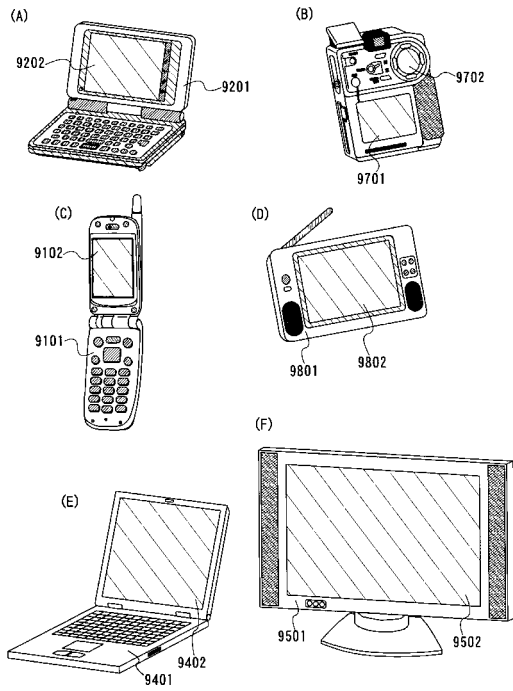
【 図 3 2 】



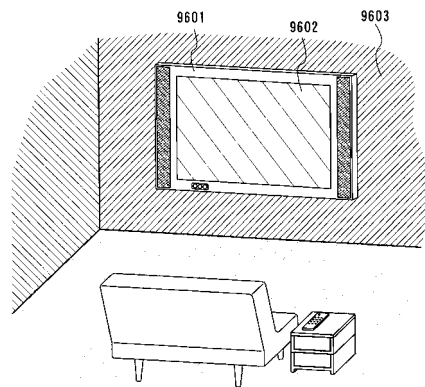
【 図 3 3 】



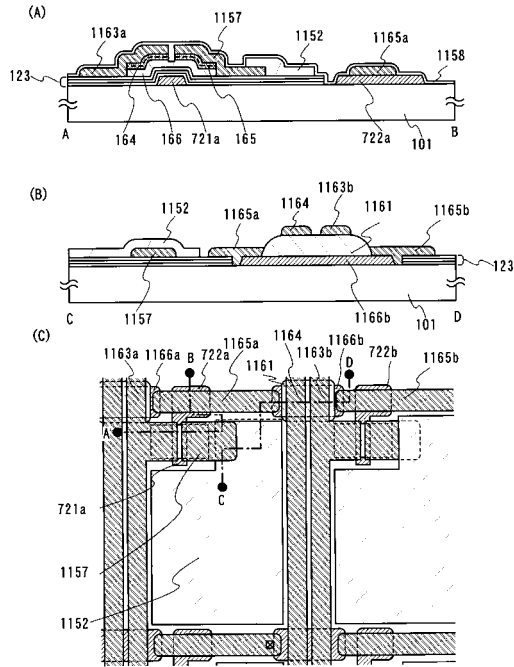
【 図 3 4 】



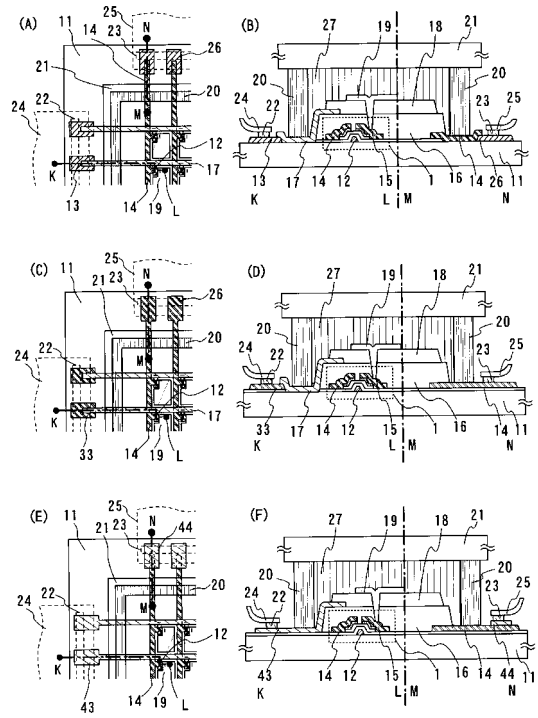
【 図 3 5 】



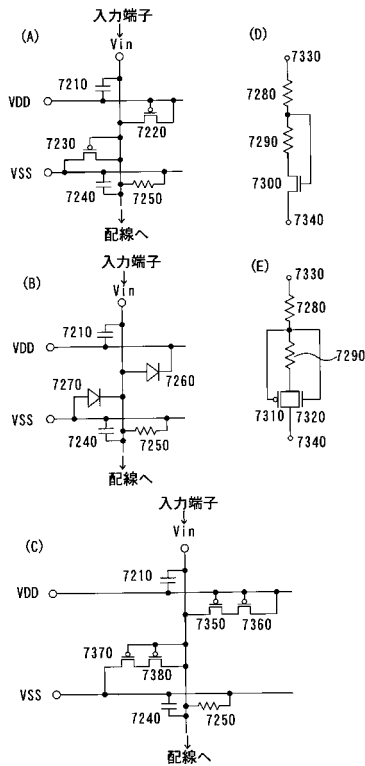
【図36】



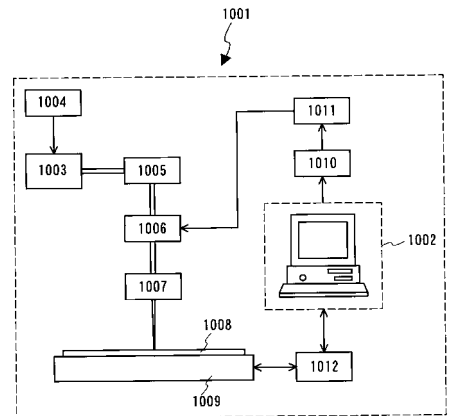
【図37】



【図38】

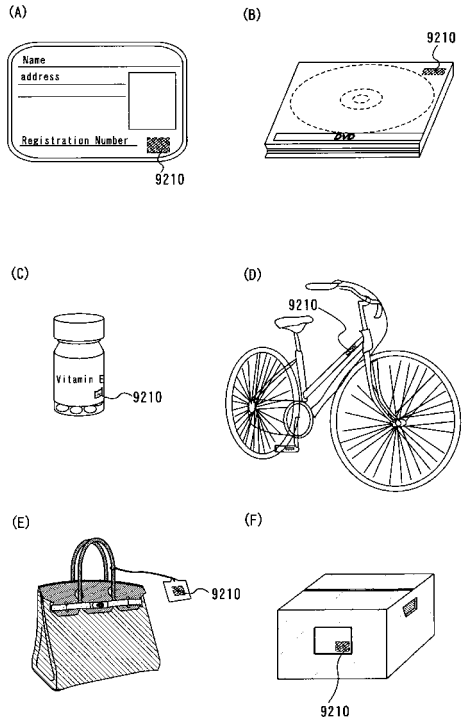


【図39】

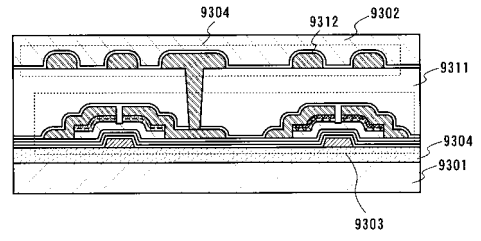


- 1001: レーザビーム直接描画装置
- 1002: パーソナルコンピュータ
- 1003: レーザ発振器
- 1004: 電源
- 1005: 光学系
- 1006: 音響光学変調器
- 1007: 光学系
- 1008: 基板
- 1009: 基板移動機構
- 1010: D/A変換部
- 1011: ドライバ
- 1012: ドライバ

【 40 】



【 41 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/288 (2006.01) H 0 1 L 21/288 Z

(56)参考文献 特開2002-324808(JP,A)
特開平11-177104(JP,A)
特開平11-284197(JP,A)
特開2002-124683(JP,A)
特開平08-330602(JP,A)
特開2000-353666(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 2 0
H 0 1 L 2 1 / 3 2 2
H 0 1 L 2 1 / 3 3 6