



(21)申請案號：109129312

(22)申請日：中華民國 109 (2020) 年 08 月 27 日

(51)Int. Cl. : **G11C13/00 (2006.01)****G11C7/12 (2006.01)**(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)  
臺中市大雅區科雅一路 8 號

(72)發明人：林銘哲 LIN, MING-CHE (TW)；魏敏芝 WEI, MIN-CHIH (TW)；王炳琨 WANG, PING-KUN (TW)；陳侑廷 CHEN, YU-TING (TW)；傅志正 FU, CHIH-CHENG (TW)；白昌宗 PAI, CHANG-TSUNG (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW I569269B

US 8395924B2

US 2003/0142578A1

US 2015/0035032A1

US 2016/0379710A1

審查人員：劉耀允

申請專利範圍項數：13 項 圖式數：9 共 29 頁

(54)名稱

電阻式記憶體裝置及其操作方法

(57)摘要

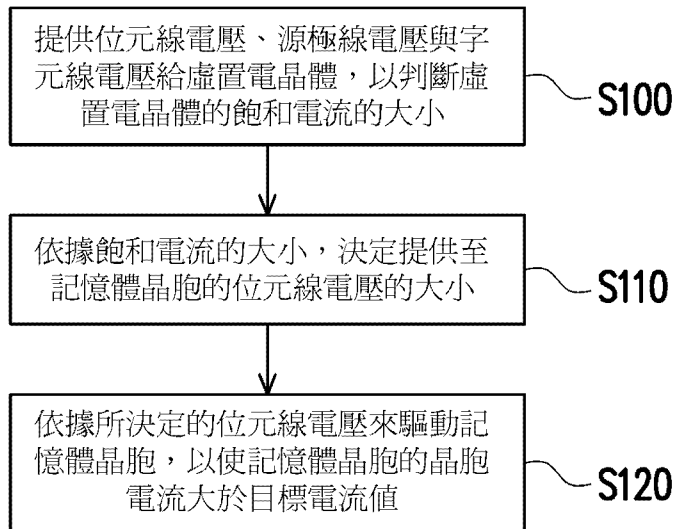
一種電阻式記憶體裝置包括記憶體晶胞陣列、至少一虛置電晶體及控制電路。記憶體晶胞陣列包括多個記憶體晶胞。各記憶體晶胞包括電阻轉換元件。虛置電晶體與電阻轉換元件電性絕緣。控制電路耦接至記憶體晶胞陣列及虛置電晶體。控制電路用以提供第一位元線電壓、源極線電壓及字元線電壓給虛置電晶體，以使虛置電晶體輸出飽和電流。控制電路用以依據飽和電流決定驅動記憶體晶胞的第二位元線電壓的大小。另外，一種電阻式記憶體裝置的操作方法亦被提出。

A resistive memory apparatus including a memory cell array, at least one dummy transistor and a control circuit is provided. The memory cell array includes a plurality of memory cells. Each of the memory cells includes a resistive switching element. The dummy transistor is electrically isolated from the resistive switching element. The control circuit is coupled to the memory cell array and the dummy transistor. The control circuit is configured to provide a first bit line voltage, a source line voltage and a word line voltage to the dummy transistor to drive the dummy transistor to output a saturation current. The control circuit is further configured to determine a value of a second bit line voltage for driving the memory cell according to the saturation current. In addition, a method for operating the resistive memory apparatus is also provided.

指定代表圖：

符號簡單說明：

S100、S110、S120:方法步驟



【圖7】



I737465

## 【發明摘要】

## 【中文發明名稱】

IPC 分類號: G11C 13/00 (2006.01)  
G11C 7/12 (2006.01)

電阻式記憶體裝置及其操作方法

## 【英文發明名稱】

RESISTIVE MEMORY APPARATUS AND OPERATING METHOD  
THEREOF

【中文】一種電阻式記憶體裝置包括記憶體晶胞陣列、至少一虛置電晶體及控制電路。記憶體晶胞陣列包括多個記憶體晶胞。各記憶體晶胞包括電阻轉換元件。虛置電晶體與電阻轉換元件電性絕緣。控制電路耦接至記憶體晶胞陣列及虛置電晶體。控制電路用以提供第一位元線電壓、源極線電壓及字元線電壓給虛置電晶體，以使虛置電晶體輸出飽和電流。控制電路用以依據飽和電流決定驅動記憶體晶胞的第二位元線電壓的大小。另外，一種電阻式記憶體裝置的操作方法亦被提出。

【英文】 A resistive memory apparatus including a memory cell array, at least one dummy transistor and a control circuit is provided. The memory cell array includes a plurality of memory cells. Each of the memory cells includes a resistive switching element. The dummy transistor is electrically isolated from the resistive switching element. The control circuit is coupled to the memory cell array

and the dummy transistor. The control circuit is configured to provide a first bit line voltage, a source line voltage and a word line voltage to the dummy transistor to drive the dummy transistor to output a saturation current. The control circuit is further configured to determine a value of a second bit line voltage for driving the memory cell according to the saturation current. In addition, a method for operating the resistive memory apparatus is also provided.

【指定代表圖】圖7。

【代表圖之符號簡單說明】

S100、S110、S120:方法步驟

【特徵化學式】

無

## 【發明說明書】

### 【中文發明名稱】

電阻式記憶體裝置及其操作方法

### 【英文發明名稱】

RESISTIVE MEMORY APPARATUS AND OPERATING METHOD  
THEREOF

### 【技術領域】

【0001】 本發明是有關於一種記憶體裝置與記憶體裝置的操作方法，且特別是有關於一種電阻式記憶體裝置、電阻式記憶體裝置的操作方法及其記憶體晶胞陣列。

### 【先前技術】

【0002】 現行的電阻式隨機存取記憶體（Resistive Random Access Memory，RRAM）的記憶晶胞通常包括電阻轉換元件與電晶體。電阻轉換元件包括相對配置的上電極與下電極以及位於上電極與下電極之間的電阻轉換層。電晶體具有連接到字線的閘極，連接到源極線的源極，連接到電阻轉換元件的第一端的汲極。在電阻轉換元件可反覆地在高低電阻狀態間切換以記憶資料前，首先需進行通道形成（forming）的程序。形成程序包括經由電晶體對電阻轉換元件提供一偏壓，例如正偏壓，使電流從上電極流至下電極，使得電阻轉換層中產生氧空缺（oxygen vacancy）和氧離子

(oxygen ion) 而形成電流路徑，使電阻轉換元件自高阻態 (high resistance state, HRS) 變為低阻態 (low resistance state, LRS)，以形成導電燈絲 (filament)。通常，在所形成的燈絲中，鄰近上電極處的部分的直徑會小於鄰近下電極處的部分的直徑。之後，可對 RRAM 進行重置 (reset) 或設定 (set)，使電阻轉換元件分別切換為高阻態與低阻態，以完成資料的記憶。此外，當對現行的 RRAM 進行重置時，包括經由電晶體對電阻轉換元件提供與設定時極性相反的反向偏壓，使電流從下電極流至上電極。此時，鄰近上電極處的氧空缺與部份氧離子結合而中斷電流路徑，使得燈絲在鄰近上電極處斷開。當對現行的 RRAM 進行設定時，包括經由電晶體對電阻轉換元件提供與形成程序時極性相同的偏壓，使電流從上電極流至下電極。此時，鄰近上電極處的氧離子脫離，重新形成氧空缺，使得燈絲在鄰近上電極處重新形成。

【0003】 一般而言，電晶體的驅動能力將影響自記憶晶胞所讀出的電流 (簡稱晶胞電流)，然而在燈絲形成之前，並無法得知各記憶晶胞中的電晶體的驅動能力，如此一來將無法準確地提供使電阻轉換元件被寫入至特定電阻狀態所需的位元線電壓，導致現行的 RRAM 在形成程序與每次寫入操作 (包括重置與設定) 中必須多次地調整位元線電壓來確保 RRAM 被寫入至特定電阻狀態，並且在每次寫入操作時需重新調整位元線電壓，因此降低操作速度。此外，由於記憶體陣列中的多個電晶體往往存在製程變異，因此這些電晶體的驅動能力並不一致，從而需要配置額外的電路

來避免相同操作下的晶胞電流的變異過大的問題，進而不利於 RRAM 的微型化。

**【發明內容】**

**【0004】** 本發明提供一種電阻式記憶體裝置、電阻式記憶體裝置的操作方法及記憶體晶胞陣列，用以改善上述的現行 RRAM 操作速度低與不利於微型化的問題。

**【0005】** 本發明的電阻式記憶體裝置包括記憶體晶胞陣列、虛置電晶體及控制電路。記憶體晶胞陣列包括多個記憶體晶胞。各記憶體晶胞包括電阻轉換元件。虛置電晶體與記憶體晶胞的電阻轉換元件電性絕緣。控制電路耦接至記憶體晶胞陣列及虛置電晶體。控制電路用以提供第一位元線電壓、源極線電壓及字元線電壓給虛置電晶體，以使虛置電晶體輸出飽和電流。控制電路用以依據飽和電流決定驅動記憶體晶胞的第二位元線電壓的大小。

**【0006】** 本發明的電阻式記憶體裝置的操作方法包括：提供第一位元線電壓、源極線電壓及字元線電壓給虛置電晶體，以判斷虛置電晶體的飽和電流的大小；依據飽和電流的大小，決定提供至記憶體晶胞的第二位元線電壓的大小；以及依據所決定的第二位元線電壓來驅動記憶體晶胞，以使記憶體晶胞的晶胞電流大於目標電流值。

**【0007】** 本發明的電阻式記憶體裝置的記憶體晶胞陣列包括多個記憶體晶胞，各該記憶體晶胞包括：下電極層、電阻轉換層以

及上電極層。電阻轉換層配置在下電極層上，且包括多個導通條件不同的區域。上電極層配置在電阻轉換層層上，且用以接收位元線電壓。

**【0008】** 在本發明的實施例中，控制電路通過未與記憶體晶胞電性連接的虛置電晶體可得知將與記憶體晶胞電性連接的電晶體元件的特性，從而能準確地對記憶體晶胞施加位元線電壓，以加快操作速度。並且，在本發明的一實施例中，電阻式記憶體裝置的記憶體晶胞陣列可由多個電阻轉換元件所組成，相較於現行的RRAM的記憶體晶胞陣列還需配置多個與電阻轉換元件分別串接的電晶體，本發明的實施例有利於電阻式記憶體裝置的微型化。

**【0009】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### **【圖式簡單說明】**

#### **【0010】**

圖 1 繪示本發明一實施例之電阻式記憶體裝置的概要示意圖。

圖 2 繪示圖 1 實施例之記憶體晶胞陣列及虛置電晶體行的概要示意圖。

圖 3 繪示圖 2 實施例之記憶體晶胞及虛置電晶體內部的結構示意圖。

圖 4 繪示本發明一實施例之電阻轉換元件的概要示意圖。



圖 5 繪示圖 4 實施例之電阻轉換層的導電區域的概要示意圖。

圖 6A 及圖 6B 繪示本發明一實施例之製作電阻轉換層的概要流程圖。

圖 7 繪示本發明一實施例之電阻式記憶體裝置的操作方法的步驟流程圖。

圖 8 繪示本發明另一實施例之電阻式記憶體裝置的操作方法的步驟流程圖。

圖 9 繪示本一實施例之斜坡電壓的波形示意圖。

### 【實施方式】

【0011】 圖 1 繪示本發明一實施例之電阻式記憶體裝置的概要示意圖。圖 2 繪示圖 1 實施例之記憶體晶胞陣列及虛置電晶體行的概要示意圖。圖 3 繪示圖 2 實施例之記憶體晶胞及虛置電晶體內部的結構示意圖。請參考圖 1 至圖 3，本實施例之電阻式記憶體裝置 100 包括控制電路 110、記憶體晶胞陣列 120、虛置電晶體

(dummy transistor) 220、感測電路 130 及電壓產生電路 140。控制電路 110 耦接至記憶體晶胞陣列 120 與虛置電晶體 220。感測電路 130 及電壓產生電路 140 耦接至控制電路 110 及記憶體晶胞陣列 120。記憶體晶胞陣列 120 由多個記憶體晶胞 210 所組成。虛置電晶體 220 與記憶體晶胞 210 的電阻轉換元件電性絕緣。虛置電晶體 220 的數量小於記憶體晶胞 210 的數量。在本實施例中，電阻式記憶體裝置 100 包括多個虛置電晶體 220，且這些虛置電晶體

220 排列成一行 (column) 而構成虛置電晶體行 230。虛置電晶體行 230 可鄰近地配置於記憶體晶胞陣列 120 的外側，而與多個記憶體晶胞 210 排列成陣列。然而，虛置電晶體的數量與位置並不為此所限。在另一實施例中，電阻式記憶體裝置 100 只有一個虛置電晶體 220。在又一實施例中，多個虛置電晶體 220 排列成多個行與多個列 (row) 以構成虛置電晶體陣列。在一實施例中，虛置電晶體 220 可不與記憶體晶胞 210 鄰近地配置，從而不與記憶體晶胞 210 排列成陣列。

【0012】 在本實施例中，記憶體晶胞 210 由電阻轉換元件 212 所組成，其實施方式可以由所屬技術領域的通常知識獲致足夠的教示、建議與實施說明。記憶體晶胞 210 的兩端分別耦接至位元線電壓 (第二位元線電壓)  $VBL$  及源極線電壓  $VSL$ 。在本實施例中，記憶體晶胞 210 經由耦接至字元線  $WL$  的外部電晶體 214 耦接至源極線電壓  $VSL$ 。外部電晶體 214 設置於電阻式記憶體裝置 100 的外部。在一實施例中，源極線電壓  $VSL$  例如是接地電壓。虛置電晶體 220 的兩端分別耦接至位元線電壓 (第一位元線電壓)  $VBLn$  及源極線電壓  $VSLn$ ，且閘極耦接至字元線電壓  $VWLn$ 。虛置電晶體 220 用以模擬外部電晶體 214，其製程條件或特性與外部電晶體 214 相同或相似。控制電路 110 用以對虛置電晶體 220 提供合適的位元線電壓  $VBLn$ 、源極線電壓  $VSLn$  與字元線電壓  $VWLn$ ，以使虛置電晶體 220 輸出飽和電流  $I_s$ 。感測電路 130 用以感測虛置電晶體 220 的飽和電流  $I_s$ ，並提供飽和電流  $I_s$  至控制電路 110。控

制電路 110 依據飽和電流  $I_s$  來決定驅動記憶體晶胞 210 的位元線電壓  $V_{BL}$  的大小，以使記憶體晶胞 210 輸出晶胞電流  $I_c$ 。感測電路 130 用以感測晶胞電流  $I_c$ ，並提供晶胞電流  $I_c$  至控制電路 110，以驗證形成程序或寫入操作是否成功。於一實施例中，控制電路 110 依據如下表 1 的查找表來決定施加至記憶體晶胞 210 的位元線電壓  $V_{BL}$ 。查找表可以通過多個控制位元來儲存，例如對應於飽和電流區間“>800”的位元線電壓  $V_{BL\_1}$  可儲存於所述多個控制位元當中的一個選項位元（option bit），以此類推。

飽和電流區間 ( $\mu A/\mu m$ )	位元線電壓 $V_{BL}$ (V)
>800	$V_{BL\_1}$
600~800	$V_{BL\_2}$
400~600	$V_{BL\_3}$
200~400	$V_{BL\_4}$

表 1

【0013】 表 1 列出飽和電流區間及位元線電壓  $V_{BL}$  之間的關係。在表 1 中，位元線電壓  $V_{BL\_4} > V_{BL\_3} > V_{BL\_2} > V_{BL\_1}$ 。詳細而言，控制電路 110 判斷虛置電晶體 220 的飽和電流  $I_s$  是落在表 1 所例示的飽和電流區間的哪一個，以對應地查找出用來驅動記憶體晶胞 210 所需的位元線電壓  $V_{BL}$ 。舉例而言，若控制電路 110 判斷虛置電晶體 220 的飽和電流  $I_s$  是落在最大的飽和電流區間“>800”，表示虛置電晶體 220 的驅動能力較強。對應於此，當用以驅動記憶體晶胞 210 的外部電晶體 214 類似於上述的虛置電

晶體 220 時，可以藉由讀出虛置電晶體 220 的飽和電流  $I_s$  預測完成記憶體晶胞 210 的形成程序或設定時所需開啟的燈絲路徑的數量較少。因此，於形成程序或寫入操作時，當記憶體晶胞 210 被藉由類似於虛置電晶體 220 的外部電晶體驅動時，施加於記憶體晶胞 210 的初始位元線電壓被設定為  $VBL_1$ 。反之，若控制電路 110 判斷虛置電晶體 220 的飽和電流  $I_s$  是落在最小的電流區間”200~400”，表示虛置電晶體 220 的驅動能力較弱。對應於此，當用以驅動記憶體晶胞 210 的外部電晶體類似於上述的虛置電晶體 220 時，可以藉由讀出虛置電晶體 220 的飽和電流  $I_s$  預測完成記憶體晶胞 210 的形成程序或設定時所需開啟的燈絲路徑的數量較多。因此，於形成程序或寫入操作時，當記憶體晶胞 210 被藉由類似於虛置電晶體 220 的外部電晶體驅動時，施加於記憶體晶胞 210 的初始位元線電壓被設定為  $VBL_4$ 。如此一來，本實施例可依據自虛置電晶體 220 所讀出的飽和電流  $I_s$  動態地調整初始位元線電壓，使記憶體晶胞 210 的寫入操作（例如對記憶體晶胞 210 進行設定，使晶胞電流  $I_c$  大於預設的目標電流值（例如 30 微安培））可以有效率地執行，且節省電力的消耗。此外，透過本實施例所提供的電阻轉換層，被動態地調整的初始位元線電壓可改變所開啟的燈絲路徑數量，可減低了關於電晶體飽和電流的限制。本實施例的電阻轉換層的具體內容與製作方法將於後面詳盡描述。

**【0014】** 在本實施例中，電壓產生電路 140 用以產生位元線電壓  $VBL$  及操作所需之其他電壓至記憶體晶胞陣列 120 與虛置電晶體

220。上表 1 記錄了當虛置電晶體 220 所輸出的飽和電流  $I_s$  愈大，初始位元線電壓  $V_{BL}$  愈小。然而，上表 1 中所例示的各項數值不用以限定本發明，且查找表也不限於是表 1 的形式。

【0015】 在本實施例中，控制電路 110 可以是具運算能力的處理器。或者，控制電路 110 可以是透過硬體描述語言（Hardware Description Language，HDL）或是其他任意本領域具通常知識者所熟知的數位電路的設計方式來進行設計，並透過現場可程式邏輯門陣列（Field Programmable Gate Array，FPGA）、複雜可程式邏輯裝置（Complex Programmable Logic Device，CPLD）或是特殊應用積體電路（Application-specific Integrated Circuit，ASIC）的方式來實現的硬體電路。

【0016】 於另一未繪示出的實施例中，記憶體晶胞 210 具有串接的一電晶體元件與一電阻轉換元件（1T1R）的結構，其中電晶體元件與虛置電晶體 220 相同。字元線電壓  $V_{WLn}$  經由字元線  $WL$  提供至記憶體晶胞 210 中的電晶體元件，且電阻轉換元件經由電晶體元件耦接至源極線電壓  $V_{SL}$ 。位於同一列的多個記憶體晶胞 210 中的電晶體元件與虛置電晶體 220 分別地耦接至同一條字元線  $WL$ 。然而，在虛置電晶體 220 不與記憶體晶胞 210 排列成陣列的情況下，記憶體晶胞 210 中的電晶體元件與任一虛置電晶體 220 是耦接至不同的字元線  $WL$ 。

【0017】 在本實施例中，感測電路 130 及電壓產生電路 140 的電路結構及其實施方式可以由所屬技術領域的通常知識獲致足夠的

教示、建議與實施說明。

【0018】圖 4 繪示本發明一實施例之電阻轉換元件的概要示意圖。圖 5 繪示圖 4 實施例之電阻轉換層的概要示意圖。請參照圖 4 及圖 5，本實施例之電阻轉換元件 212 包括上電極層 310、電阻轉換層 320 及下電極層 330。電阻轉換層 320 設置在上電極層 310 與下電極層 330 之間。上電極層 310 耦接至位元線電壓 VBL。下電極層 330 耦接至源極線電壓 VSL。電阻轉換層 320 可包括多個導通條件不同的區域。於本實施例中，電阻轉換層 320 包括摻雜濃度 (doping concentration) 不相同的多個區域 410、420、430、440，摻雜元素可為氧、氫、氮、氫或是鋁等等離子。電阻轉換元件 212 可更包括阻障層與氧離子儲存層，本發明不限於圖 4 所例示者。阻障層的材料可包括氧化鋁( $Al_xO_y$ )、氧化鈦( $Ti_xO_y$ )、氧化鉭( $Ta_xO_y$ )、氧化鈦( $Hf_xO_y$ )、氧化鎳( $Ni_xO_y$ )、氧化鋯( $Zr_xO_y$ )或上述之組合。在一些實施例中，阻障層的材料為氧化鋁。氧離子儲存層可用於儲存來自於電阻轉換層 320 中的氧離子。氧離子儲存層的材料可包括鈦(Ti)、鉭(Ta)、鈦(Hf)、鋯(Zr)。在一些實施例中，氧離子儲存層的材料為鈦。於一未繪示出的實施例中，電阻轉換元件包括第一阻障層與第二阻障層，第一阻障層例如是配置在電阻轉換層上，用以避免氧離子擴散。氧離子儲存層例如是配置在第一阻障層上。第二阻障層例如是配置在氧離子儲存層上。上電極層例如是配置在第二阻障層上。

【0019】上電極層 310 及下電極層 330 為良好的導體，兩者的材

料可以相同或不相同。上電極層 310 及下電極層 330 的材料可包括鈦、鉭、氮化鈦、氮化鉭、其他合適的導電材料或上述之組合。電阻轉換層 320 的材料例如包括過渡金屬氧化物(Transition Metal Oxide, TMO)。利用在上電極層 310 及下電極層 330 分別施加不同的電壓可改變電阻轉換元件 212 的阻值狀態，以提供儲存資料的功能。亦即，記憶體晶胞 210 至少具有兩種阻值狀態。

**【0020】** 控制電路 110 驅動記憶體晶胞 210 的操作可以包括但不限於是形成程序、重置操作及設定操作。在本實施例中，控制電路 110 可對記憶體晶胞 210 進行形成程序。在此過程中，記憶體晶胞 210 兩端的電極持續被施加偏壓（即形成電壓），以對電阻轉換層 320 產生一個外加電場。例如，依據表 1，控制電路 110 可決定施加在上電極層 310 的位元線電壓 VBL 的大小。此外加電場會將電阻轉換層 320 中的氧原子分離成氧離子及氧空缺。氧空缺在電阻轉換層 320 中形成燈絲，作為電流傳遞路徑。當外加電場超過臨界值時，電阻轉換層 320 會產生介電崩潰現象，從而由高阻態轉變為低阻態。此種崩潰並非永久，其阻值仍可改變。在本實施例中，由於電阻轉換層 320 包括摻雜濃度不相同的四個區域 410、420、430、440，使得這些區域的導通條件不同，因此，依據施加在上電極層 310 的位元線電壓 VBL 的大小，可決定形成的導電通道的數量。於一實施例中，區域 440 的摻雜濃度大於區域 430 的摻雜濃度，區域 430 的摻雜濃度大於區域 420 的摻雜濃度，且區域 420 的摻雜濃度大於區域 410 的摻雜濃度。並且，位元線

電壓 VBL<sub>1</sub> 可驅動區域 440 導通，位元線電壓 VBL<sub>2</sub> 可驅動區域 430 與 440 導通，位元線電壓 VBL<sub>3</sub> 可驅動區域 420、430 與 440 導通，且位元線電壓 VBL<sub>4</sub> 可驅動區域 410、420、430 與 440 導通。

【0021】 圖 6A 及圖 6B 繪示本發明一實施例之製作電阻轉換層的概要流程圖。請參考圖 6A 及圖 6B，在本實施例中，例如是對電阻轉換層 320 進行離子佈植製程，使電阻轉換層 320 具有摻雜濃度不相同的區域 410、420、430、440。於離子佈植製程中，可僅使用一或兩道光罩來形成區域 410、420、430、440。在步驟 S610 中，使用第一道光罩遮罩區域 410，以對區域 420 進行第一次離子佈植製程。在步驟 S620 中，使用第二道光罩或將第一道光罩旋轉 90 度以遮罩區域 410 與 420，以對區域 430 與 440 進行第二次離子佈植製程。藉此，區域 410、420、430、440 的摻雜濃度不相同。

【0022】 圖 7 繪示本發明一實施例之電阻式記憶體裝置的操作方法的步驟流程圖。請參考圖 1 及圖 7，本實施例之電阻式記憶體裝置的操作方法至少適用於圖 1 的電阻式記憶體裝置 100，惟本發明並不加以限制。在步驟 S100 中，控制電路 110 提供合適的位元線電壓、源極線電壓與字元線電壓給虛置電晶體 220，以判斷虛置電晶體 220 的飽和電流  $I_s$  的大小。在步驟 S110 中，控制電路 110 依據飽和電流  $I_s$  的大小，決定提供至記憶體晶胞 210 的位元線電壓 VBL 的大小。例如，控制電路 110 依據如表 1 的查找表來決定提供至記憶體晶胞 210 的位元線電壓 VBL 的大小，並且依據所決



定的位元線電壓  $VBL$  的大小，來控制電壓產生電路 140 產生並輸出位元線電壓  $VBL$  給記憶體晶胞陣列 120。接著，在步驟 S120 中，控制電路 110 依據所決定的位元線電壓  $VBL$  來驅動記憶體晶胞 210，以使記憶體晶胞 210 的晶胞電流  $I_c$  大於目標電流值。

【0023】 另外，本發明之實施例的電阻式記憶體裝置的操作方法的具體細節可以由圖 1 至圖 6B 實施例之敘述中獲致足夠的教示、建議與實施說明。

【0024】 圖 8 繪示本發明另一實施例之電阻式記憶體裝置的操作方法的步驟流程圖。請參考圖 1、圖 5 及圖 8，本實施例之操作方法大致可區分為三個階段，例如偵測階段 S810、決定階段 S820 及致動階段 S830。上述三個階段僅用以例示說明，不用以限定本發明。在偵測階段 S810，控制電路 110 可偵測或測試出虛置電晶體 220 的性能，例如偵測出虛置電晶體 220 的飽和電流  $I_s$  的大小，以產生偵測結果。在決定階段 S820，控制電路 110 依據偵測結果及如表 1 的查找表來決定需要導通或打斷電阻轉換元件 212 中多少個區域才能使記憶體晶胞 210 的晶胞電流  $I_c$  大於或小於目標電流值。在致動階段 S830，控制電路 110 確保所導通的區域數量可使記憶體晶胞 210 的晶胞電流  $I_c$  大於目標電流值。

【0025】 具體而言，在步驟 S201 中，控制電路 110 對虛置電晶體行 230 施加初始電壓。所述初始電壓包括字元線電壓、位元線電壓及/或源極線電壓。在步驟 S202 中，感測電路 130 自虛置電晶體行 230 讀取出多個虛置電晶體 220 的多個飽和電流  $I_s$ 。在步驟

S203 中，控制電路 110 判斷並運算各虛置電晶體 220 的飽和電流，以產生虛置電晶體行 230 的飽和電流  $I_s$  的中位數，以做為偵測結果。於另一實施例中，控制電路 110 可將這些飽和電流  $I_s$  進行運算，以獲得這些飽和電流  $I_s$  的平均值或多數值，以做為偵測結果。接著，在決定階段 S820，控制電路 110 依據偵測結果及查找表來決定驅動記憶體晶胞 210 的位元線電壓 VBL。

【0026】 在步驟 S204 中，控制電路 110 依據如表 1 的查找表來決定在形成操作中施加到記憶體晶胞 210 的位元線電壓 VBL。在步驟 S205 中，控制電路 110 控制電壓產生電路 140 依據步驟 S204 中所決定的位元線電壓 VBL 的大小，產生並輸出位元線電壓 VBL 給記憶體晶胞 210，使記憶體晶胞 210 輸出晶胞電流  $I_c$ 。在步驟 S206 中，感測電路 130 感測晶胞電流  $I_c$ ，並提供晶胞電流  $I_c$  至控制電路 110。

【0027】 以執行形成操作為例，在步驟 S207 中，控制電路 110 判斷所讀出的記憶體晶胞 210 的晶胞電流  $I_c$  是否大於目標電流值。若是，則結束操作。若否，則在步驟 S208 中，控制電路 110 將位元線電壓 VBL 增加一預定值，並回到步驟 S205 以對記憶體晶胞 210 施加增加後的位元線電壓 VBL。如圖 9 所示，若步驟 S207 的結果為否，則下一次的位元線電壓 VBL 大於前一次的位元線電壓 VBL，即斜坡 (ramp) 電壓 900，其波形僅用以例示說明，不用以限定本發明。其中，在位元線電壓 VBL 的方波之間還包括源極線電壓 VSL，且源極線電壓 VSL 的準位不隨所施加的次數而改變。

在斜坡電壓 900 中，位元線電壓 VBL 的初始準位可依據表 1 來決定。控制電路 110 重覆執行步驟 S205 至 S208，直至晶胞電流  $I_c$  大於目標電流值為止。因此，在致動階段 S830，控制電路 110 可確保所形成的一或多個導電通道可使記憶體晶胞 210 的晶胞電流  $I_c$  大於目標電流值。

【0028】 於一實施例中，控制電路 110 更包括斜坡電壓的自動停止電路，其被配置為判斷增加後的晶胞電流  $I_c$  是否大於一自動停止門檻值，若是，則輸出寫入終止的結果，若否則繼續增加位元線電壓到晶胞電流達到自動停止門檻值。

【0029】 綜上所述，在本發明的實施例中，在形成程序或寫入操作時，當記憶體晶胞被藉由類似於虛置電晶體的電晶體驅動時，控制電路可偵測或測試出虛置電晶體的元件性能，並且依據偵測結果及查找表來決定用以驅動記憶體晶胞的位元線電壓的大小，以使記憶體晶胞的晶胞電流大於目標電流值。因此，控制電路可得知用來驅動記憶體晶胞的電晶體的特性，從而能準確地對記憶體晶胞施加位元線電壓，可加快記憶體晶胞的操作速度，且節省電力的消耗，另一方面也減低了關於電晶體飽和電流的限制。

【0030】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## 【符號說明】

## 【0031】

100、500:電阻式記憶體裝置

110:控制電路

120:記憶體晶胞陣列

130:感測電路

140:電壓產生電路

210:記憶體晶胞

212:電阻轉換元件

214:電晶體

220:虛置電晶體

230:虛置電晶體行

310:上電極層

320:電阻轉換層

330:下電極層

410、420、430、440:區域

900:斜坡電壓

$I_s$ :飽和電流

$I_c$ :晶胞電流

S100、S110、S120、S201、S202、S203、S204、S205、S206、S207、

S208、S610、S6200:方法步驟

S810、S820、S830:階段

VBL、VBLn:位元線電壓

VSL、VSLn:源極線電壓

VWLn:字元線電壓

WL:字元線

## 【發明申請專利範圍】

【請求項1】 一種電阻式記憶體裝置，包括：

一記憶體晶胞陣列，包括多個記憶體晶胞，各該記憶體晶胞包括一電阻轉換元件；

至少一虛置電晶體，與該電阻轉換元件電性絕緣；以及

一控制電路，耦接至該記憶體晶胞陣列及該至少一虛置電晶體，用以提供一第一位元線電壓、一源極線電壓及一字元線電壓給該至少一虛置電晶體，以使該至少一虛置電晶體輸出一飽和電流，以及依據該飽和電流決定驅動該些記憶體晶胞的一第二位元線電壓的大小。

【請求項2】 如請求項1所述的電阻式記憶體裝置，其中該控制電路判斷該至少一虛置電晶體的該飽和電流是在多個飽和電流區間的哪一個，以依據該飽和電流區間所對應的該第二位元線電壓來驅動該些記憶體晶胞。

【請求項3】 如請求項2所述的電阻式記憶體裝置，其中該控制電路依據所決定的該第二位元線電壓來驅動該些記憶體晶胞，以使該些記憶體晶胞的晶胞電流大於一目標電流值。

【請求項4】 如請求項1所述的電阻式記憶體裝置，其中該電阻轉換元件包括多個導通條件不同的區域，該第二位元線電壓用以驅動該些導通條件不同的區域的至少一者導通。

【請求項5】 如請求項4所述的電阻式記憶體裝置，其中該電阻轉換元件包括一下電極層、一電阻轉換層、一第一阻障層、一氧離

子儲存層、一第二阻障層及一上電極層，該電阻轉換層配置在該第一阻障層與該下電極層之間，該氧離子儲存層配置在該第一阻障層上，且該上電極層配置在該第二阻障層上。

【請求項6】 如請求項4所述的電阻式記憶體裝置，其中該些導通條件不同的區域的摻雜濃度不同。

【請求項7】 如請求項4所述的電阻式記憶體裝置，其中該第二位元線電壓隨著該飽和電流的增加而減少。

【請求項8】 如請求項1所述的電阻式記憶體裝置，更包括：

一感測電路，耦接至該控制電路及該至少一虛置電晶體，用以感測該至少一虛置電晶體的該飽和電流，並且輸出該飽和電流至該控制電路；以及

一電壓產生電路，耦接至該控制電路及該記憶體晶胞陣列，用以產生並輸出該第二位元線電壓至該記憶體晶胞陣列。

【請求項9】 一種電阻式記憶體裝置的操作方法，其中該電阻式記憶體裝置包括一記憶體晶胞陣列及至少一虛置電晶體，該記憶體晶胞陣列包括多個記憶體晶胞，各該記憶體晶胞包括一電阻轉換元件，所述操作方法包括：

提供一第一位元線電壓、一源極線電壓及一字元線電壓給該至少一虛置電晶體，以判斷該至少一虛置電晶體的一飽和電流的大小，該至少一虛置電晶體與該電阻轉換元件電性絕緣；

依據該飽和電流的大小，決定提供至該些記憶體晶胞的一第二位元線電壓的大小；以及

依據所決定的該位元線電壓來驅動該些記憶體晶胞，以使該些記憶體晶胞的晶胞電流大於一目標電流值。

**【請求項10】** 如請求項9所述的電阻式記憶體裝置的操作方法，其中依據該飽和電流的大小，決定提供至該些記憶體晶胞的該第二位元線電壓的大小的步驟包括：

依據一查找表，決定該第二位元線電壓的大小；以及

依據所決定的該第二位元線電壓的大小，產生並輸出該第二位元線電壓。

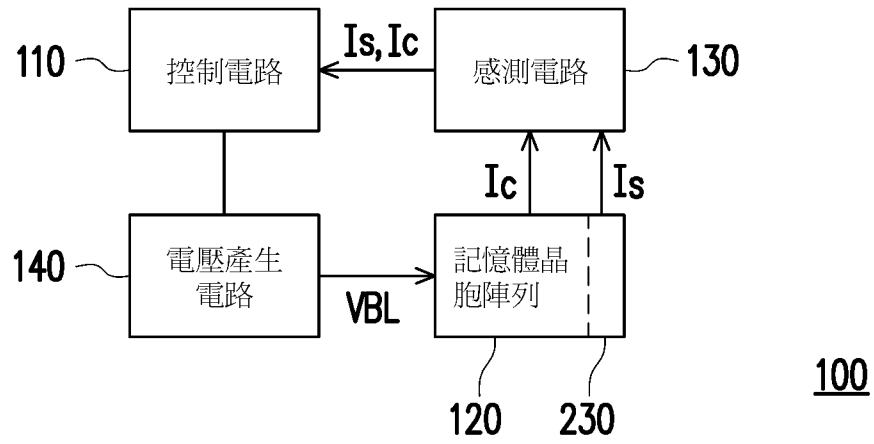
**【請求項11】** 如請求項10所述的電阻式記憶體裝置的操作方法，其中該查找表包括多個飽和電流區間與各該飽和電流區間所對應的該第二位元線電壓的關係。

**【請求項12】** 如請求項9所述的電阻式記憶體裝置的操作方法，其中該電阻轉換元件包括多個導通條件不同的區域，該第二位元線電壓用以驅動該些導通條件不同的區域的至少一者導通。

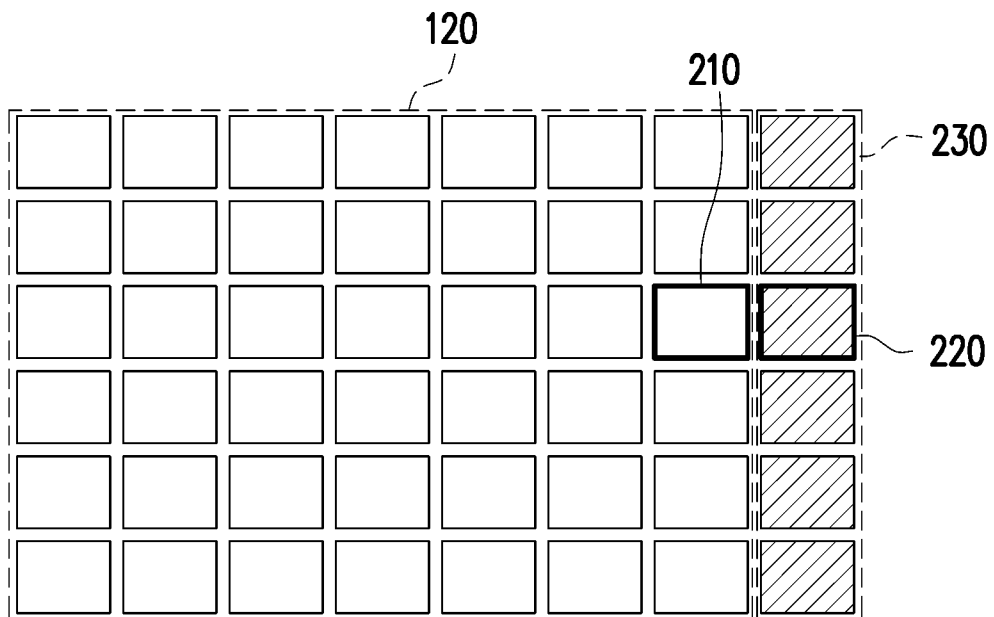
**【請求項13】** 如請求項12所述的電阻式記憶體裝置的操作方法，其中該第二位元線電壓隨著該飽和電流的增加而減少。



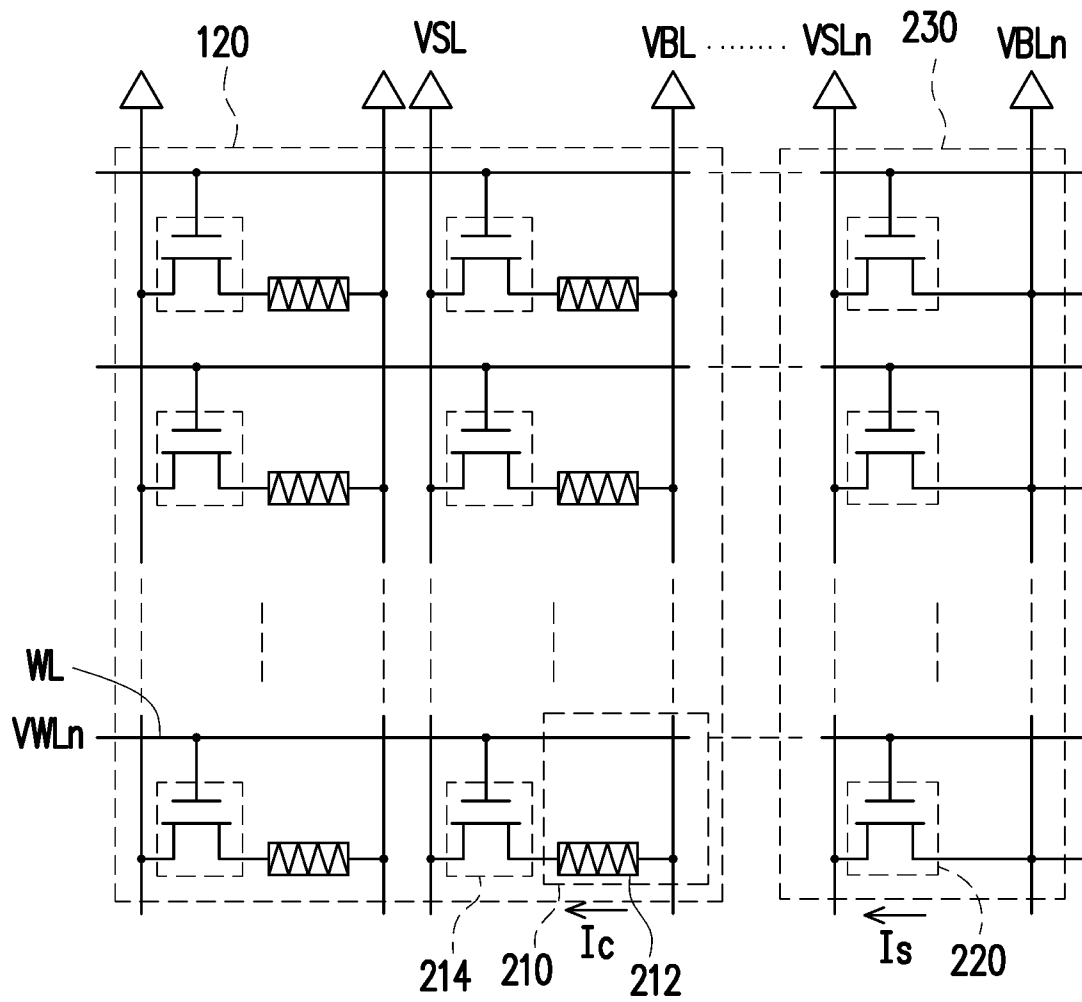
【發明圖式】



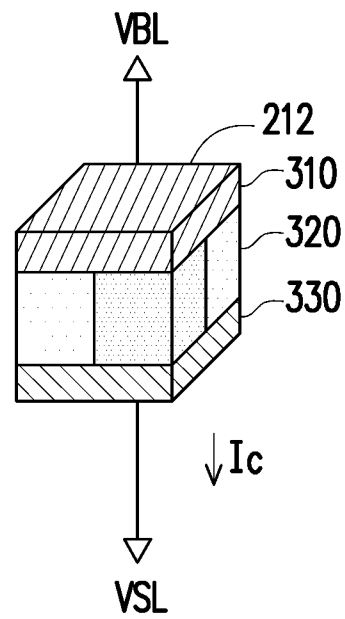
【圖1】



【圖2】

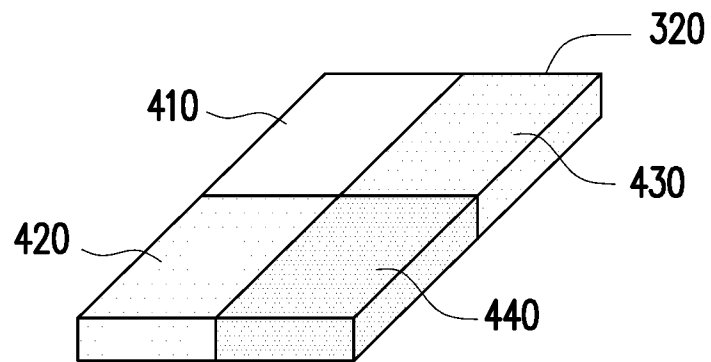


【圖3】

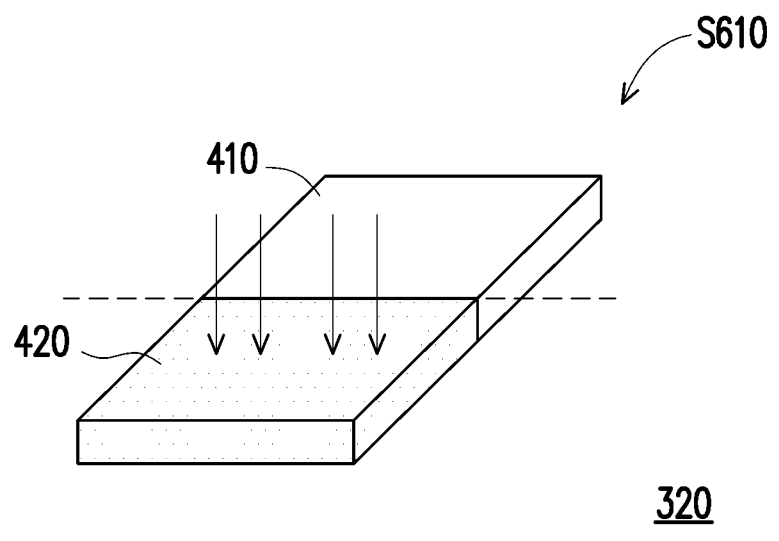


210

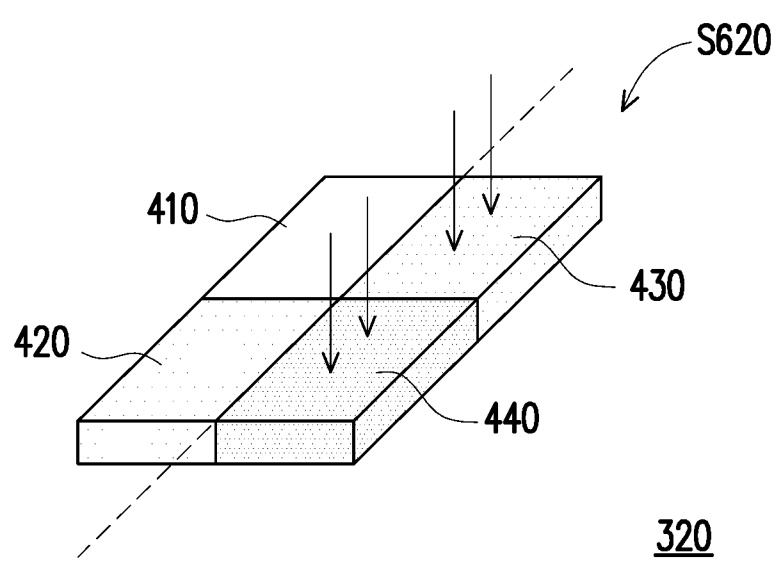
【圖4】



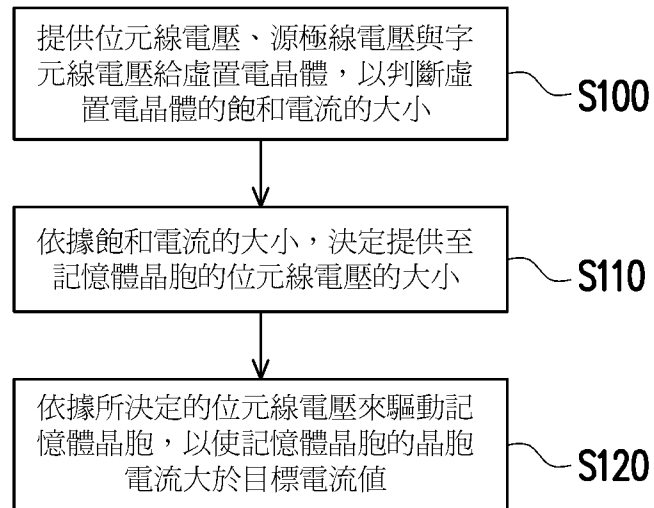
【圖5】



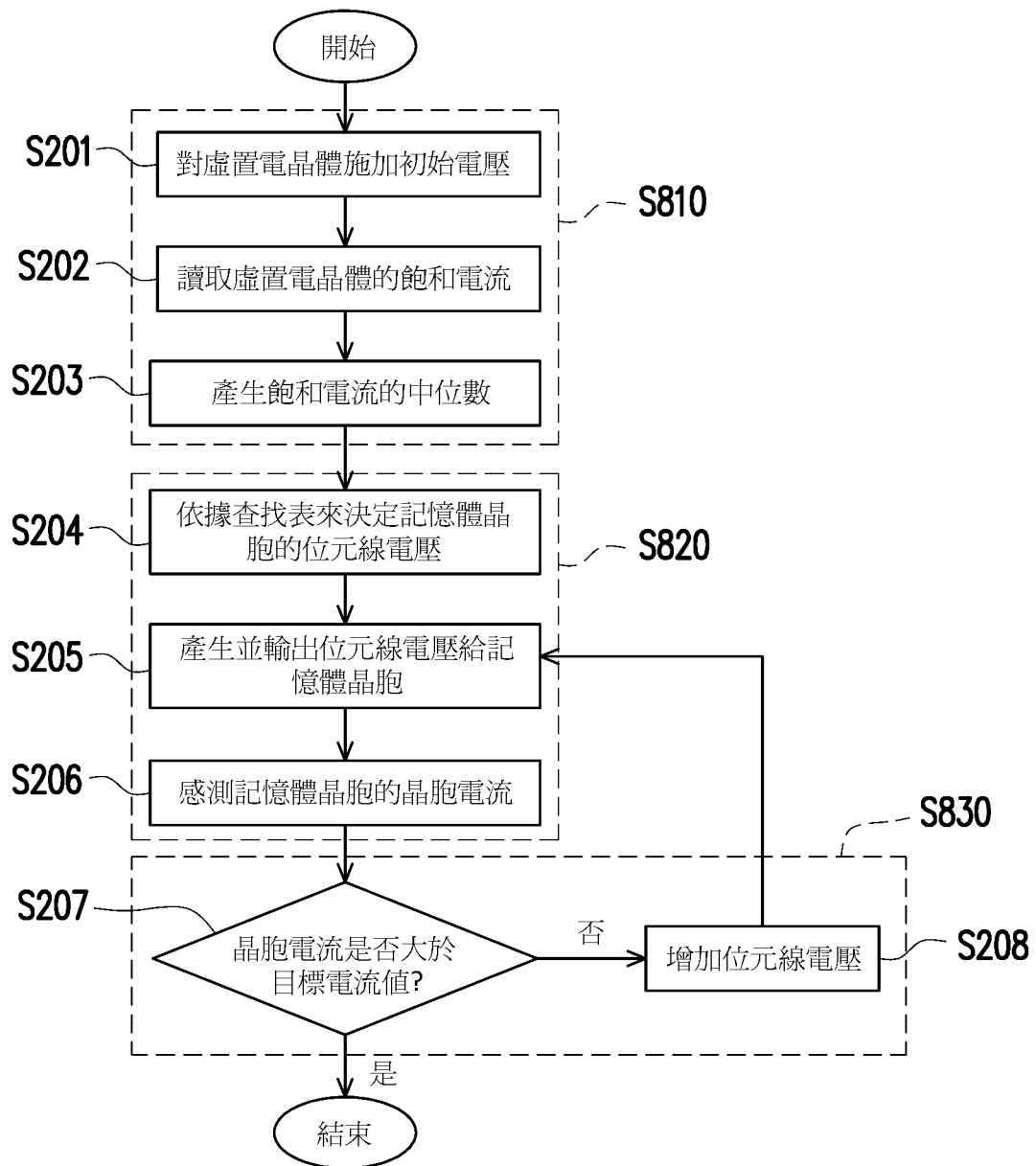
【圖6A】



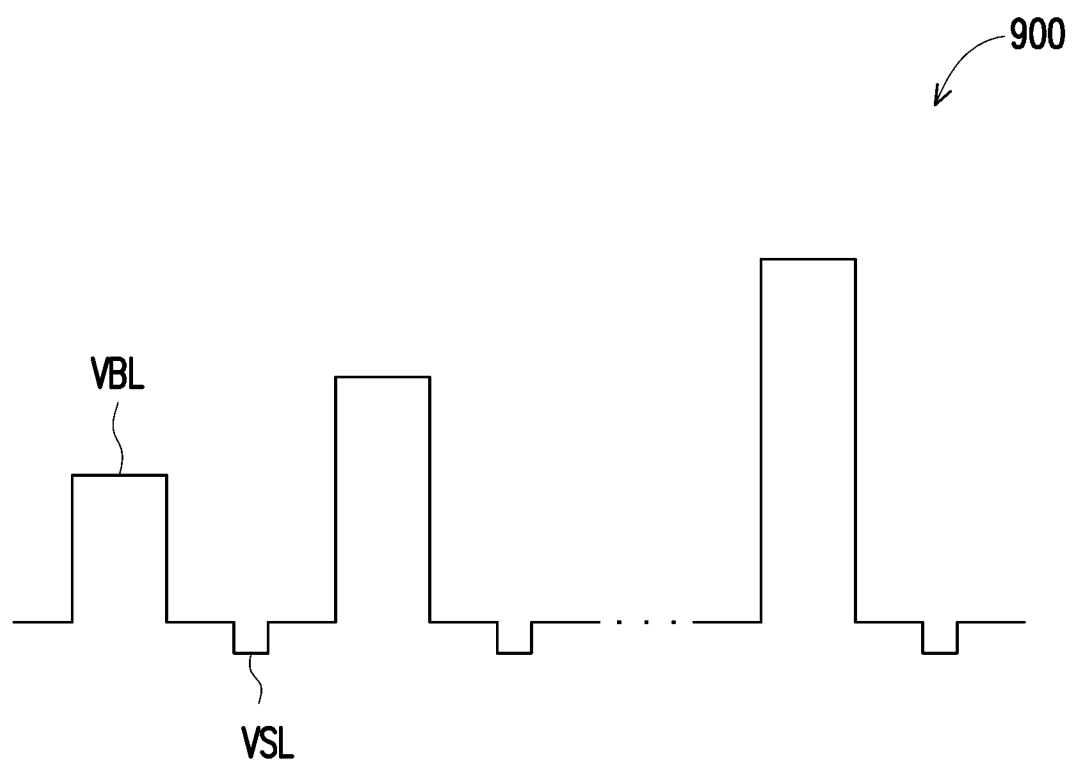
【圖6B】



【圖7】



【圖8】



【圖9】