



(12)发明专利

(10)授权公告号 CN 106910752 B

(45)授权公告日 2020.01.03

(21)申请号 201510975530.2

(22)申请日 2015.12.23

(65)同一申请的已公布的文献号
申请公布号 CN 106910752 A

(43)申请公布日 2017.06.30

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

专利权人 中芯国际集成电路制造(北京)有限公司

(72)发明人 李凤莲 倪景华

(74)专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 27/146(2006.01)

H01L 21/78(2006.01)

(56)对比文件

CN 102593137 A,2012.07.18,

CN 104051486 A,2014.09.17,

CN 103681661 A,2014.03.26,

CN 102237380 A,2011.11.09,

CN 103811506 A,2014.05.21,

US 2013001728 A1,2013.01.03,

审查员 郭强

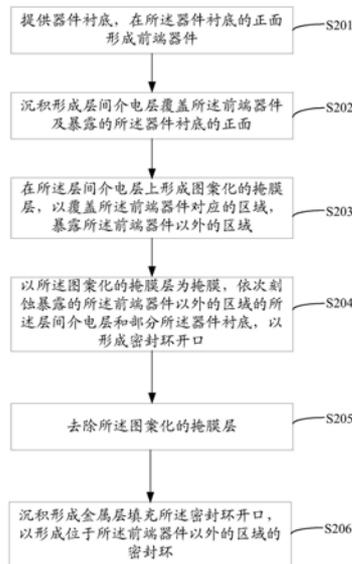
权利要求书1页 说明书7页 附图4页

(54)发明名称

一种半导体器件及其制造方法和电子装置

(57)摘要

本发明提供一种半导体器件及其制造方法和电子装置和电子装置,涉及半导体技术领域。包括:提供器件衬底,在器件衬底的正面形成前端器件;沉积形成层间介电层覆盖所述前端器件及暴露的所述器件衬底的正面;在所述层间介电层上形成图案化的掩膜层,以覆盖所述前端器件对应的区域,暴露所述前端器件以外的区域;以所述图案化的掩膜层为掩膜,依次刻蚀暴露的所述前端器件以外的区域的所述层间介电层和部分所述器件衬底,以形成密封环开口;去除所述图案化的掩膜层;沉积形成金属层填充所述密封环开口,以形成位于所述前端器件以外的区域的密封环。



1. 一种半导体器件的制造方法,包括:
 - 步骤S1:提供器件衬底,在所述器件衬底的正面形成前端器件;
 - 步骤S2:沉积形成层间介电层覆盖所述前端器件及暴露的所述器件衬底的正面;
 - 步骤S3:在所述层间介电层上形成图案化的掩膜层,以覆盖所述前端器件对应的区域,暴露所述前端器件以外的区域;
 - 步骤S4:以所述图案化的掩膜层为掩膜,依次刻蚀暴露的所述前端器件以外的区域的所述层间介电层和部分所述器件衬底,以形成密封环开口;
 - 步骤S5:去除所述图案化的掩膜层;
 - 步骤S6:沉积形成金属层填充所述密封环开口,以形成位于所述前端器件以外的区域的密封环。
2. 根据权利要求1所述的制造方法,其特征在于,在所述步骤S2中还包括步骤:形成贯穿所述层间介电层与所述前端器件相连接的多个接触孔开口。
3. 根据权利要求2所述的制造方法,其特征在于,在所述步骤S6中,包括步骤:
 - S61:沉积所述金属层填充所述接触孔开口和所述密封环开口并溢出;
 - S62:执行化学机械研磨步骤,停止于所述层间介电层的顶面上,以形成与所述前端器件相连接的接触孔以及位于所述前端器件以外的区域的密封环。
4. 根据权利要求1或3所述的制造方法,其特征在于,所述金属层的材料包括W。
5. 根据权利要求1所述的制造方法,其特征在于,所述密封环环绕所述前端器件,所述密封环的形状为圆环或矩形环。
6. 根据权利要求1所述的制造方法,其特征在于,所述密封环位于所述器件衬底内的高度范围为 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。
7. 根据权利要求1所述的制造方法,其特征在于,所述密封环的宽度范围为 100nm 至 $10\mu\text{m}$ 。
8. 根据权利要求3所述的制造方法,其特征在于,在所述步骤S61之后,还包括以下步骤:
 - 步骤S7:在所述器件衬底的正面进行后端工艺,以形成与所述接触孔相连接的互连结构;
 - 步骤S8:提供支撑衬底,将所述支撑衬底与所述器件衬底的正面键合,对所述器件衬底的背面进行减薄处理。
9. 一种半导体器件,其特征在于,使用如权利要求1至8任一项所述的方法制备获得。
10. 一种电子装置,其特征在于,包括如权利要求9所述的半导体器件。

一种半导体器件及其制造方法和电子装置

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件及其制造方法和电子装置。

背景技术

[0002] 与前照式(FSI)图像传感器相比,背照式(BSI)图像传感器可以减少/避免电路层或氧化层对光线的吸收和反射,因而具有较高的灵敏度和信噪比。

[0003] 在现有的BSI工艺过程中,往往需要对器件衬底进行背部研磨工艺,研磨后器件衬底的厚度约为3~4 μm 。然而,由于衬底变薄,在后续切割时很容易使芯片破损,进而影响器件的良率和性能。

[0004] 因此,有必要提出一种新的半导体器件及其制造方法,以解决上述技术问题。

发明内容

[0005] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0006] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:

[0007] 步骤S1:提供器件衬底,在所述器件衬底的正面形成前端器件;

[0008] 步骤S2:沉积形成层间介电层覆盖所述前端器件及暴露的所述器件衬底的正面;

[0009] 步骤S3:在所述层间介电层上形成图案化的掩膜层,以覆盖所述前端器件对应的区域,暴露所述前端器件以外的区域;

[0010] 步骤S4:以所述图案化的掩膜层为掩膜,依次刻蚀暴露的所述前端器件以外的区域的所述层间介电层和部分所述器件衬底,以形成密封环开口;

[0011] 步骤S5:去除所述图案化的掩膜层;

[0012] 步骤S6:沉积形成金属层填充所述密封环开口,以形成位于所述前端器件以外的区域的密封环。

[0013] 进一步地,在所述步骤S2中还包括步骤:形成贯穿所述层间介电层与所述前端器件相连接的多个接触孔开口。

[0014] 进一步地,在所述步骤S6中,包括步骤:

[0015] S61:沉积所述金属层填充所述接触孔开口和所述密封环开口并溢出;

[0016] S62:执行化学机械研磨步骤,停止于所述层间介电层的顶面上,以形成与所述前端器件相连接的接触孔以及位于所述前端器件以外的区域的密封环。

[0017] 进一步地,所述金属层的材料包括W。

[0018] 进一步地,所述密封环环绕所述前端器件,所述密封环的形状为圆环或矩形环。

[0019] 进一步地,所述密封环位于所述器件衬底内的高度范围为1 μm 至5 μm 。

[0020] 进一步地,所述密封环的宽度范围为100nm至10 μm 。

- [0021] 进一步地,在所述步骤S61之后,还包括以下步骤:
- [0022] 步骤S7:在所述器件衬底的正面进行后端工艺,以形成与所述接触孔相连接的互连结构;
- [0023] 步骤S8:提供支撑衬底,将所述支撑衬底与所述器件衬底的正面键合,对所述器件衬底的背面进行减薄处理。
- [0024] 本发明实施例二提供一种半导体器件,包括:
- [0025] 器件衬底,形成于所述器件衬底正面的前端器件,覆盖所述前端器件的层间介电层,以及位于所述前端器件以外的区域的贯穿所述层间介电层并部分位于所述器件衬底内的密封环。
- [0026] 进一步地,所述密封环环绕所述前端器件,所述密封环的形状为圆环或矩形环。
- [0027] 进一步地,所述密封环位于所述器件衬底内的高度范围为 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。
- [0028] 进一步地,所述密封环的宽度范围为 100nm 至 $10\mu\text{m}$ 。
- [0029] 进一步地,所述密封环的材料包括W。
- [0030] 进一步地,还包括形成于所述器件衬底的正面贯穿所述层间介电层与所述前端器件相连接的接触孔。
- [0031] 进一步地,还包括形成于所述层间介电层之上与所述接触孔相连接的互连结构,以及与所述器件衬底的正面相键合的支撑衬底。
- [0032] 本发明实施例三提供一种电子装置,其包括前述的半导体器件。
- [0033] 综上所述,根据本发明的半导体器件的制造方法,环绕前端器件形成密封环,其在之后的切割过程中有助于应力的释放,因此可以防止芯片的破损,进而提高器件的良率和性能。另外,本发明的制造方法简单易实现。

附图说明

- [0034] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。
- [0035] 附图中:
- [0036] 图1A-1G示出了本发明一实施例中的半导体器件的制造方法的相关步骤所获得器件的示意图,其中,图1C、图1D和图1E中左图均为半导体器件的剖视图,右图为半导体器件的俯视图,其他图1A、图1B、图1F和图1G均为半导体器件的剖视图;
- [0037] 图2示出了根据本发明一实施例中的半导体器件的制造方法的示意性流程图。

具体实施方式

- [0038] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。
- [0039] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终

相同附图标记表示相同的元件。

[0040] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0041] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0042] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0043] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0044] 为了彻底理解本发明,将在下列的描述中提出详细的结构及制造过程,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0045] 实施例一

[0046] 下面,参照图1A至图1G以及图2来描述本发明实施例提出的半导体器件的制造方法。示例性地,本发明的半导体器件为背照式(BSI)图像传感器,其中,图1A-1G示出了本发明一实施例中的半导体器件的制造方法的相关步骤所获得器件的示意图,图2示出了根据本发明一实施例中的半导体器件的制造方法的示意性流程图。

[0047] 首先,如图1A所示,提供器件衬底100,在所述器件衬底100的正面形成前端器件101。

[0048] 具体地,所述器件衬底100,器件衬底100可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上层叠锗化硅(SiGeOI)以及绝缘体上层叠锗(GeOI)等等。

[0049] 在器件衬底100的正面形成前端器件101。示例性地,所述前端器件101包括多个CMOS器件,每个CMOS器件均包括形成于器件衬底100中的阱区,位于阱区中的源极和漏极,以及位于源极和漏极之间的半导体衬底表面上的栅极结构,以及位于所述源极、漏极和栅极结构上的金属硅化物等。可采用任何适合的前端工艺进行前端器件101的制作。

[0050] 接着,如图1B所示,沉积形成层间介电层102覆盖所述前端器件101及暴露的所述器件衬底100的正面,并形成贯穿所述层间介电层102与所述前端器件101相连接的多个接触孔开口103a。

[0051] 层间介电层102可为氧化硅层,包括利用热化学气相沉积(thermal CVD)制造工艺或高密度等离子体(HDP)制造工艺形成的有掺杂或未掺杂的氧化硅的材料层,例如未经掺杂的硅玻璃(USG)、磷硅玻璃(PSG)或硼磷硅玻璃(BPSG)。此外,层间介电层也可以是掺杂硼或掺杂磷的自旋涂布式玻璃(spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷(PTEOS)或掺杂硼的四乙氧基硅烷(BTEOS)。

[0052] 可通过干法刻蚀或者湿法刻蚀等方法刻蚀层间介电层102形成多个接触孔开口103a,其中,该多个接触孔开口103a用于形成分别与前端器件101的栅极结构、源极和漏极等相连接的接触孔。

[0053] 可选地,在形成接触孔开口103a后,可直接沉积金属层填充接触孔开口,并对金属层进行化学机械研磨停止于层间介电层102的表面上,形成接触孔。该步骤可选择性进行,也可在之后步骤中实现。

[0054] 接着,如图1C所示,在所述层间介电层102上形成图案化的掩膜层104,以覆盖所述前端器件101对应的区域,暴露所述前端器件101以外的区域。

[0055] 具体地,所述掩膜层104较佳地为光阻层,可通过旋涂、曝光、显影等步骤形成所述图案化的掩膜层104。

[0056] 接着,如图1D所示,以所述图案化的掩膜层104为掩膜,依次刻蚀暴露的所述前端器件101以外的区域的所述层间介电层102和部分所述器件衬底100,以形成密封环开口105a。

[0057] 具体地,本步骤中,可通过干法刻蚀或者湿法刻蚀工艺进行对层间介电层和器件衬底的刻蚀。其形成的密封环开口105a环绕所述前端器件101,所述密封环开口105a的形状可以为圆环或矩形环。上述形状仅是示例性地,其他适合的形状也可适用于本发明,例如椭圆环,其他多边形环等。

[0058] 可选地,对于所述器件衬底100的刻蚀深度的范围可以为 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。在一个示例中,在平面内,所述密封环开口的宽度范围可以为 100nm 至 $10\mu\text{m}$ 。

[0059] 接着,如图1E所示,去除所述图案化的掩膜层104,沉积形成金属层填充所述密封环开口,以形成位于所述前端器件101以外的区域的密封环105。

[0060] 示例性地,当所述掩膜层104的材料为光阻层时,可采用灰化或湿法刻蚀等方法将其去除。

[0061] 在一个示例中,首先,沉积金属层填充所述接触孔开口103a和所述密封环开口

105a并溢出,所述金属层的材料可以为任何适合的金属材料,例如铜、铝、钨等,本实施例中,较佳地所述金属层的材料为钨。可采用化学气相沉积、物理气相沉积等方法形成该金属层。接着,执行化学机械研磨步骤,停止于所述层间介电层102的顶面上,以形成与所述前端器件101相连接的接触孔103以及位于所述前端器件101以外的区域的密封环105。

[0062] 示例性地,如图1E的右图所示,所述密封环105环绕所述前端器件101,所述密封环的形状为圆环或矩形环。如图1E左图所示,所述密封环105位于所述器件衬底100内的高度d范围为 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。所述密封环105的宽度W范围为 100nm 至 $10\mu\text{m}$ 。

[0063] 其中,接触孔103用于连接前端器件101,包括连接前端器件101的栅极结构、源极和漏极等。

[0064] 接着,如图1F所示,在所述器件衬底100的正面进行后端工艺,以形成与所述接触孔103相连接的互连结构106。

[0065] 示例性地,所述互连结构106包括多层金属层以及金属层之间的通孔,其金属层和通孔位于金属间介电层中。

[0066] 接着,提供支撑衬底200,将所述支撑衬底200与所述器件衬底100的正面键合。

[0067] 该支撑衬底200可以为硅衬底,或其他适合的材料。可采用任何适合的键合方法进行该键合步骤,例如,氧化物熔融键合等。

[0068] 接着,如图1G所示,对所述器件衬底100的背面进行减薄处理。

[0069] 可采用本领域技术人员熟知的任何方法进行本步骤的减薄处理,例如,刻蚀工艺或者背部研磨工艺等。本实施例中,较佳地使用背部研磨工艺进行减薄处理。示例性地,减薄后,器件衬底100的剩余厚度范围约为 $3\sim 4\mu\text{m}$ 。

[0070] 可选地,减薄后,暴露出密封环位于所述器件衬底100中的端部。

[0071] 至此完成了本发明的半导体器件的关键制作步骤。之后还包括其他步骤,例如切割过程,以将前端器件分割为多个芯片。

[0072] 综上所述,根据本发明的半导体器件的制造方法,环绕前端器件形成密封环,其在之后的切割过程中有助于应力的释放,因此可以防止芯片的破损,进而提高器件的良率和性能。另外,本发明的制造方法简单易实现。

[0073] 参照图2,为本发明的一个实施例的一种半导体器件的制造方法的示意性流程图,用于简要示出整个制造工艺的流程。

[0074] 步骤S201:提供器件衬底,在所述器件衬底的正面形成前端器件;

[0075] 步骤S202:沉积形成层间介电层覆盖所述前端器件及暴露的所述器件衬底的正面;

[0076] 步骤S203:在所述层间介电层上形成图案化的掩膜层,以覆盖所述前端器件对应的区域,暴露所述前端器件以外的区域;

[0077] 步骤S204:以所述图案化的掩膜层为掩膜,依次刻蚀暴露的所述前端器件以外的区域的所述层间介电层和部分所述器件衬底,以形成密封环开口;

[0078] 步骤S205:去除所述图案化的掩膜层;

[0079] 步骤S206:沉积形成金属层填充所述密封环开口,以形成位于所述前端器件以外的区域的密封环。

[0080] 实施例二

[0081] 下面,参照图1G来描述本发明实施例提出的半导体器件。示例性地,本发明的半导体器件为背照式(BSI)图像传感器。

[0082] 如图1G所示,本发明的半导体器件包括:器件衬底100,形成于所述器件衬底100正面的前端器件101,覆盖所述前端器件101的层间介电层102,以及位于所述前端器件101以外的区域的贯穿所述层间介电层102并部分位于所述器件衬底100内的密封环105。

[0083] 具体地,所述器件衬底100,器件衬底100可以是以下所提到的材料中的至少一种:硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)、绝缘体上锗化硅(SiGeOI)以及绝缘体上锗(GeOI)等等。

[0084] 示例性地,所述前端器件101包括多个CMOS器件,每个CMOS器件均包括形成于器件衬底100中的阱区,位于阱区中的源极和漏极,以及位于源极和漏极之间的半导体衬底表面上的栅极结构,以及位于所述源极、漏极和栅极结构上的金属硅化物等。

[0085] 层间介电层102可为氧化硅层,包括利用热化学气相沉积(thermal CVD)制造工艺或高密度等离子体(HDP)制造工艺形成的有掺杂或未掺杂的氧化硅的材料层,例如未经掺杂的硅玻璃(USG)、磷硅玻璃(PSG)或硼磷硅玻璃(BPSG)。此外,层间介电层也可以是掺杂硼或掺杂磷的自旋涂布式玻璃(spin-on-glass, SOG)、掺杂磷的四乙氧基硅烷(PTEOS)或掺杂硼的四乙氧基硅烷(BTEOS)。

[0086] 在一个示例中,还包括形成于所述器件衬底100的正面贯穿所述层间介电层102与所述前端器件101相连接的接触孔103。例如,多个接触孔103分别连接前端器件101的栅极结构、源极和漏极等。

[0087] 还包括位于所述前端器件101以外的区域的贯穿所述层间介电层102并部分位于所述器件衬底100内的密封环105,所述密封环105环绕所述前端器件101,所述密封环105的形状为圆环或矩形环。也可以为其他适合的形状,例如椭圆环、多边形环等。

[0088] 示例性地,所述密封环105位于所述器件衬底100内的高度范围为 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。所述密封环的宽度范围为 100nm 至 $10\mu\text{m}$ 。上述数值范围仅是示例性地,其他适合的数值也可适用。

[0089] 其中,所述密封环105的材料可以为任何适合的金属材料,例如铝、铜、钨等。本实施例中,较佳地所述密封环的材料包括W。

[0090] 进一步地,本发明的半导体器件还包括形成于所述层间介电层102之上与所述接触孔103相连接的互连结构106,以及与所述器件衬底100的正面相键合的支撑衬底200。

[0091] 示例性地,所述互连结构106包括多层金属层以及金属层之间的通孔,其金属层和通孔位于金属间介电层中。

[0092] 该支撑衬底200可以为硅衬底,或其他适合的材料。可采用任何适合的键合方法进行该键合步骤,例如,氧化物熔融键合等。

[0093] 综上所述,根据本发明的半导体器件,具有环绕前端器件形成的密封环,其有助于切割过程应力的释放,因此可以防止芯片的破损,进而提高器件的良率和性能。

[0094] 实施例三

[0095] 本发明还提供一种电子装置,其包括前述实施例二中的半导体器件,或者,其包括前述实施一中的制造方法形成的半导体器件。

[0096] 本实施例的电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视

机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可为任何包括前述的半导体器件的中间产品。由于使用了上述的半导体器件,该半导体器件具有优异的性能,因而本发明实施例的电子装置也同样具有更好的性能。

[0097] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

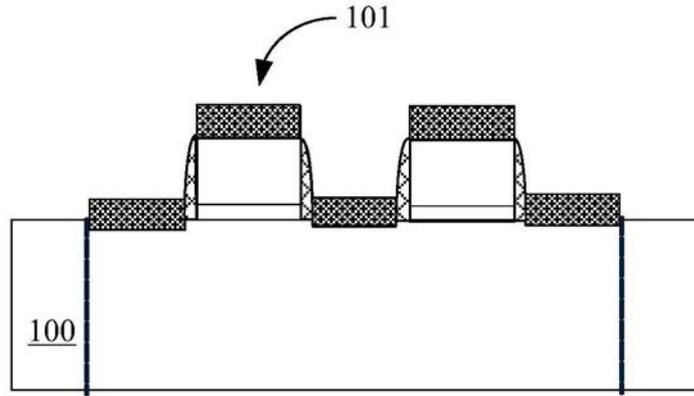


图1A

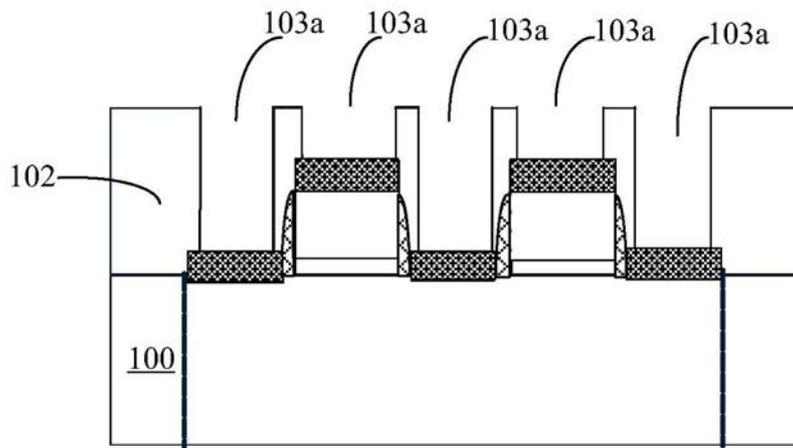


图1B

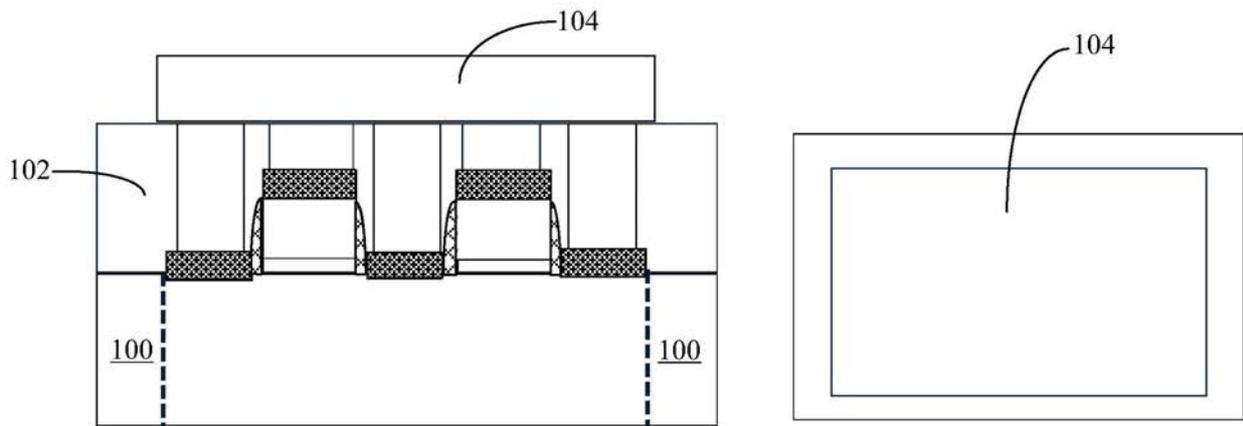


图1C

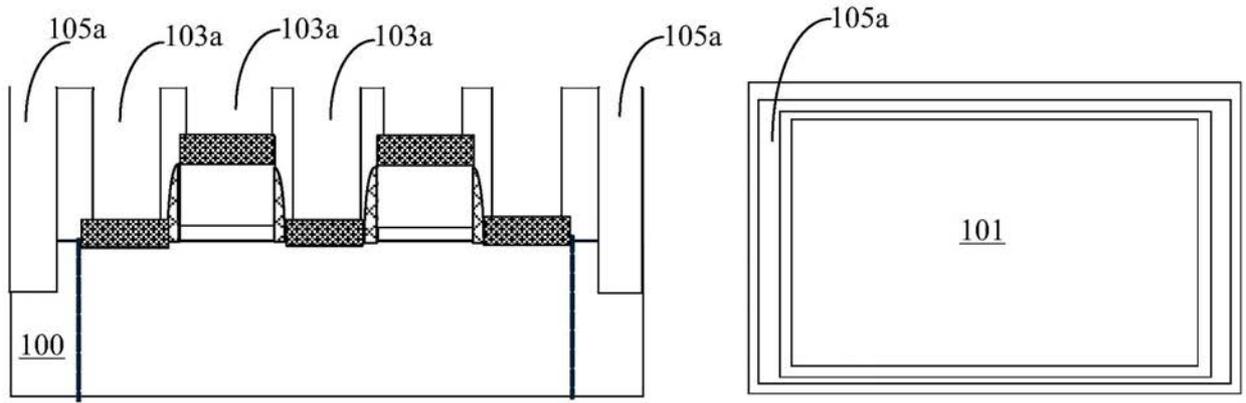


图1D

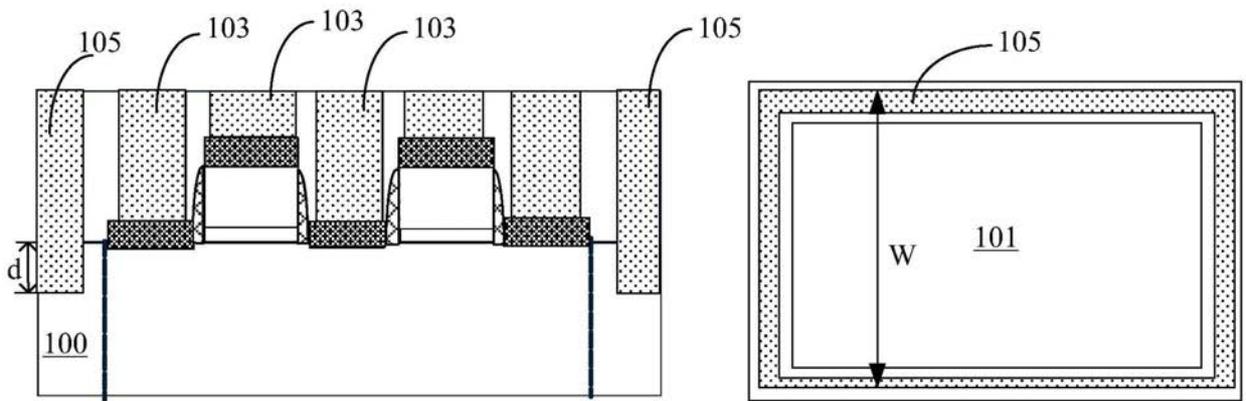


图1E

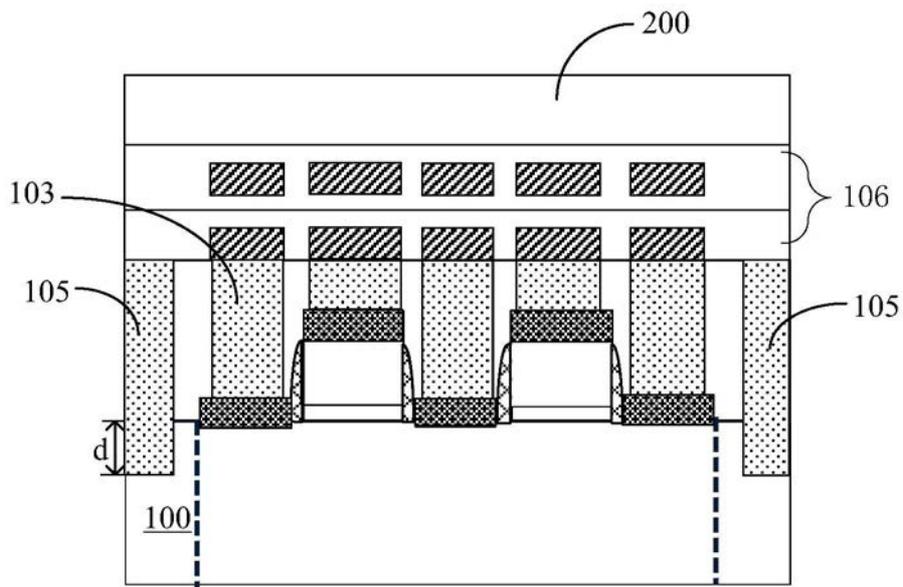


图1F

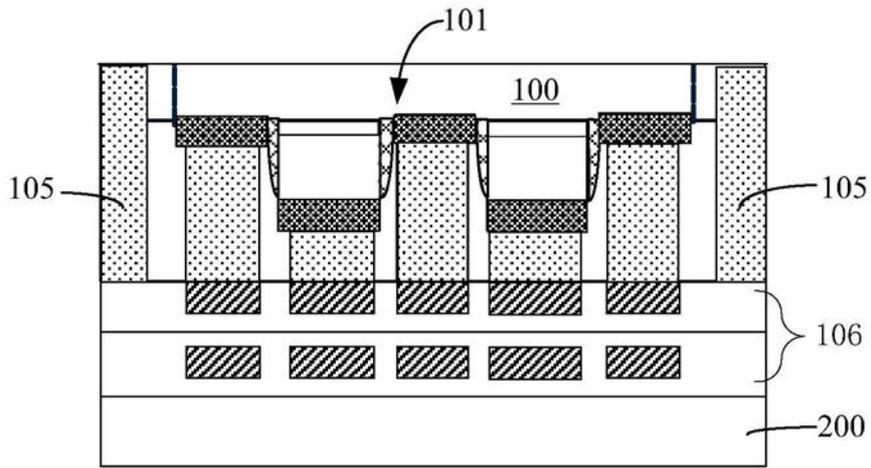


图1G

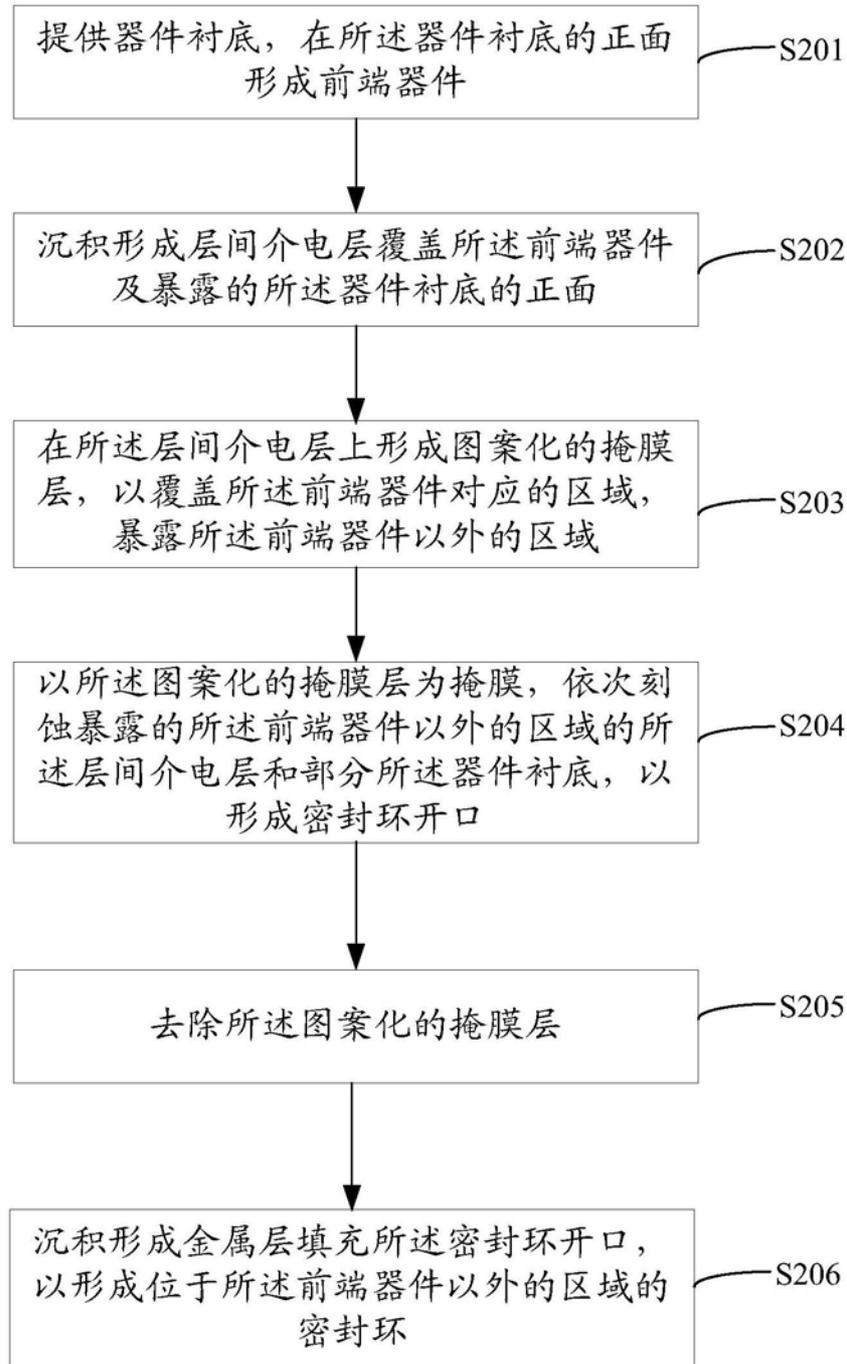


图2