



(12) 发明专利申请

(10) 申请公布号 CN 104217959 A

(43) 申请公布日 2014. 12. 17

(21) 申请号 201410140427. 1

(22) 申请日 2014. 04. 09

(30) 优先权数据

10-2013-0061775 2013. 05. 30 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金成玟 姜智秀 李东奎 车东镐

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

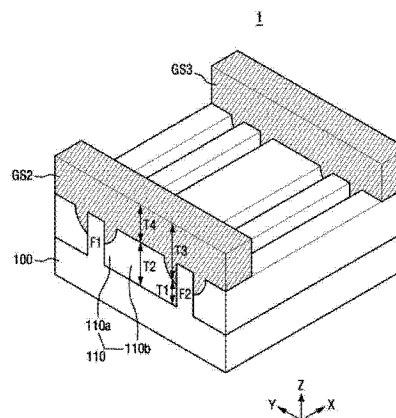
权利要求书2页 说明书10页 附图18页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法。半导体器件的制造方法包括：提供有源鳍和包括设置在有源鳍上的第一沟槽的场绝缘膜；通过执行设置在第一沟槽的侧壁和下部上的场绝缘膜的第一蚀刻而形成第二沟槽；通过执行设置在第二沟槽的侧壁和下部上的场绝缘膜的第二蚀刻而在场绝缘膜中形成第一区域和第二区域，第一区域邻近有源鳍设置并具有第一厚度，第二区域相比于第一区域与有源鳍间隔开设置并具有比第一厚度厚的第二厚度；以及在有源鳍和场绝缘膜上形成栅极结构。



1. 一种半导体器件的制造方法,包括:  
提供有源鳍和包括在所述有源鳍上的第一沟槽的场绝缘膜;  
蚀刻所述场绝缘膜的限定所述第一沟槽的侧壁的部分以形成第二沟槽;  
蚀刻所述第二沟槽的下部,使得所述场绝缘膜的邻近所述有源鳍设置的第一区域具有第一厚度,所述场绝缘膜的相比于所述第一区域与所述有源鳍间隔开的第二区域具有比所述第一厚度厚的第二厚度;以及  
在所述有源鳍和所述场绝缘膜上形成栅极结构。
2. 如权利要求1所述的半导体器件的制造方法,其中,第一蚀刻方法被用于蚀刻所述场绝缘膜的限定所述第一沟槽的侧壁的部分以形成所述第二沟槽,与所述第一蚀刻方法不同的第二蚀刻方法被用于蚀刻所述第二沟槽的所述下部。
3. 如权利要求2所述的半导体器件的制造方法,其中,所述第一蚀刻方法包括湿蚀刻,所述第二蚀刻方法包括干蚀刻。
4. 如权利要求3所述的半导体器件的制造方法,其中,所述湿蚀刻包括利用磷酸的蚀刻,所述干蚀刻包括反应离子蚀刻(RIE)。
5. 如权利要求1所述的半导体器件的制造方法,其中,所述第二沟槽的宽度大于所述有源鳍的宽度。
6. 如权利要求1所述的半导体器件的制造方法,还包括:在所述第一沟槽与所述有源鳍之间形成衬垫绝缘膜图案。
7. 如权利要求1所述的半导体器件的制造方法,其中,提供所述有源鳍和包括在所述有源鳍上的所述第一沟槽的所述场绝缘膜包括:  
在半导体层上形成硬掩模膜图案;  
利用所述硬掩模膜图案作为蚀刻掩模来图案化所述半导体层,以形成所述有源鳍;  
形成所述场绝缘膜以覆盖所述有源鳍并暴露所述硬掩模膜图案的上表面;以及  
去除所述硬掩模膜图案。
8. 如权利要求7所述的半导体器件的制造方法,其中,所述半导体层包括半导体衬底。
9. 如权利要求1所述的半导体器件的制造方法,还包括:蚀刻设置在所述有源鳍的侧壁上的所述场绝缘膜。
10. 一种半导体器件的制造方法,包括:  
提供第一和第二有源鳍;  
在所述第一和第二有源鳍上形成场绝缘膜;  
在所述场绝缘膜中在相应的第一和第二有源鳍之上形成第一和第二沟槽;  
各向异性蚀刻所述场绝缘膜的邻近所述相应的第一和第二有源鳍并被相应的第一和第二沟槽暴露的部分以在所述场绝缘膜中形成第一区域和第二区域,所述第一区域邻近所述第一和第二有源鳍设置并具有第一厚度,所述第二区域设置在所述第一和第二有源鳍之间并具有比所述第一厚度厚的第二厚度;以及  
在所述第一和第二有源鳍和所述场绝缘膜上形成栅极结构。
11. 如权利要求10所述的半导体器件的制造方法,还包括:各向同性蚀刻邻近所述第一和第二有源鳍并由所述第一和第二沟槽暴露的所述场绝缘膜。
12. 如权利要求11所述的半导体器件的制造方法,其中,在所述各向同性蚀刻之前执

行所述各向同性蚀刻。

13. 一种半导体器件,包括:

第一和第二有源鳍,沿着第一方向从衬底突出;

场绝缘膜,在所述衬底上处于所述第一和第二有源鳍之间;

在所述场绝缘膜上的栅极结构,围绕所述第一和第二有源鳍的至少部分;以及  
间隔件,设置在所述栅极结构的至少一侧上,

其中,所述场绝缘膜包括邻近所述第一和第二有源鳍并具有第一厚度的第一区域以及相比于所述第一区域与所述第一和第二有源鳍间隔开并具有比所述第一厚度厚的第二厚度的第二区域,以及

所述栅极结构包括在所述第一方向上沿着所述间隔件的侧壁延伸的栅极绝缘膜。

14. 如权利要求 13 所述的半导体器件,其中,所述栅极结构还包括金属栅极。

15. 如权利要求 14 所述的半导体器件,其中,设置在所述第一区域中的所述金属栅极具有第三厚度,设置在所述第二区域中的所述金属栅极具有比所述第三厚度薄的第四厚度。

16. 如权利要求 14 所述的半导体器件,其中,所述第一有源鳍沿着与所述第一方向相交的第二方向延伸,以及

所述金属栅极包括设置在所述第一有源鳍上的金属栅极图案和设置在沿着所述第二方向延伸的所述第一有源鳍的端部处的虚设金属栅极。

17. 如权利要求 16 所述的半导体器件,其中,所述金属栅极图案的形状和所述虚设金属栅极的形状彼此不同。

18. 如权利要求 13 所述的半导体器件,其中,所述衬底包括半导体材料并且与所述第一和第二有源鳍形成为一体。

19. 一种半导体器件,包括:

第一和第二有源鳍,从衬底突出并在第一方向上沿着所述衬底延伸;

场绝缘膜,设置在所述第一和第二有源鳍之间;

栅极结构,设置在所述场绝缘膜以及所述第一和第二有源鳍上以沿着与所述第一方向相交的第二方向延伸;以及

源极区域和漏极区域,形成在邻近所述栅极结构的所述第一有源鳍处,

其中,邻近所述第一和第二有源鳍设置的所述栅极结构的厚度大于设置在所述第一和第二有源鳍之间的中心区域中的所述栅极结构的厚度,以及

所述源极区域和所述漏极区域的上表面形成为在所述衬底的顶表面之上比所述栅极结构的下表面高。

20. 如权利要求 19 所述的半导体器件,还包括间隔件,所述间隔件设置在所述栅极结构的至少一侧上,并且所述源极区域和所述漏极区域的部分为扩展到所述间隔件的下部内的缩进形状。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体器件及其制造方法。

### 背景技术

[0002] 近来,已经开发了能够在低电压下执行高速操作的诸如场效应晶体管的半导体器件,并且已经开发了表现出提高的集成度的半导体器件的制造工艺。半导体器件的提高的集成度会导致在场效应晶体管中出现短沟道效应。为了克服这种效应,已经开发了鳍型场效应晶体管(FinFET),其具有形成为 3D 空间结构的沟道。

### 发明内容

[0003] 本发明的实施方式提供了具有改善的操作特性的半导体器件的制造方法。

[0004] 本发明的其它优点、目的和特征将部分在以下的描述中阐述,并且对于本领域的普通技术人员而言在分析以下的描述时将部分变得明显,或者可以从本发明的实践而知晓。

[0005] 在本发明的一个方面中,提供了一种制造半导体器件的方法,该方法包括:提供有源鳍和包括在有源鳍上的第一沟槽的场绝缘膜;蚀刻场绝缘膜的限定第一沟槽的侧壁的部分以形成第二沟槽;蚀刻第二沟槽的下部,使得场绝缘膜的邻近有源鳍设置的第一区域具有第一厚度,并且场绝缘膜的与第一区域相比与有源鳍间隔开的第二区域具有比第一厚度厚的第二厚度;以及在有源鳍和场绝缘膜上形成栅极结构。

[0006] 在本发明的另一方面中,提供了一种制造半导体器件的方法,该方法包括:提供第一和第二有源鳍;在第一和第二有源鳍上形成场绝缘膜;在场绝缘膜中在相应的第一和第二有源鳍之上形成第一和第二沟槽;各向异性地蚀刻场绝缘膜的邻近相应的第一和第二有源鳍并且通过相应的第一和第二沟槽暴露的部分,以在场绝缘膜中形成第一区域和第二区域,第一区域邻近第一和第二有源鳍设置并具有第一厚度,第二区域设置在第一和第二有源鳍之间,并且具有比第一厚度厚的第二厚度;以及在第一和第二有源鳍以及场绝缘膜上形成栅极结构。

[0007] 在本发明的另一方面中,提供了一种半导体器件,该半导体器件包括:第一和第二有源鳍,沿着第一方向从衬底突出;场绝缘膜,在衬底上处于第一和第二有源鳍之间;在场绝缘膜上的栅极结构,围绕第一和第二有源鳍的至少部分;以及间隔件,设置在栅极结构的至少一侧上,其中,场绝缘膜包括邻近第一和第二有源鳍并具有第一厚度的第一区域以及相比于第一区域与第一和第二有源鳍间隔开并具有比第一厚度厚的第二厚度的第二区域,以及栅极结构包括在第一方向上沿着间隔件的侧壁延伸的栅极绝缘膜。

[0008] 在本发明的另一方面中,提供了一种半导体器件,该半导体器件包括:第一和第二有源鳍,从衬底突出并在第一方向上沿着衬底延伸;场绝缘膜,设置在第一和第二有源鳍之间;栅极结构,设置在场绝缘膜以及第一和第二有源鳍上以沿着与第一方向相交的第二方向延伸;以及源极区域和漏极区域,形成在邻近栅极结构的第一有源鳍处,其中,邻近第一

和第二有源鳍设置的栅极结构的厚度大于设置在第一和第二有源鳍之间的中心区域中的栅极结构的厚度,源极区域和漏极区域的上表面形成为在衬底的顶表面之上比栅极结构的下表面高。

[0009] 本发明的其他细节被包括在详细描述和附图中。

### 附图说明

[0010] 本发明的以上和其他目的、特征和优点将从以下结合附图的详细描述而变得更为明显,图中:

[0011] 图 1 是示出根据本发明的第一实施方式的半导体器件的布局图;

[0012] 图 2 是图 1 中区域 A 的透视剖视图;

[0013] 图 3 是沿着图 1 中的线 B-B 截取的截面图;

[0014] 图 4 是沿着图 1 中的线 D-D 截取的截面图;

[0015] 图 5 是示出图 1 和图 2 中所示的半导体器件的场绝缘膜的部分透视图;

[0016] 图 6 是示出图 1 和图 2 中所示的半导体器件的金属栅极的部分透视图;

[0017] 图 7 和图 8 是解释根据本发明的第一实施方式的半导体器件的效果的视图;

[0018] 图 9 是示出根据本发明的第二实施方式的半导体器件的视图;

[0019] 图 10 是示出根据本发明的第三实施方式的半导体器件的截面图;

[0020] 图 11 是示出根据本发明的第四实施方式的半导体器件的截面图;

[0021] 图 12 是示出根据本发明的第五实施方式的半导体器件的截面图;

[0022] 图 13 是示出根据本发明的第六实施方式的半导体器件的布局图;

[0023] 图 14 是示出图 13 中所示的半导体器件的金属栅极的部分透视图;

[0024] 图 15 是示出根据本发明的第七实施方式的半导体器件的示意图;

[0025] 图 16 是示出根据本发明的第八实施方式的半导体器件的示意图;

[0026] 图 17 至图 22 是解释根据本发明的实施方式的半导体器件的制造方法的中间步骤的视图;

[0027] 图 23 是包括根据本发明的一些实施方式的半导体器件的电子系统的框图;以及

[0028] 图 24 和图 25 是根据本发明的一些实施方式的半导体器件能够被应用的示例性半导体系统的视图。

### 具体实施方式

[0029] 本发明的优点和特征及其实现方法可以通过参照下面对示例实施方式的详细描述和附图而更容易理解。但是,本发明可以以许多不同的形式实施,而不应理解为限于在此阐述的实施方式。而是,提供这些实施方式以使得本公开将是彻底和完整的,并且向本领域技术人员充分地传达本发明的构思,并且本发明将仅由权利要求书限定。在图中,为了清楚,层和区域的厚度被夸大。

[0030] 将理解,在一个元件或层被称为在另一个元件或层“上”或“连接到”另一个元件或层时,它可以直接在其他元件或层上或者直接连接到其他元件或层,或者可以存在居间元件或层。相反,当一个元件被称为“直接”在另一元件或层“上”或者“直接连接到”另一元件或层,则不存在居间元件或层。相同的附图标记始终表示相同的元件。如在此使用的,

术语“和 / 或”包括一个或多个相关列举项目的任意和所有组合。

[0031] 为了易于描述,可以在此使用空间关系术语诸如“下面”、“之下”、“下部”、“之上”、“上部”等来描述一个元件或特征与另一个元件或特征的如图中所示的关系。将理解,空间关系术语旨在涵盖除了图中所示的取向之外装置在使用或操作中的不同取向。例如,如果图中的装置被翻转,描述为在其他元件或特征“之下”或“下面”的元件则将取向为在其他元件或特征“之上”。因而,示例性术语“之下”能够涵盖“之上”和“之下”两种取向。装置可以以其他方式取向(旋转 90 度或其他取向)并且在此使用的空间关系描述语应相应地解释。

[0032] 在描述本发明的上下文中(尤其是在权利要求的上下文中),术语“一”和“该”以及类似引用语的使用应解释为涵盖单数和复数形式二者,除非在此另外表示或者与上下文明显矛盾。术语“包括”、“具有”和“包含”应解释为开放性术语(即,意指包括但不限于),除非另外指出。

[0033] 将理解,虽然术语第一、第二等可以在此被用于描述不同的元件,但是这些元件不应被这些术语限制。这些术语仅被用于将一个元件与另一个元件区分开。因此,例如,下面讨论的第一元件或第一部件可以被称为第二元件或第二部件,而不背离本发明的教导。

[0034] 下面参照透视图、截面图和平面图来描述本发明,图中示出本发明的示例实施方式。将理解,这些视图可以根据制造技术和 / 或容差而修改。因而,图中所示的区域是以示意的形式示出,区域的形状通过图示而非限制的方式简单地给出。

[0035] 除非另外定义,在此使用的所有技术术语和科学术语具有与本发明所属领域的普通技术人员通常理解的相同的含义。应注意,在此提供的任何和所有示例或者示例性术语的使用仅仅旨在更好地说明本发明,而不是对本发明的范围的限制,除非另外指明。

[0036] 下面,将参照附图详细描述本发明的示例实施方式。

[0037] 图 1 是示出根据本发明的第一实施方式的半导体器件的布局图。图 2 是图 1 中区域 A 的透视剖视图,图 3 是沿着图 1 中的线 B-B 截取的截面图,图 4 是沿着图 1 中的线 D-D 截取的截面图。图 5 是示出图 1 和图 2 中所示的半导体器件的场绝缘膜的部分透视图,图 6 是示出图 1 和图 2 中所示的半导体器件的金属栅极的部分透视图。

[0038] 参照图 1 至图 6,半导体器件 1 包括多个有源鳍 F1 和 F2、场绝缘膜 110 和多个栅极结构 GS1 至 GS4。

[0039] 多个有源鳍 F1 和 F2 可以包括第一有源鳍 F1 和第二有源鳍 F2。在图中仅示出两个有源鳍 F1 和 F2。但是,本发明不限于此。如果需要的话,有源鳍 F1 和 F2 的数量可以更大。

[0040] 第一和第二有源鳍 F1 和 F2 可以从衬底 100 沿着第一方向(例如,Z 方向)突出。尤其是,在本实施方式中,第一和第二有源鳍 F1 和 F2 可以与衬底 100 形成为一体,如图所示。具体地,衬底 100 可以包括半导体材料,第一和第二有源鳍 F1 和 F2 可以通过蚀刻衬底 100 来形成。但是,本发明不限于此,用于形成第一和第二有源鳍 F1 和 F2 的方法可以变化而没有限制。

[0041] 在图中,对于沿着 Y 方向截取的截面,第一和第二有源鳍 F1 和 F2 的截面形状均为矩形,但是本发明不限于这种形状。在本发明的一些实施方式中,第一和第二有源鳍 F1 和 F2 的截面形状可以变化为锥形形状,其中,第一和第二有源鳍 F1 和 F2 的宽度(例如,在 Y 方

向上的长度)随着它们从上部到下部延伸而变得更宽。此外,在本发明的其他实施方式中,第一和第二有源鳍 F1 和 F2 的截面形状可以是倒角的形状。即,第一和第二有源鳍 F1 和 F2 的拐角部分中的一个或多个可以被圆化。

[0042] 第一和第二有源鳍 F1 和 F2 可以设置成在第三方向(例如, X 方向)上延伸。由于第一和第二有源鳍 F1 和 F2 沿着第三方向(例如, X 方向)形成为较长,因此它们可以包括沿着第三方向(例如, X 方向)延伸的长边和沿着第二方向(例如, Y 方向)形成的短边。即使第一和第二有源鳍 F1 和 F2 的拐角部分被圆化,本发明所属领域的技术人员仍能够将长边和短边区分开。

[0043] 在本实施方式中,第一和第二有源鳍 F1 和 F2 可以包括半导体材料。于是,第一和第二有源鳍 F1 和 F2 可以用作晶体管中的沟道。即,沟道可以形成为沿着第一和第二有源鳍 F1 和 F2 的三个表面彼此连接。但是,本发明不限于此,在一些实施方式中,晶体管的沟道可以形成在第一和第二有源鳍 F1 和 F2 的彼此面对的两个表面上。

[0044] 场绝缘膜 110 可以设置在衬底 100 上。具体地,如图 2 和图 5 所示,场绝缘膜 110 可以设置在第一和第二有源鳍 F1 和 F2 之间。场绝缘膜 110 可以围绕第一和第二有源鳍 F1 和 F2 的部分。具体地,如图所示,场绝缘膜 110 可以围绕第一和第二有源鳍 F1 和 F2 的下部。

[0045] 在本实施方式中,场绝缘膜 110 可以包括第一区域 110a 和第二区域 110b。在此,如图所示,场绝缘膜 110 的第一区域 110a 可以限定为场绝缘膜 110 的邻近第一和第二有源鳍 F1 和 F2 设置的部分,场绝缘膜 110 的第二区域 110b 可以限定为场绝缘膜 110 的与第一区域 110a 相比与第一和第二有源鳍 F1 和 F2 间隔开的部分。

[0046] 在本实施方式中,第一区域 110a 在 Z 方向上的厚度 T1 可以小于第二区域 110b 在 Z 方向上的厚度 T2。即,设置在第一有源鳍 F1 和第二有源鳍 F2 之间的中间区域中的场绝缘膜 110 的厚度 T2 可以比设置在邻近第一和第二有源鳍 F1 和 F2 的区域中的场绝缘膜 110 的厚度 T1 更厚。

[0047] 在本实施方式中,第二区域 110b 的上表面的至少一部分可以是基本上平坦的。因为不能相对于设置在第一有源鳍 F1 和第二有源鳍 F2 之间的场绝缘膜 110 的整个表面执行蚀刻,而是可以仅相对于场绝缘膜 110 的第一区域 110a 局部地执行蚀刻,所以第二区域 110b 的上表面可以是基本上平坦的。在此提供对于场绝缘膜 110 的蚀刻的更详细解释。

[0048] 场绝缘膜 110 可以是氧化物膜、氮化物膜、氮氧化物膜、或者它们的组合膜,但是本发明不限于此。

[0049] 多个栅极结构 GS1 至 GS4 可以设置在场绝缘膜 110 上,以围绕有源鳍 F1 和 F2 的至少部分。如图所示,多个栅极结构 GS1 至 GS4 可以设置成在第二方向(例如, Y 方向)上延伸。隔离膜 190 可以形成在栅极结构 GS1 到 GS4 之间。

[0050] 在本发明的一些实施方式中,栅极结构 GS1 至 GS4 可以成对地分组。此外,对于成对地分组的多个栅极结构 GS1 至 GS4,可以形成通过深沟槽隔离(DTI)膜彼此分离的多个有源基部。但是,本发明不限于这种形状,而是多个栅极结构 GS1 至 GS4 的形状可以变化而没有限制。

[0051] 每个相应的栅极结构(例如, GS1)可以包括顺序地层叠的界面膜 120、栅极绝缘膜 130 和金属栅极(例如, MG1)。

[0052] 界面膜 120 用以在有源鳍 F1 和 F2 与栅极绝缘膜 130 之间提供改善的界面。界面膜 120 可以包括具有 9 或更小的介电常数的低 k 材料,例如,硅氧化物膜(k 为大约 4)或者硅氮氧化物膜(根据氧原子和氮原子的含量, k 为大约 4 到 8)。此外,界面膜 120 可以由硅酸盐制成,或者可以由以上举例的膜的组合制成。

[0053] 设置在界面膜 120 上的栅极绝缘膜 130 可以例如由高 k 材料制成。在本发明的一些实施方式中,栅极绝缘膜 130 可以例如由诸如  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、或  $\text{TaO}_2$  的材料制成,但是本发明不限于此。

[0054] 栅极绝缘膜 130 可以在第一方向(例如, Z 方向)上沿着设置在每个栅极结构(例如, GS1)的两侧的间隔件 165 的侧壁延伸。在本实施方式中,栅极绝缘膜 130 通过置换工艺(或者后栅极工艺)形成。但是,本发明不限于此,因此栅极绝缘膜 130 的形状可以在其他实施方式中不同。

[0055] 间隔件 165 可以包括氮化物膜和氧氮化物膜中的至少一种。间隔件 165 可以形成在每个栅极结构(例如, GS1)的侧壁上。图 3 示出间隔件 165 具有弯曲的侧表面,但是本发明不限于此。间隔件 165 的形状可以从图 3 所示的形状有所变化而没有限制。例如,在本发明的一些实施方式中,间隔件 165 的形状可以变化为“I”形或“L”形。

[0056] 金属栅极 MG1 可以包括功函数金属 WM 和栅极金属 GM。功函数金属 WM 可以用以调节功函数,栅极金属 GM 可以用以填充由功函数金属 WM 形成的空间。功函数金属 WM 可以具有由金属构成的单层膜结构或者由金属氮化物膜和金属构成的多层膜结构。形成功函数金属 WM 的金属可以是例如 Al、W、Ti、或其组合,金属氮化物膜可以是 TiN、TaN、或者其组合,但是本发明不限于此。功函数金属 WM 可以以类似于栅极绝缘膜 130 的方式设置成在第一方向(例如, Z 方向)上沿着设置在栅极结构(例如, GS1)的两侧的间隔件 165 的侧壁延伸。栅极金属 GM 可以包括具有高导电性的金属。金属的示例可以为 W 或 Al,但是本发明不限于此。

[0057] 如图 3 所示,源极区域 161a 和漏极区域 161b 可以设置在每个栅极结构(例如, GS1)的两侧的有源鳍 F1 和 F2 内。虽然图 3 示出了源极区域 161a 和漏极区域 161b 的上表面具有与第一有源鳍 F1 的上表面的高度基本上相同的高度,但是本发明不限于所示的形状。在本发明的一些实施方式中,源极区域 161a 和漏极区域 161b 的上表面具有与第一有源鳍 F1 的上表面的高度不同的高度。

[0058] 在本实施方式中,设置在场绝缘膜 110 的第一区域 110a 上的栅极结构(例如, GS2)的第三厚度 T3 可以比设置在场绝缘膜 110 的第二区域 110b 上的栅极结构(例如, GS2)的第四厚度 T4 更厚。于是,如图 6 所示,设置在场绝缘膜 110 的第一区域 110a 上的金属栅极(例如, MG2)的第三厚度 T3 比设置在场绝缘膜 110 的第二区域 110b 上的金属栅极(例如, MG2)的第四厚度 T4 更厚。换言之,场绝缘膜 110 在第二区域 110b 上具有相对厚的厚度,因此金属栅极(例如, MG2)不设置在相应的区域 P 内。

[0059] 通过如上所述的金属栅极(例如, MG2)的形状,彼此平行延伸的金属栅极(例如, MG2 和 MG3)之间的寄生电容会减小。这种金属栅极(例如, MG2 和 MG3)之间的寄生电容的减小可以改善包括金属栅极(例如, MG2 和 MG3)的半导体元件的操作速度,并且进一步改善半导体器件 1 的操作特性。

[0060] 下面,参照图 6 至图 8,将更详细描述上述效果。



[0061] 图 7 和图 8 是解释根据本发明的第一实施方式的半导体器件的效果的透视图。

[0062] 图 7 示出一种半导体器件,其中,不同于如上所述的半导体器件 1,形成在衬底 100 上的场绝缘膜 210 形成为在邻近第一和第二有源鳍 F1 和 F2 的第一区域 210a 中具有第一高度 H1,并且在与第一和第二有源鳍 F1 和 F2 间隔开的第二区域 210b 中形成为具有小于第一高度 H1 的第二高度 H2。

[0063] 根据如上所述的场绝缘膜 210 的形状,栅极结构 CGS1 和 CGS2 以第五厚度 T5 形成在第一区域 210a 上,并且以比第五厚度 T5 厚的第六厚度 T6 形成在第二区域 210b 上。换言之,场绝缘膜 210 以相对薄的厚度形成在第一有源鳍 F1 和第二有源鳍 F2 之间的区域内。在这种情况下,如图 8 所示,在设置于第一有源鳍 F1 与第二有源鳍 F2 之间的区域内的栅极结构(参见区域 Q)之间的寄生电容 C2 的值可以变大。但是,在根据本实施方式的半导体器件 1 中,如图 6 所示,金属栅极 MG2 和 MG3 (或者栅极结构 GS2 和 GS3)不设置在相应于区域 Q 的区域 P 内,如上所述,从而金属栅极 MG2 和 MG3 (或者栅极结构 GS2 和 GS3)之间的寄生电容 C1 的值可以明显减小。

[0064] 图 9 是示出根据本发明的第二实施方式的半导体器件的视图。以下的解释将集中于第二实施方式和上述第一实施方式之间的差异。

[0065] 参照图 9,半导体器件 2 的第一和第二有源鳍 F1 和 F2 不是如上述实施方式中那样与衬底 101 形成为一体,而是单独形成。具体地,在根据本实施方式的半导体器件 2 中,第一和第二有源鳍 F1 和 F2 可以通过图案化经由外延生长工艺形成在衬底 101 上的半导体有源层而形成。如上所述形成的第一和第二有源鳍 F1 和 F2 可以改善载流子的迁移率,并且减小在半导体器件 2 的操作期间可能产生的漏电流的量。

[0066] 图 10 是示出根据本发明的第三实施方式的半导体器件的视图。以下的解释将集中于第三实施方式与上述第一和第二实施方式之间的差异。

[0067] 参照图 10,SOI (绝缘体上硅)衬底可以被用于半导体器件 3 中。具体地,有源鳍 F1 可以通过在埋设的氧化物膜 102 上形成单晶硅并且图案化该单晶硅而形成。此时,虽然未详细示出,但是埋设的氧化物膜 102 和场绝缘膜 101 可以彼此接触。利用 SOI 衬底,在半导体器件 3 的操作期间可以减小延迟时间。

[0068] 图 11 是示出根据本发明的第四实施方式的半导体器件的视图。以下的解释将集中于第四实施方式与上述第一到第三实施方式之间的差异。

[0069] 参照图 11,半导体器件 4 的栅极结构 181 和 182 可以利用前栅极工艺而非根据上述实施方式的后栅极工艺形成。不同于上述实施方式,栅极绝缘膜 181 不形成为在第一方向(例如,图 2 中的 Z 方向)上沿着间隔件 165 的侧壁延伸。此外,以与上述实施方式相同的方式,栅电极 182 可以包括栅极金属(图 3 中的 GM)或者可以由多晶硅等制成。

[0070] 图 12 是示出根据本发明的第五实施方式的半导体器件的视图。以下的解释将集中于第五实施方式和上述第一至第四实施方式之间的差异。

[0071] 参照图 12,在半导体器件 5 中,源极区域 162a 和漏极区域 162b 可以具有升高的形状。尤其是,源极区域 162a 和漏极区域 162b 的上表面可以形成为高于栅极结构 GS1 的下表面。

[0072] 此外,如图所示,源极区域 162a 和漏极区域 162b 的部分可以形成为与间隔件 165 重叠。即,源极区域 162a 和漏极区域 162b 的部分可以为扩展到间隔件 165 的下部内的缩

进形状(tuck shape)。

[0073] 图 13 是示出根据本发明的第六实施方式的半导体器件的平面图。图 14 是示出图 13 的半导体器件的金属栅极的局部透视图。以下的描述将集中于第六实施方式与上述第一至第五实施方式之间的差异。

[0074] 首先,参照图 13,半导体器件 6 可以包括第一至第四有源鳍 F1 至 F4。第一至第四有源鳍 F1 至 F4 可以在第三方向(例如, X 方向)上延伸。由于第一至第四有源鳍 F1 至 F4 沿着第三方向(例如, X 方向)形成,因此它们包括沿着第三方向(例如, X 方向)延伸的长边和沿着第二方向(例如, Y 方向)延伸的短边。

[0075] 第一有源鳍 F1 和第三有源鳍 F3 在第三方向(例如, X 方向)上彼此分离,而第二有源鳍 F2 和第四有源鳍 F4 在第三方向(例如, X 方向)上彼此分离。

[0076] 虚设栅极结构 DGS 可以设置在第一至第四有源鳍 F1 至 F4 的端部上。即,虚设栅极结构 DGS 可以邻近第一至第四有源鳍 F1 至 F4 的短边设置,并且可以形成为在第二方向(例如, Y 方向)上延伸。

[0077] 在本实施方式中,普通栅极结构 GS1 至 GS4 可以在第二方向(例如, Y 方向)上延伸,并且可以围绕多个有源鳍 F1 至 F4 的至少部分,如在上述实施方式中。即,在本实施方式中,虚设栅极结构 DGS 可以设置在第一至第四有源鳍 F1 至 F4 之间的场绝缘膜 110 上。

[0078] 如图 14 所示,包括在虚设栅极结构 DGS 内的虚设金属栅极 DMG 的形状可以不同于包括在普通栅极结构 GS1 至 GS4 内的普通金属栅极 MG2 至 MG3 (例如,金属栅极图案)的形状。尤其是,虚设金属栅极 DMG 的下部不设置在有源鳍 F1 至 F4 上。在本发明的一些实施方式中,虚设金属栅极 DMG 可以被用作再分配线,但本发明不限于此。

[0079] 图 15 是示出根据本发明的第七实施方式的半导体器件的视图,图 16 是示出根据本发明的第八实施方式的半导体器件的视图。

[0080] 参照图 15,根据本发明的第七实施方式的半导体器件 7 可以包括逻辑区域 410 和 SRAM 区域 420。第一晶体管 411 设置在逻辑区域 410 内,而第二晶体管 421 设置在 SRAM 区域 420 内。

[0081] 接着,参照图 16,根据本发明的第八实施方式的半导体器件 8 包括逻辑区域 410。彼此不同的第三和第四晶体管 412 和 422 设置在逻辑区域 410 内。虽然没有单独示出,但是半导体器件 8 也可以包括其中可以设置彼此不同的第三和第四晶体管 412 和 422 的 SRAM 区域。

[0082] 在此,第一晶体管 411 可以是根据如上所述的本发明的各实施方式的半导体器件 1 至 6 中的任一种,而第二晶体管 421 可以是根据如上所述的本发明的各实施方式的半导体器件 1 至 6 中的另一种。例如,第一晶体管 411 可以是图 3 的半导体器件 1,而第二晶体管 421 可以是图 12 的半导体器件 5。

[0083] 第三晶体管 412 可以是根据如上所述的本发明的实施方式的半导体器件 1 至 6 中的任一种,而第四晶体管 422 可以是根据如上所述的本发明的实施方式的半导体器件 1 至 6 中的另一种。

[0084] 图 15 示例性示出逻辑区域 410 和 SRAM 区域 420,但不限于此。例如,本发明也可以应用于其中形成不同于 SRAM 区域 420 的存储器(例如, DRAM、MRAM、RRAM 或 PRAM)的区域。

[0085] 接着,参照图 4 和图 17 至图 22,将描述根据本发明的实施方式的半导体器件的制造方法。

[0086] 图 17 至图 22 是解释根据本发明的实施方式的半导体器件的制造方法的中间步骤的视图。

[0087] 首先,参照图 17,衬垫绝缘膜 142 和硬掩模膜 144 依次层叠在衬底 100 上。在本实施方式中,衬底 100 可以是例如半导体衬底,衬垫绝缘膜 142 可以包括例如氧化物膜。硬掩模膜 144 可以包括例如氮化硅膜 SiN,但是本发明不限于此。

[0088] 接着,参照图 18,通过图案化图 17 中的硬掩模膜 144 而形成硬掩模膜图案 144a。然后,通过利用硬掩模膜图案 144a 作为掩模依次蚀刻图 17 中的衬垫绝缘膜 142 和衬底 100 的部分而形成衬垫绝缘膜图案 142a 以及第一和第二有源鳍 F1 和 F2。

[0089] 在图中,示出了第一和第二有源鳍 F1 和 F2 的截面是矩形的,但是本发明不限于这种形状。在本发明的一些实施方式中,第一和第二有源鳍 F1 和 F2 的截面可以变化为锥形形状,其中,第一和第二有源鳍 F1 和 F2 的宽度随着它们从上部到下部延伸而变宽。此外,在本发明的其他实施方式中,第一和第二有源鳍 F1 和 F2 的截面可以具有倒角形状。即,第一和第二有源鳍 F1 和 F2 的拐角部分可以被圆化。在另外的实施方式中,也可以使用其他截面形状。

[0090] 参照图 19,场绝缘膜 110 可以形成在衬底 100 上并且形成在第一和第二有源鳍 F1 和 F2、衬垫绝缘膜 142a 以及硬掩模膜图案 144a 上。场绝缘膜 110 然后可以被平坦化,使得图 18 中的硬掩模膜图案 144a 的上表面被暴露。然后,通过去除其上表面被暴露的硬掩模膜图案 144a,在场绝缘膜 110 内形成第一沟槽 146a。第一沟槽 146a 的宽度 W1 可以与第一和第二有源鳍 F1 和 F2 的宽度基本上相同。

[0091] 接着,参照图 20,通过蚀刻设置在图 19 中的第一沟槽 146a 的侧壁和下部上的场绝缘膜 110 而形成第二沟槽 146b。在此,场绝缘膜可以通过例如各向同性蚀刻诸如湿蚀刻而被蚀刻。在一些实施方式中,蚀刻可以是例如利用磷酸的各向同性湿蚀刻,但本发明不限于此。

[0092] 在这个蚀刻步骤完成之后,第二沟槽 146b 的宽度 W2 可以比图 19 中所示的第一沟槽 146a 的宽度 W1 更宽。此外,如图所示,第二沟槽 146b 的宽度 W2 可以大于第一和第二有源鳍 F1 和 F2 的宽度。在如上所述的第一蚀刻工艺中,衬垫绝缘膜图案 142a 的上部的一部分可以被去除。

[0093] 接着,参照图 21,在设置于图 20 中的第二沟槽 146b 的侧壁和下部上的场绝缘膜 110 上执行第二蚀刻步骤。第二蚀刻步骤可以包括例如各向异性蚀刻诸如干蚀刻。具体地,第二蚀刻可以是例如反应离子蚀刻(RIE),但是本发明不限于此。

[0094] 第二蚀刻步骤可以非常快速地增加图 20 中的第二沟槽 146b 的深度,而第一蚀刻步骤可以以低速增加图 20 中的第二沟槽 146b 的宽度。于是,如图所示,邻近第一和第二有源鳍 F1 和 F2 设置的场绝缘膜 110 的厚度变得相对薄,而与第一和第二有源鳍 F1 和 F2 间隔开的场绝缘膜 110 的厚度保持相对厚。

[0095] 接着,参照图 22,执行第三蚀刻步骤,以去除形成在第一和第二有源鳍 F1 和 F2 的侧壁上的场绝缘膜 110。第三蚀刻步骤可以包括例如各向同性蚀刻。具体地,第三蚀刻步骤可以是例如各向同性蚀刻,诸如 SiCoNi 蚀刻,但是本发明不限于此。在本发明的一些实施

方式中,如果需要的话,第三蚀刻步骤可以被省略。

[0096] 通过蚀刻工艺,邻近第一和第二有源鳍 F1 和 F2 设置的第一区域 110a 可以形成为具有第一厚度 T1,与第一和第二有源鳍 F1 和 F2 间隔开的第二区域 110b 形成为具有比第一厚度 T1 厚的第二厚度 T2。

[0097] 接着,参照图 4,栅极结构(例如,GS1)形成在有源鳍(例如,F2)和场绝缘膜 110 上。具体地,界面膜 120、栅极绝缘膜 130 和金属栅极(例如,MG1)顺序地形成在有源鳍(例如,F2)和场绝缘膜 110 上。

[0098] 首先,形成界面膜 120。界面膜 120 可以提供有源鳍 F1 和 F2 与栅极绝缘膜 130 之间的改善的界面。界面膜 120 可以包括具有 9 或更小的介电常数的低 k 材料层,例如,硅氧化物膜(k 为大约 4)或者硅氮氧化物膜(根据氧原子和氮原子的含量,k 为大约 4 至 8)。此外,界面膜 120 可以由硅酸盐制成,或者可以由以上举例的膜的组合制成。界面膜 120 可以例如通过热氧化工艺或者沉积工艺(CVD 或 PVD)形成,但本发明不限于此。

[0099] 接着,栅极绝缘膜 130 形成在界面膜 120 上。栅极绝缘膜 130 可以例如由高 k 材料制成。在本发明的一些实施方式中,栅极绝缘膜 130 可以例如由诸如  $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$  或者  $\text{TaO}_2$  的材料制成,但是本发明不限于此。

[0100] 接着,包括功函数金属 WM 和栅极金属 GM 的金属栅极(例如,MG1)形成在栅极绝缘膜 130 上。功函数金属 WM 可以用以调节功函数,栅极金属 GM 可以用以填充由功函数金属 WM 形成的空间。功函数金属 WM 可以具有由金属构成的单层膜结构,或者具有由金属氮化物膜和金属构成的多层膜结构。形成功函数金属 WM 的金属可以为例如 Al、W、Ti 或其组合,金属氮化物膜可以是 TiN、TaN、或其组合,但是本发明不限于此。栅极金属 GM 可以包括具有高导电性的金属。金属的示例可以是 W 或 Al,但是本发明不限于此。

[0101] 上面已经描述了如图 1 至图 6 中所示的半导体器件 1 的制造方法,但是本发明所属领域的普通技术人员将能够从以上的描述类推出如图 9 至 14 中所示的半导体器件 2 至 6 的制造方法。

[0102] 例如,在如图 9 所示的半导体器件 2 的情况下,如图 9 中所示的第一和第二有源鳍 F1 和 F2 可以通过如下形成:通过外延生长工艺在衬底 101 上形成半导体有源层,在所形成的半导体有源层上顺序地层叠图 17 中的衬垫绝缘膜 142 和图 17 中的硬掩模膜 144,通过图案化图 17 中的硬掩模膜 144 而形成图 18 中的硬掩模膜图案 144a,以及利用图 18 中的硬掩模膜图案 144a 作为掩模蚀刻半导体有源层。

[0103] 另外,由于如图 10 至图 14 中所示的半导体器件 3 至 6 的制造方法也可以按类似方式容易地类推,因此省略其详细解释。

[0104] 图 23 是包括根据本发明的一些实施方式的半导体器件的电子系统的框图。

[0105] 参照图 23,根据本发明的实施方式的电子系统 1100 可以包括控制器 1110、输入/输出(I/O)装置 1120、存储器 1130、接口 1140 以及总线 1150。控制器 1110、I/O 装置 1120、存储器 1130、和/或接口 1140 可以通过总线 1150 彼此联接。总线 1150 对应于数据通过其传输的路径。

[0106] 控制器 1110 可以包括微处理器、数字信号处理器、微控制器以及能够执行类似功能的逻辑元件中的至少一种。I/O 装置 1120 可以包括键板、键盘和显示装置。存储器 1130 可以存储数据和/或指令。接口 1140 可以用以将数据发送到通信网络或者从通信网络接

收数据。接口 1140 可以为有线的或无线的类型。例如,接口 1140 可以包括天线或有线 / 无线收发器。虽然没有示出,但是电子系统 1100 可以进一步包括高速 DRAM 和 / 或 SRAM 作为操作存储器,以改善控制器 1110 的操作。根据本发明的实施方式的鳍场效应晶体管可以设置在存储器 1130 内或者可以作为控制器 1110 和 I/O 装置 1120 的一部分而提供。

[0107] 电子系统 1100 可以应用于 PDA (个人数字助理)、便携计算机、上网本、无线电话、移动电话、数字音乐播放器、存储卡、或者能够在无线环境中发送和 / 或接收信息的电子装置。

[0108] 图 24 和图 25 是根据本发明的一些实施方式的半导体器件能够被应用的半导体系统的示例性视图。图 24 示出了平板 PC,而图 25 示出了笔记本 PC。根据本发明的实施方式的半导体器件 1 至 8 中的至少一种可以被用于平板 PC 或者笔记本 PC 中。对于本领域技术人员而言显而易见的是,根据本发明的一些实施方式的半导体器件可以应用于没有被举例的其他集成电路装置中。

[0109] 虽然为了说明的目的已经描述了本发明的实施方式,但是本领域技术人员将理解,在不背离如权利要求书公开的本发明的范围和精髓的前提下,各种修改、添加或者替代都是有可能的。

[0110] 本申请基于并要求 2013 年 5 月 30 日在韩国知识产权局提交的韩国专利申请第 10-2013-0061775 号的优先权,其公开通过引用整体结合于此。

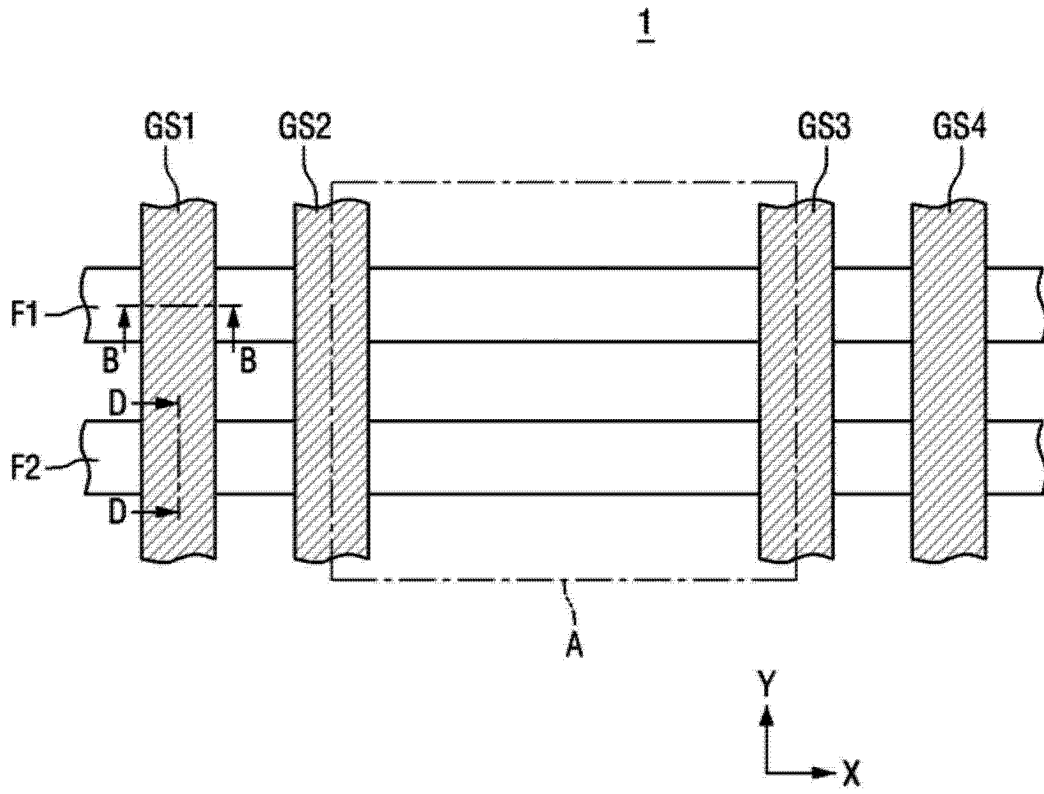


图 1

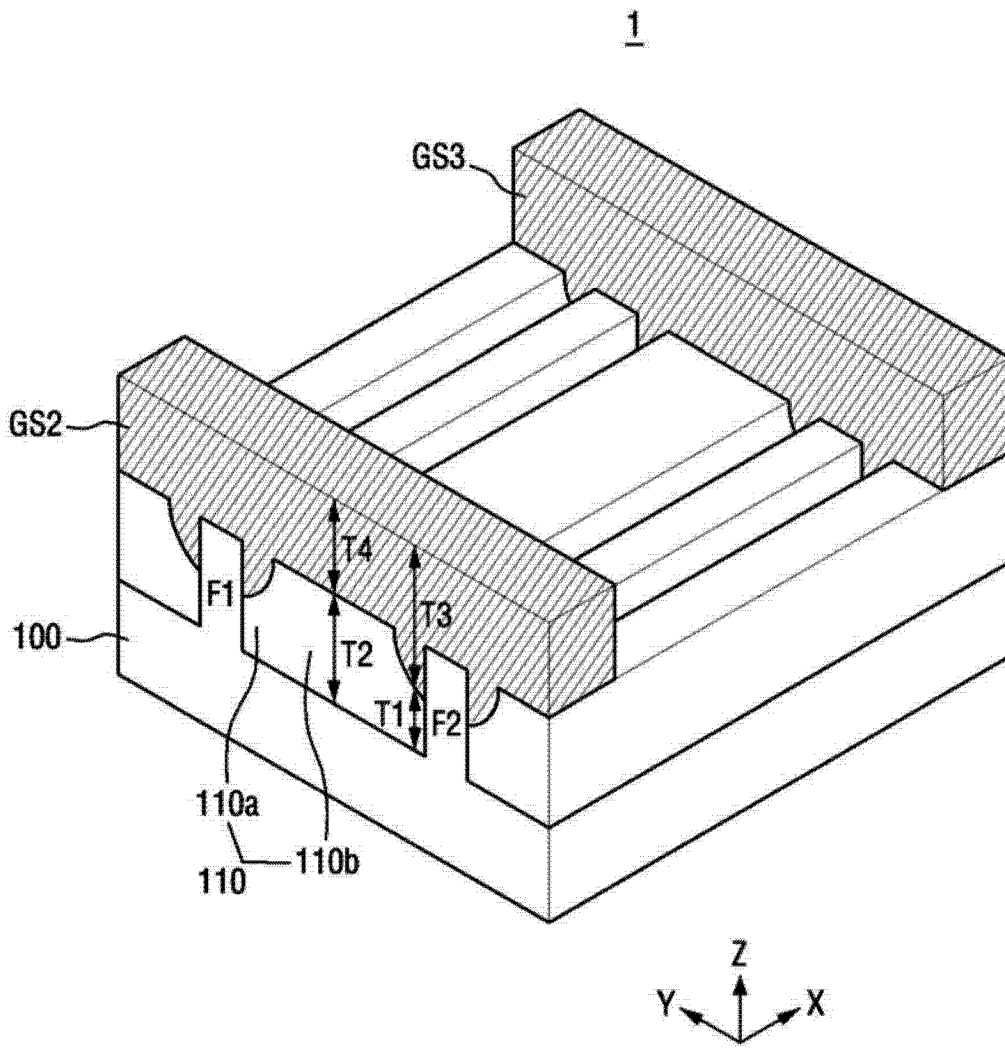


图 2

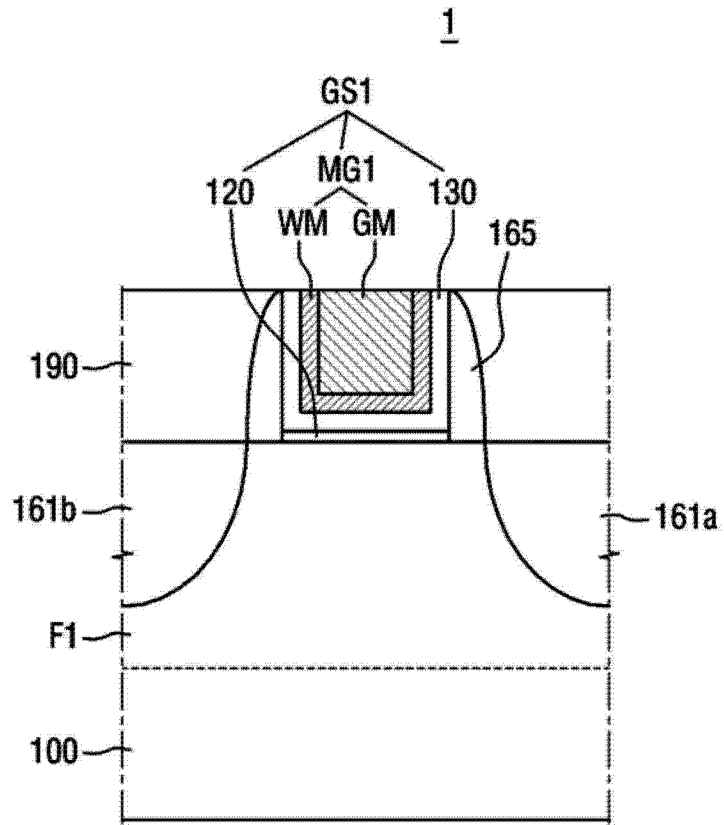


图 3

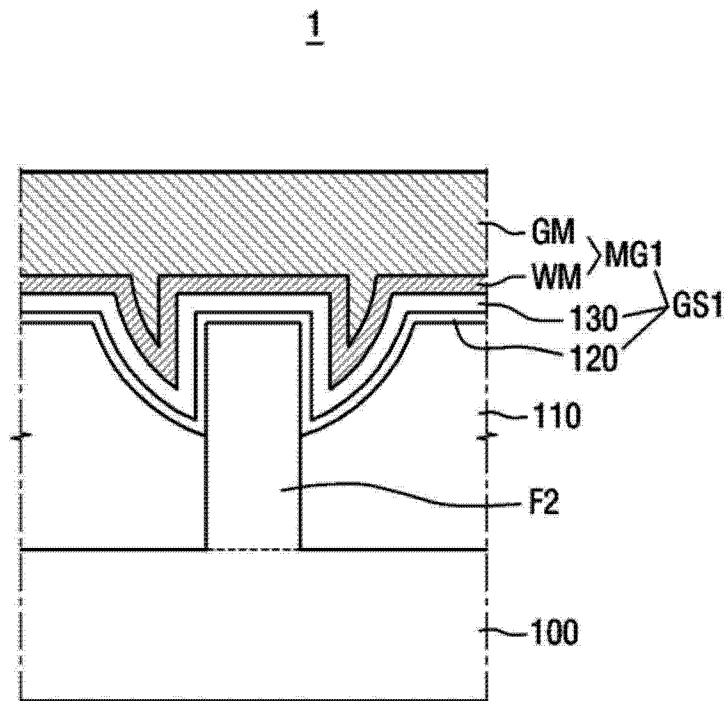


图 4



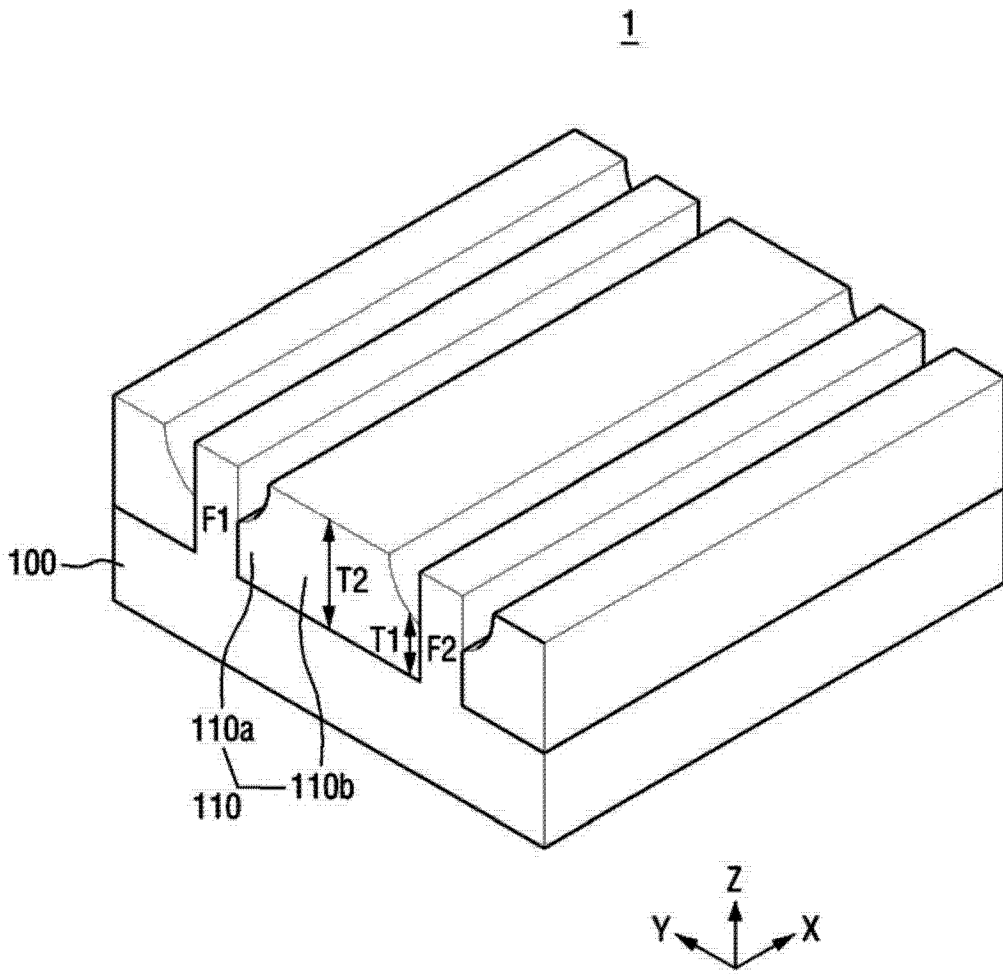


图 5

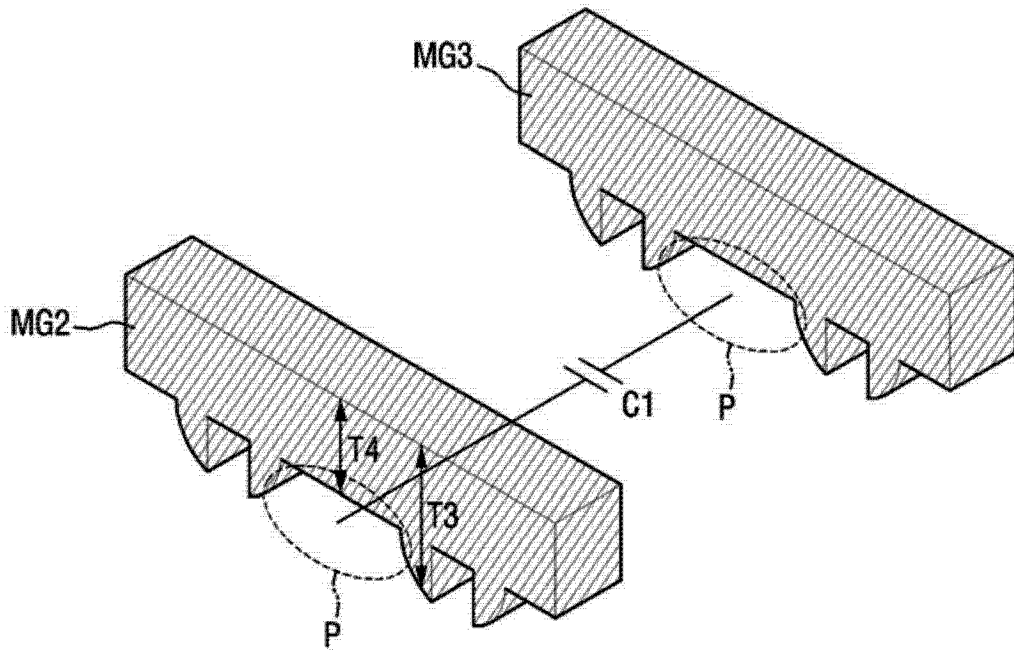


图 6

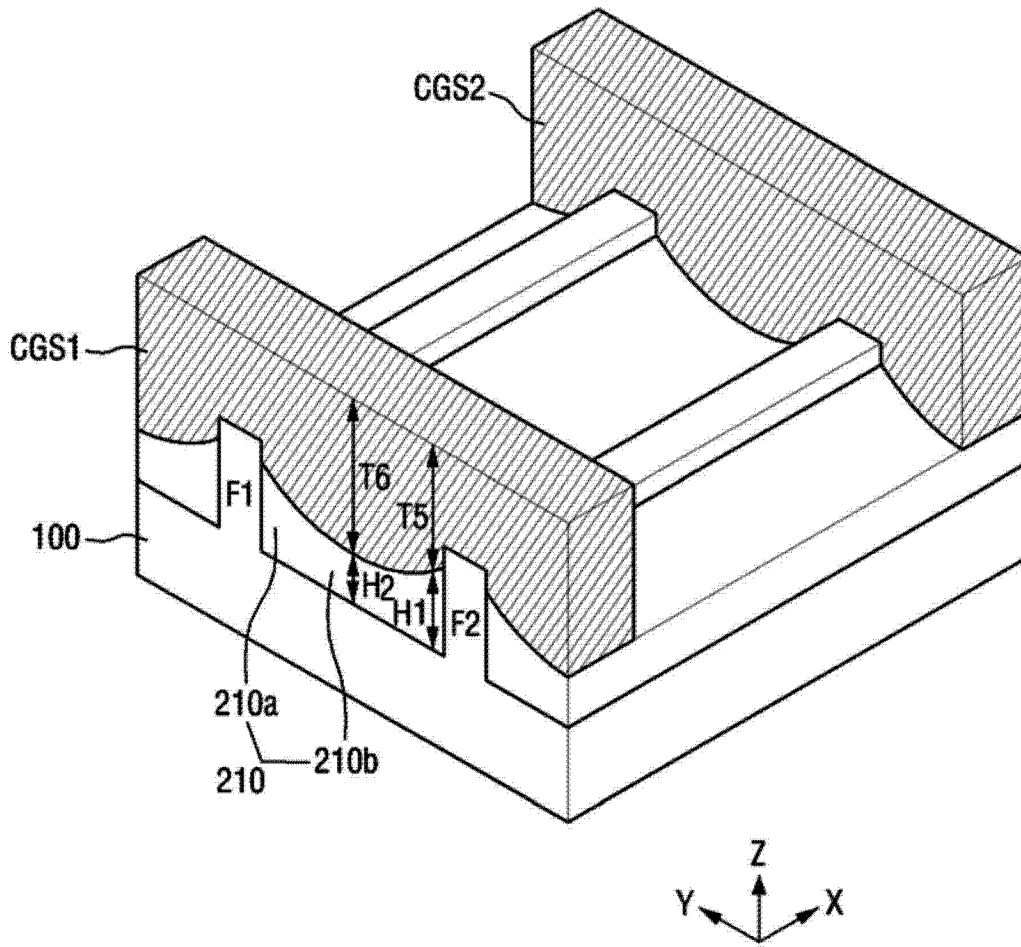


图 7

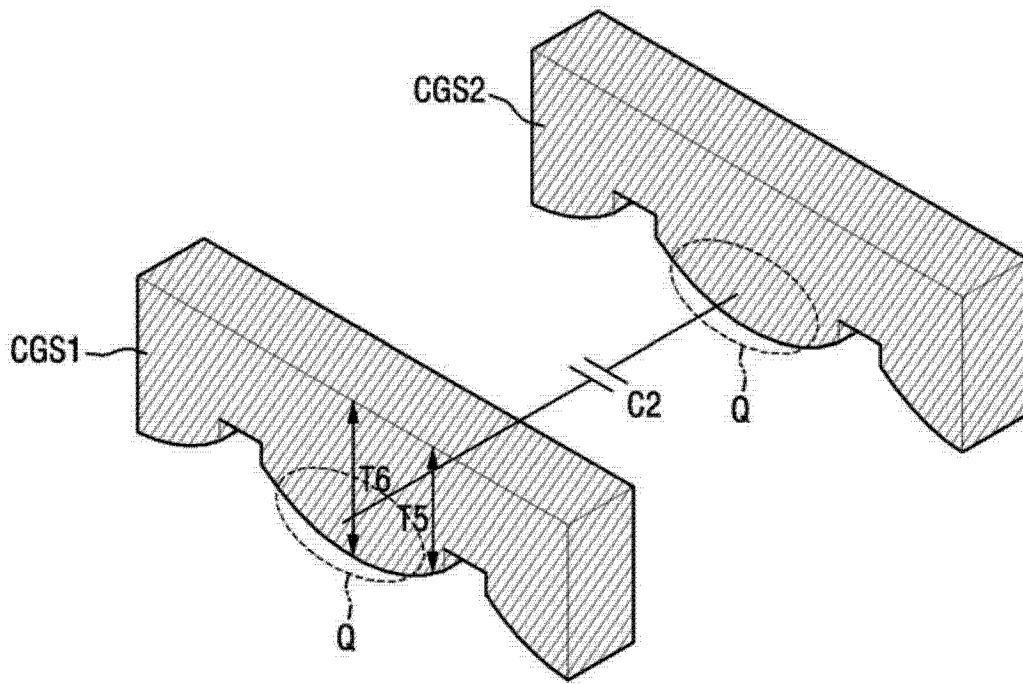


图 8

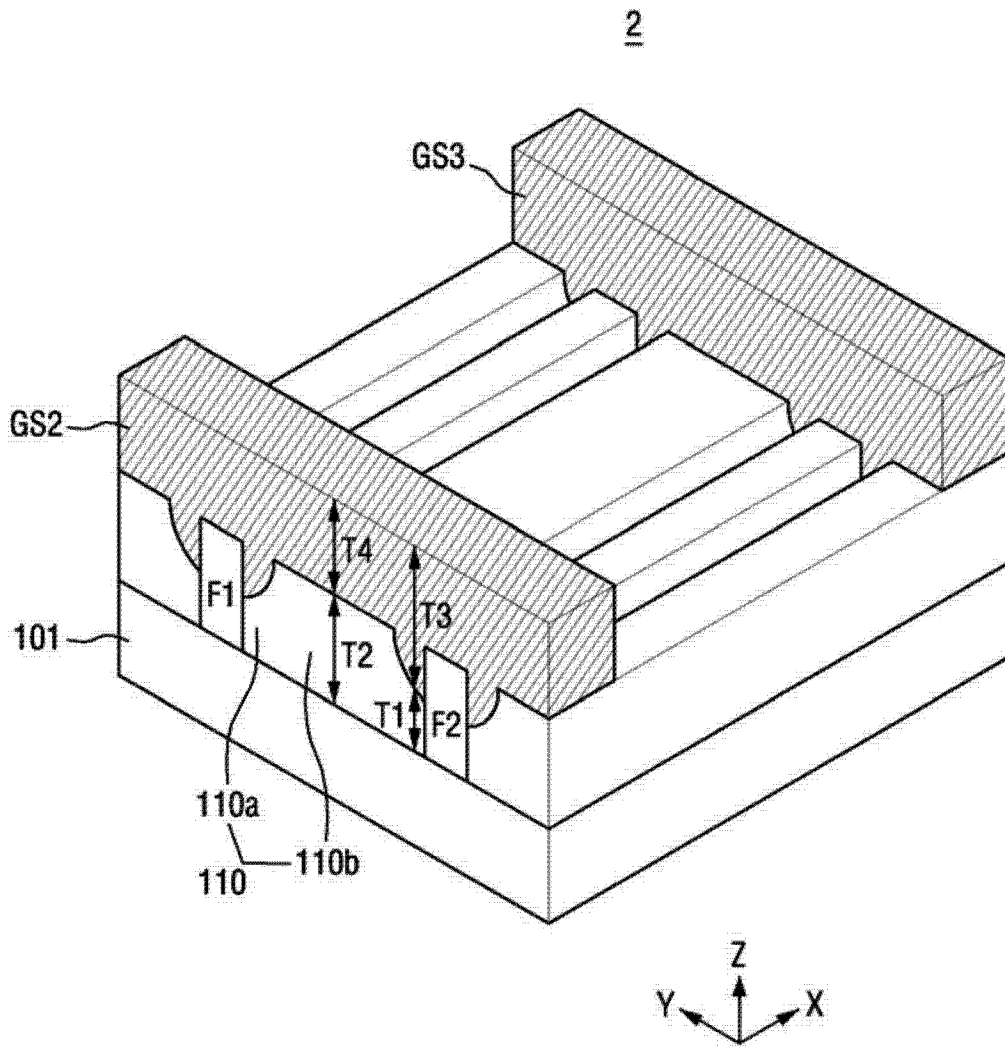


图 9

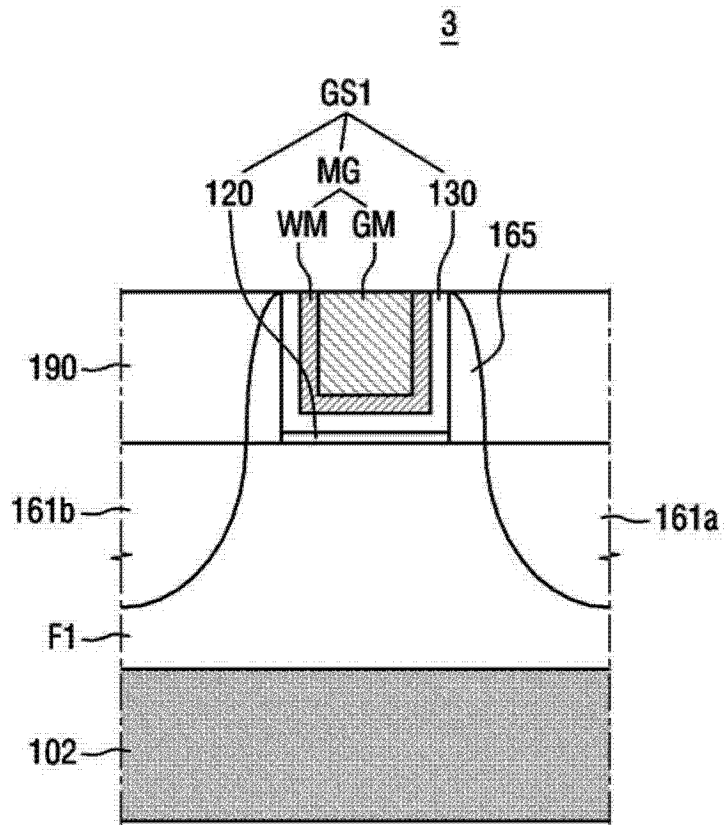


图 10

4

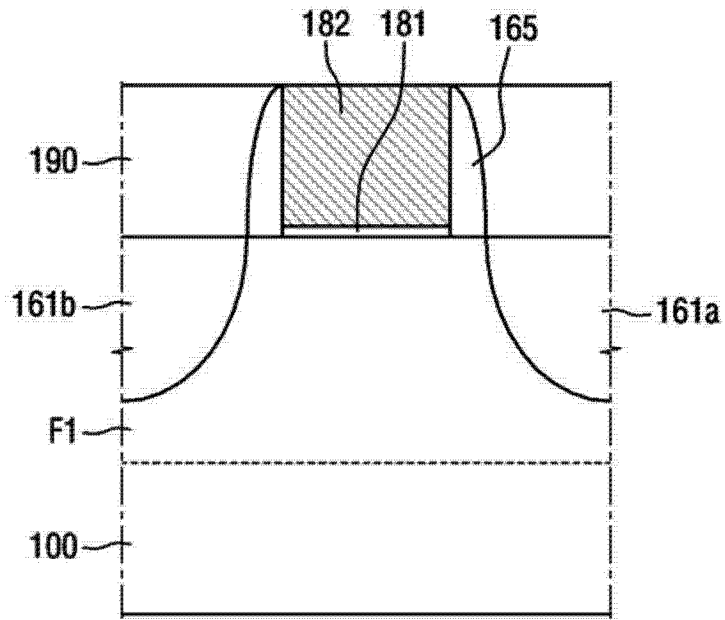


图 11

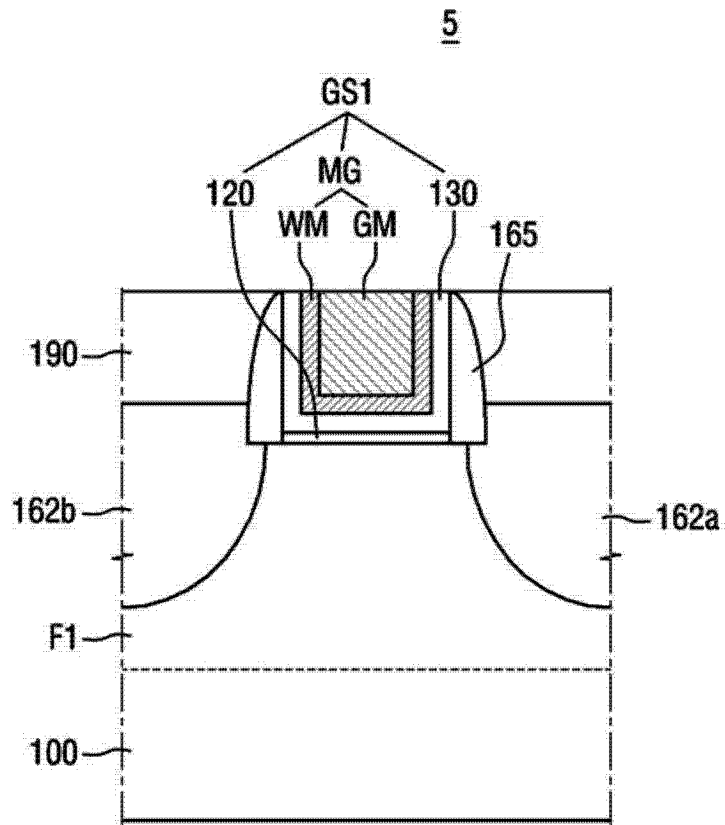


图 12



6

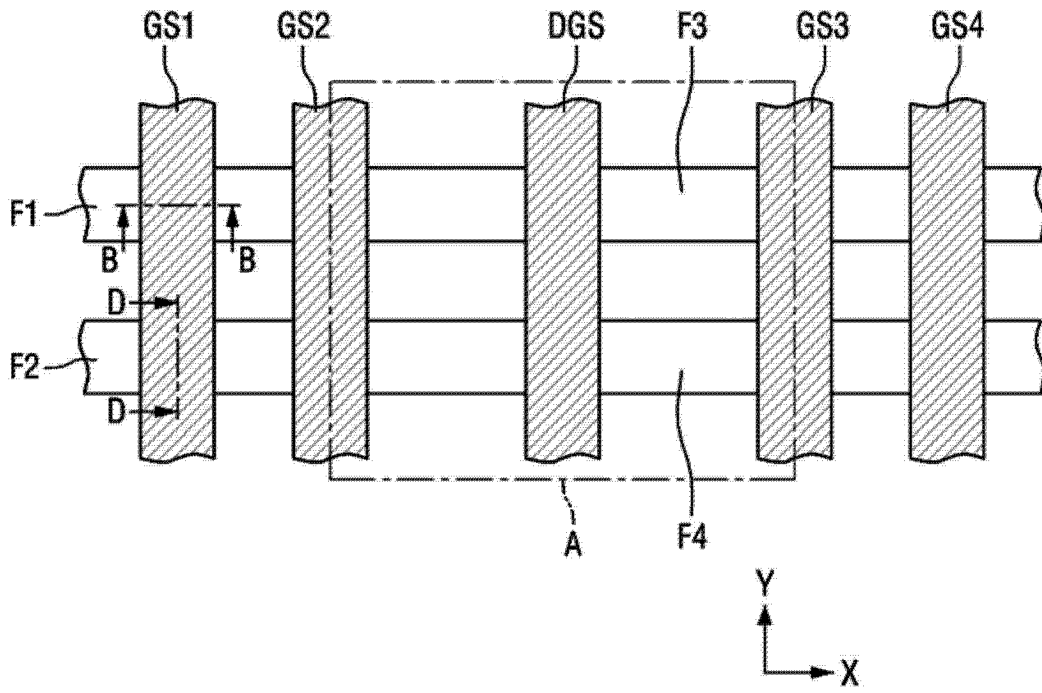


图 13

6

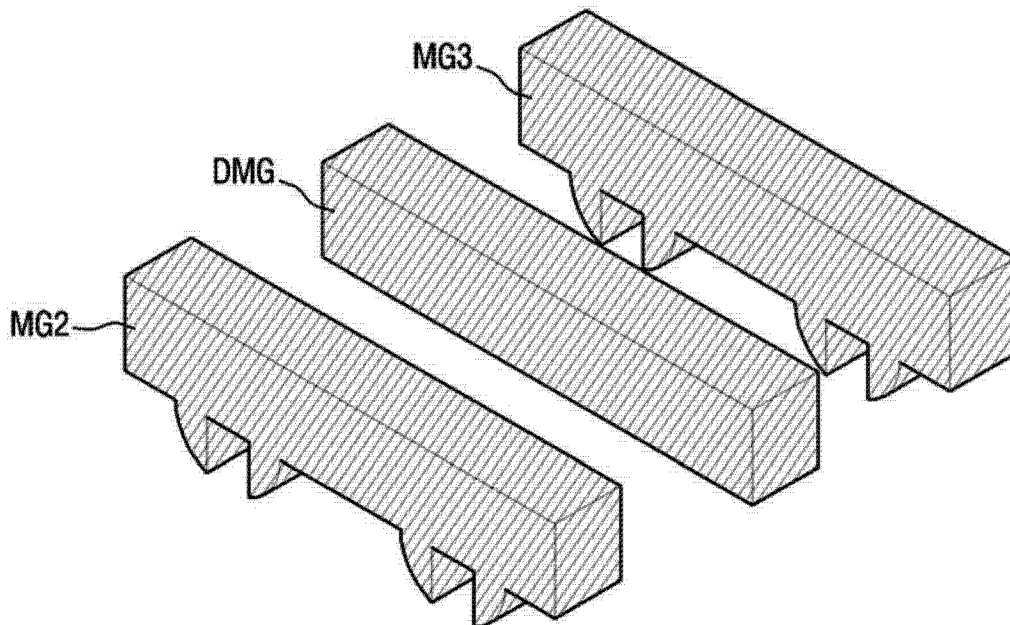


图 14

7

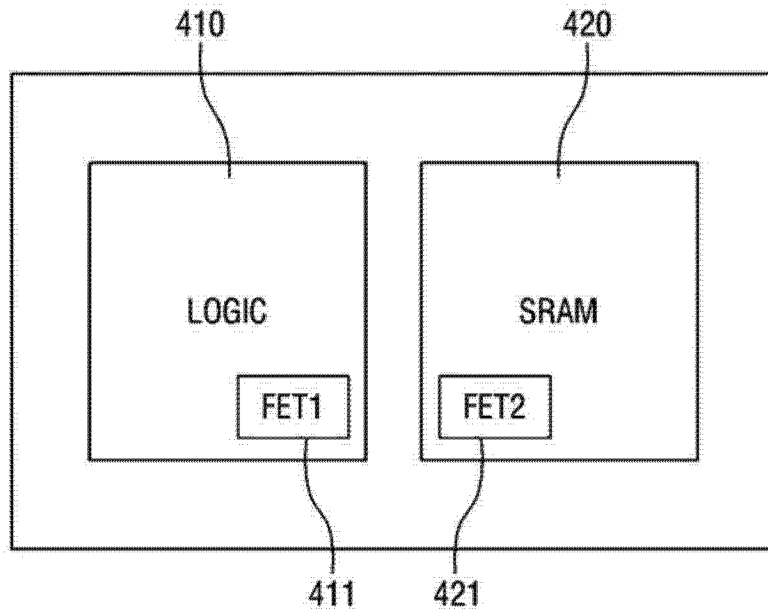


图 15

8

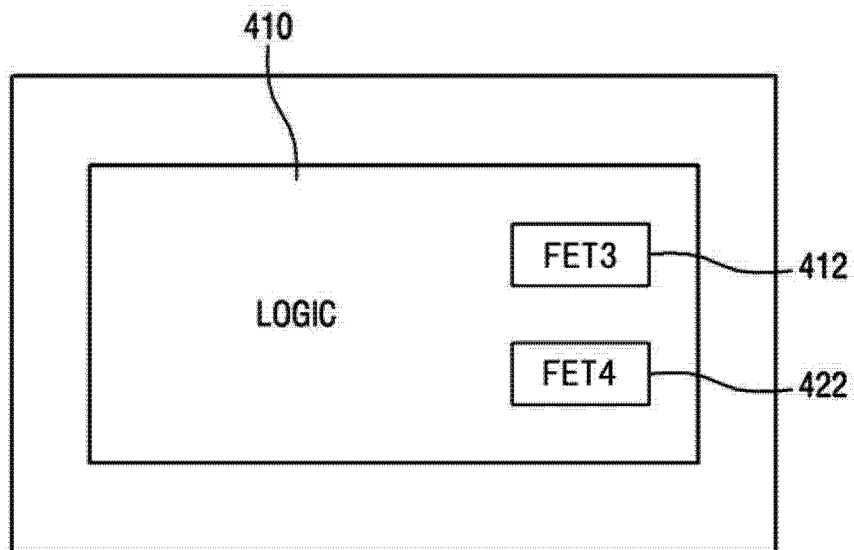


图 16

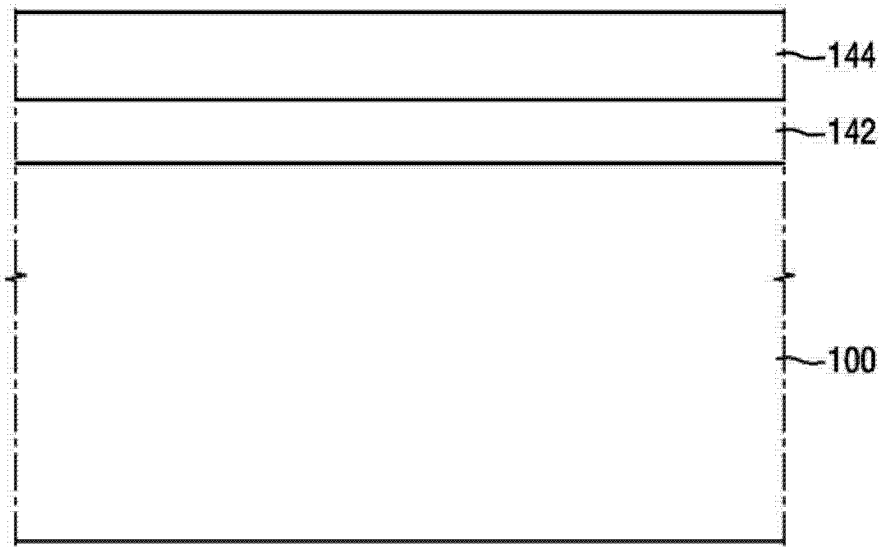


图 17

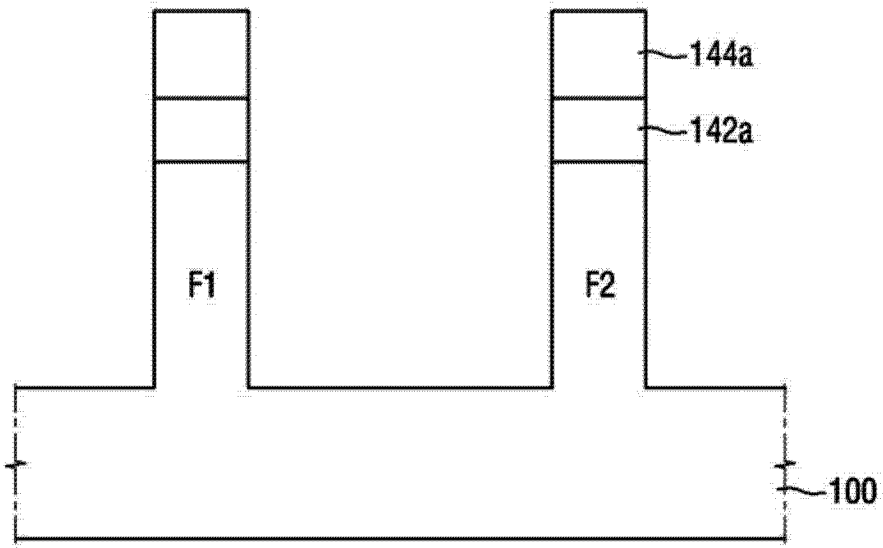


图 18

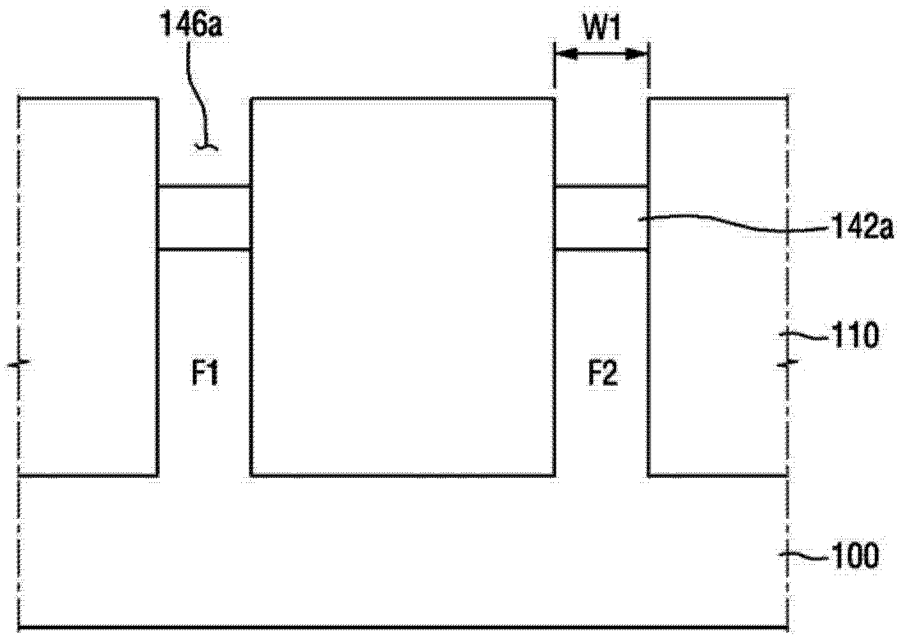


图 19

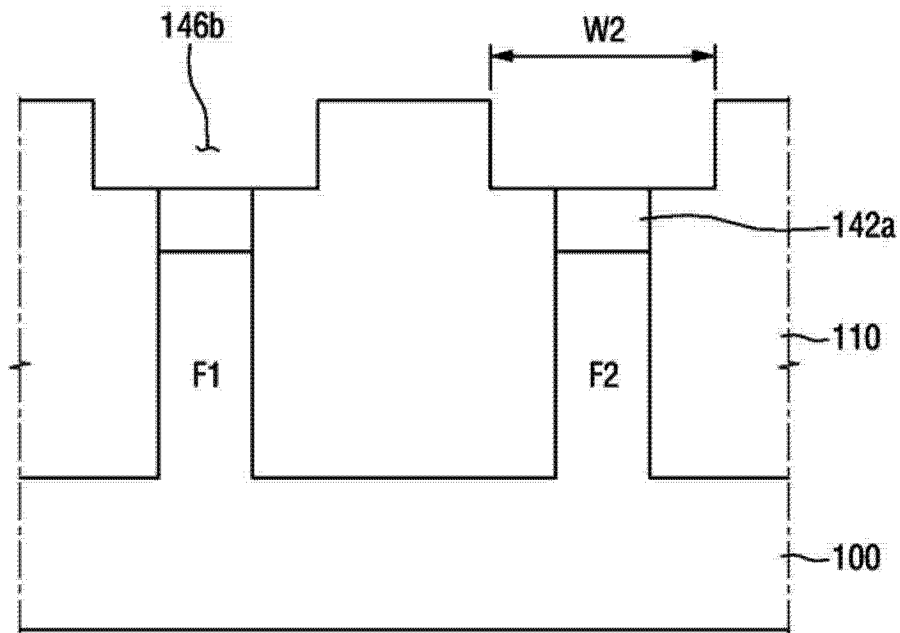


图 20

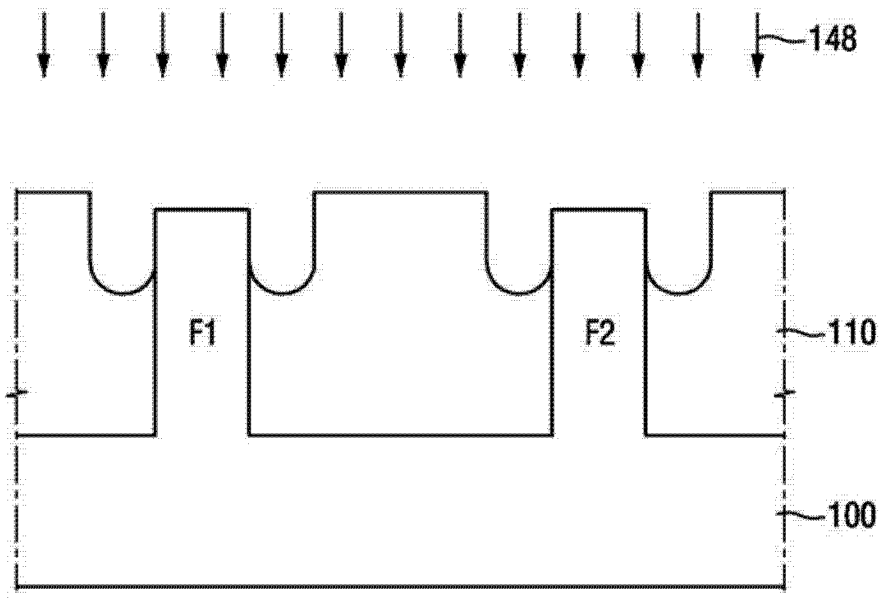


图 21

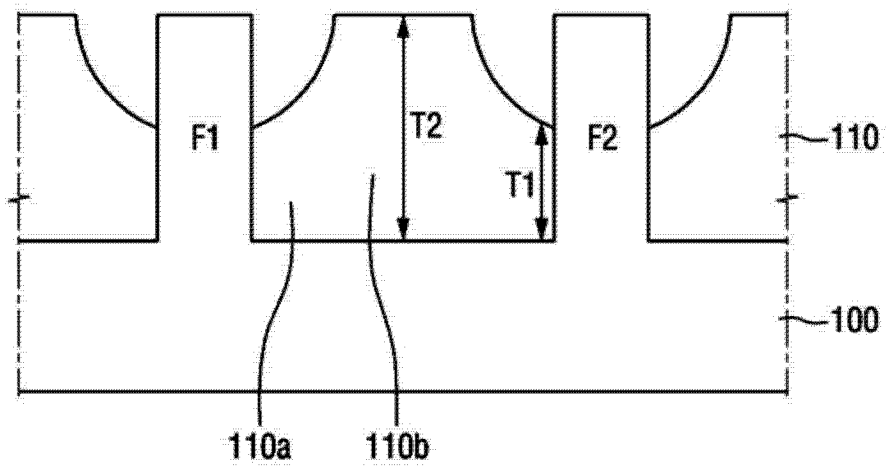


图 22

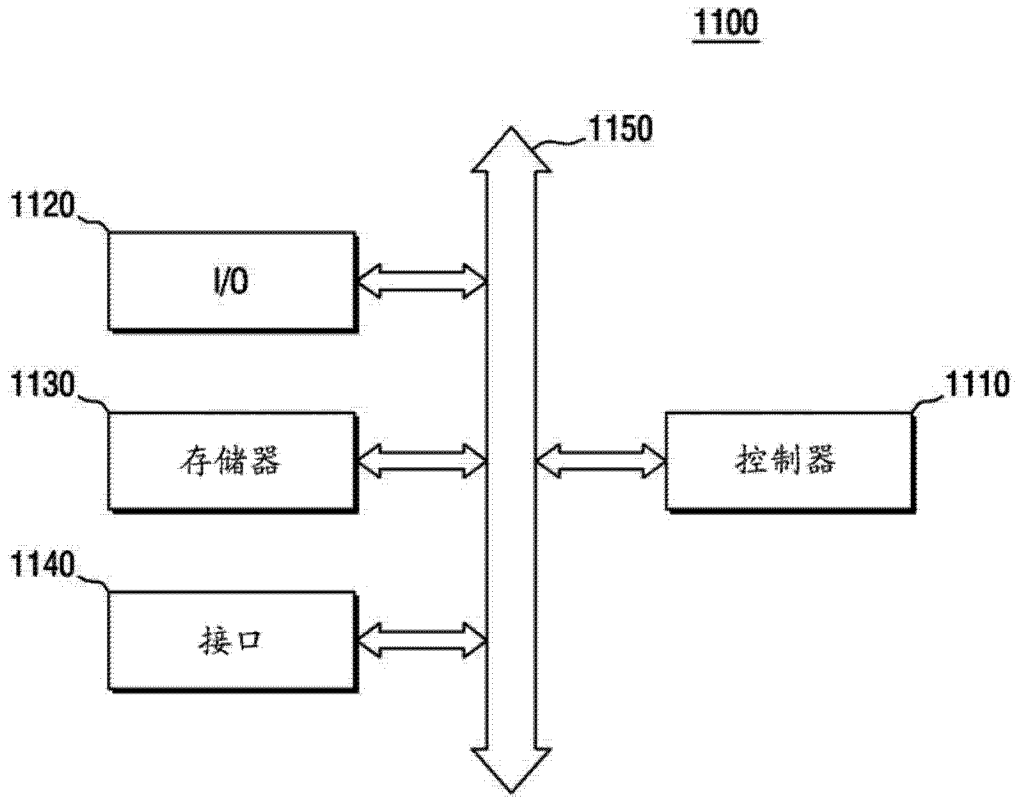


图 23

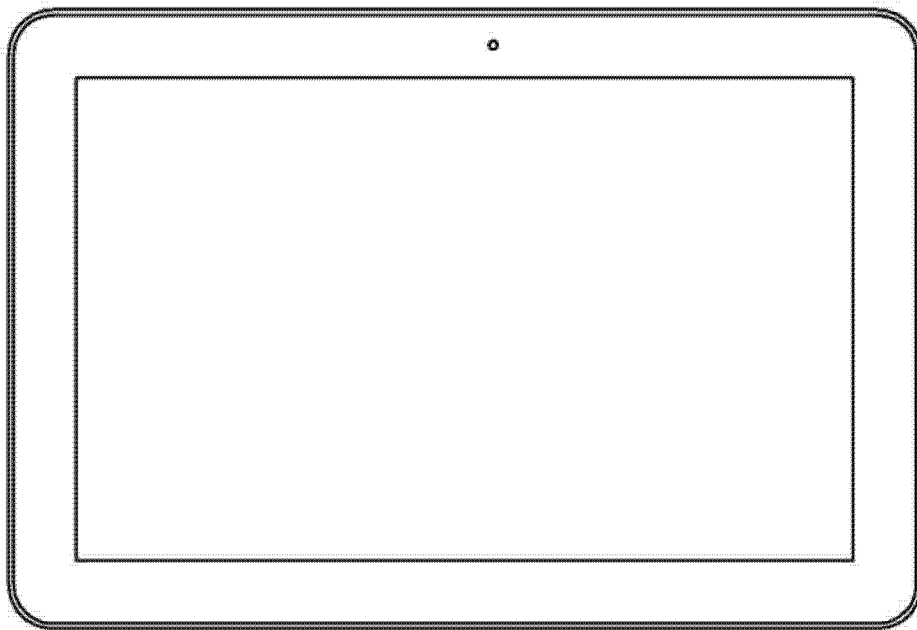


图 24

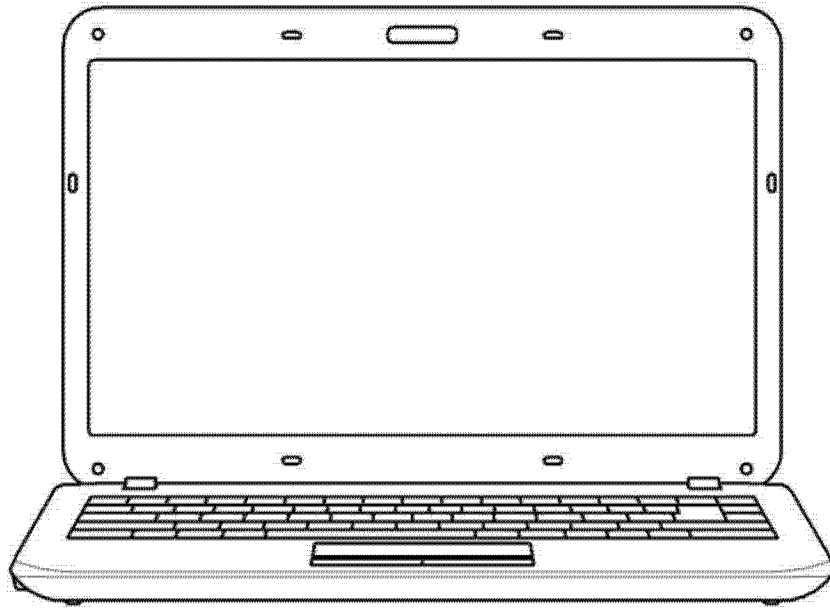


图 25