

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-160088

(P2005-160088A)

(43) 公開日 平成17年6月16日(2005.6.16)

| (51) Int. Cl. ⁷ | F I | テーマコード (参考) |
|----------------------------|------------|-------------|
| H03K 3/356 | H03K 3/356 | 5J001 |
| H03K 3/037 | H03K 3/037 | 5J034 |
| H03K 5/13 | H03K 5/13 | 5J039 |
| H03K 5/151 | H03K 5/15 | 5J043 |

審査請求 未請求 請求項の数 69 O L (全 23 頁)

| | | | |
|--------------|------------------------------|----------|--|
| (21) 出願番号 | 特願2004-337786 (P2004-337786) | (71) 出願人 | 390019839 三星電子株式会社 |
| (22) 出願日 | 平成16年11月22日(2004.11.22) | | |
| (31) 優先権主張番号 | 2003-084965 | (74) 代理人 | 100086368 弁理士 萩原 誠 |
| (32) 優先日 | 平成15年11月27日(2003.11.27) | | |
| (33) 優先権主張国 | 韓国 (KR) | (72) 発明者 | 金 ▲ミン▼ 修 |
| (31) 優先権主張番号 | 2004-018004 | | |
| (32) 優先日 | 平成16年3月17日(2004.3.17) | | |
| (33) 優先権主張国 | 韓国 (KR) | | |
| | | Fターム(参考) | 5J001 AA05 BB12 CC03 DD04 5J034 AB03 AB04 CB01 DB08 5J039 EE01 EE27 KK10 KK13 MM03 MM04 5J043 AA03 AA04 HH01 HH04 JJ10 KK02 KK06 KK10 |

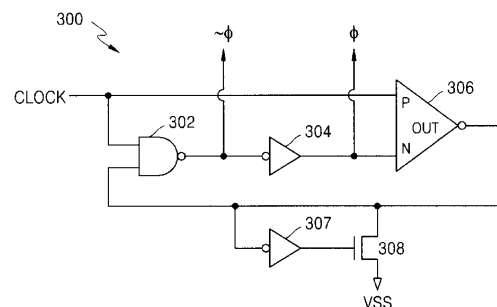
(54) 【発明の名称】 パルススペースフリップフロップ

(57) 【要約】

【課題】パルススペース高速低電力フリップフロップを提供する。

【解決手段】クロック信号にตอบสนองしてデータ入力信号をラッチしてデータ出力信号に変換させるフリップフロップである。第1及び第2クロックパルス信号にตอบสนองしてデータ入力信号をラッチするラッチ部、及びクロック信号を受信して第1及び第2クロックパルス信号を発生させるパルス発生部を含み、パルス発生部はクロック信号及び可変遅延素子の出力を入力して第1クロックパルス信号として出力するNANDゲートと、NANDゲートの出力を入力して第2クロックパルスとして出力する第1インバータと、クロック信号を第1入力信号として、インバータの出力を第2入力信号として受信してその出力信号をNANDゲートにフィードバックさせる可変遅延素子とを含み、パルス発生部は可変遅延素子の出力と接地電圧との間に直列に連結される第1及び第2NMOSトランジスタをさらに含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

クロック信号に応答してデータ入力信号をラッチし、データ出力信号に変換させるフリップフロップにおいて、

第 1 及び第 2 クロックパルス信号に応答して前記データ入力信号をラッチするラッチ部と、

前記クロック信号を受信して前記第 1 及び第 2 クロックパルス信号を発生させるパルス発生部と、を備え、

前記パルス発生部は、

前記クロック信号及び可変遅延素子の出力を受信して前記第 1 クロックパルス信号を出力する NAND ゲートと、

前記 NAND ゲートの出力を受信して前記第 2 クロックパルス信号として出力する第 1 インバータと、

前記クロック信号を第 1 入力信号として、インバータの出力を第 2 入力信号として受信し、その出力信号を前記 NAND ゲートにフィードバックさせる前記可変遅延素子と、を備えることを特徴とするフリップフロップ。

【請求項 2】

前記パルス発生部は、

前記可変遅延素子の出力を受信する第 2 インバータと、

前記可変遅延素子の出力がそのドレインに、接地電圧がそのソースに連結され、前記第 2 インバータの出力がそのゲートに受信される NMOS トランジスタと、をさらに備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 3】

前記パルス発生部は、

前記可変遅延素子の出力を受信する第 2 インバータと、

前記可変遅延素子の出力がそのドレインに連結され、前記クロック信号がそのゲートに受信される第 1 NMOS トランジスタと、

前記第 1 NMOS トランジスタのソースがそのドレインに、接地電圧がそのソースに連結され、前記第 2 インバータの出力がそのゲートに受信される第 2 NMOS トランジスタと、をさらに備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 4】

前記可変遅延素子は、

電源電圧がそのソースに、前記出力信号がそのドレインに連結され、前記第 1 入力信号がそのゲートに受信される PMOS トランジスタと、

接地電圧がそのソースに、前記 PMOS トランジスタのドレインがそのドレインに連結され、前記第 2 入力信号がそのゲートに受信される NMOS トランジスタと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 5】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第 1 入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結される PMOS トランジスタと、

前記電源電圧がそのゲートに受信されて前記 PMOS トランジスタのドレインがそのドレインに連結される第 1 NMOS トランジスタと、

接地電圧がそのソースに連結されて前記第 2 入力信号がそのゲートに受信され、前記第 1 NMOS トランジスタのソースがそのドレインに連結される第 2 NMOS トランジスタと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 6】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第 1 入力信号がそのゲートに受信される PMOS トランジスタと、

10

20

30

40

50

接地電圧がそのソースに連結されて前記第 2 入力信号がそのゲートに受信され、前記 P M O S トランジスタのドレインがそのドレインに連結される N M O S トランジスタと、
前記 P M O S トランジスタのドレイン及び前記 N M O S トランジスタのドレインを受信する第 3 インバータと、

前記第 3 インバータの出力を受信して前記出力信号を出力する第 4 インバータと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 7】

前記可変遅延素子は、

前記第 2 入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力を入力する第 4 インバータと、

電源電圧がそのソースに連結されて前記第 1 入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結される P M O S トランジスタと、

接地電圧がそのソースに連結されて前記第 2 インバータの出力がそのゲートに受信され、前記出力信号がそのドレインに連結される N M O S トランジスタと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 8】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第 1 入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結される P M O S トランジスタと、

前記第 2 入力信号がそのゲートに受信されて前記 P M O S トランジスタのドレインがそのドレインに連結される第 1 N M O S トランジスタと、

前記第 2 入力信号がそのゲートに受信されて前記第 1 N M O S トランジスタのソースがそのドレインに連結され、接地電圧がそのソースに連結される第 2 N M O S トランジスタと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 9】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に応答してデータ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力を入力する第 4 インバータと、

前記第 1 及び第 2 クロックパルス信号に応答して第 4 インバータの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 5 インバータと、

前記第 3 インバータの出力を入力して前記データ出力信号として出力する第 6 インバータと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 10】

前記ラッチ部は、

前記データ入力信号及び反転されたスキャンイネーブル信号を入力する第 1 A N D ゲートと、

スキャン入力信号及び前記スキャンイネーブル信号を入力する第 2 A N D ゲートと、

前記第 1 及び第 2 クロックパルス信号に応答して第 1 及び第 2 A N D ゲートの出力を入力する N O R ゲートと、

前記 N O R ゲートの出力を入力する第 3 インバータと、

前記第 1 及び第 2 クロックパルス信号に応答して第 3 インバータの出力を入力し、その出力が前記 N O R ゲートの出力と連結される第 4 インバータと、

前記 N O R ゲートの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 11】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に応答して前記データ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力及びセット信号を入力する N A N D ゲートと、

10

20

30

40

50

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記 NAND ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力してデータ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 1 2】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記データ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力とリセット信号を入力する NOR ゲートと、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記 NOR ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力して、前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 1 3】

クロック信号にตอบสนองしてデータ入力信号をラッチし、データ出力信号に変換させるフリップフロップにおいて、

第 1 及び第 2 クロックパルス信号にตอบสนองして前記データ入力信号をラッチするラッチ部と、

前記クロック信号及びイネーブル信号を受信して前記第 1 及び第 2 クロックパルス信号を発生させるパルス発生部と、を備え、

前記パルス発生部は、

前記クロック信号、前記イネーブル信号、可変遅延素子の出力を入力して前記第 1 クロックパルス信号を出力する NAND ゲートと、

前記 NAND ゲートの出力を入力して前記第 2 クロックパルス信号を出力する第 1 インバータと、

前記クロック信号を第 1 入力信号に、インバータの出力を第 2 入力信号に受信して、その出力信号を前記 NAND ゲートにフィードバックさせる前記可変遅延素子と、を備えることを特徴とするフリップフロップ。

【請求項 1 4】

前記パルス発生部は、

前記可変遅延素子の出力を入力する第 2 インバータと、

前記可変遅延素子の出力がそのドレインに連結されて接地電圧がそのソースに連結され、前記第 2 インバータの出力がそのゲートに受信される NMOS トランジスタと、をさらに備えることを特徴とする請求項 1 3 に記載のフリップフロップ。

【請求項 1 5】

前記パルス発生部は、

前記可変遅延素子の出力を入力する第 2 インバータと、

前記可変遅延素子の出力がそのドレインに連結されて前記クロック信号がそのゲートに受信される第 1 NMOS トランジスタと、

前記第 1 NMOS トランジスタのソースがそのドレインに連結されて前記第 2 インバータの出力がそのゲートに受信され、接地電圧がそのソースに連結される第 2 NMOS トランジスタと、をさらに備えることを特徴とする請求項 1 3 に記載のフリップフロップ。

【請求項 1 6】

前記可変遅延素子は、

電源電圧がそのソースに、前記出力信号がそのドレインに連結され、前記第 1 入力信号がそのゲートに受信される PMOS トランジスタと、

接地電圧がそのソースに、前記 PMOS トランジスタのドレインがそのドレインに連結され、前記第 2 入力信号がそのゲートに受信される NMOS トランジスタと、を備えることを特徴とする請求項 1 3 に記載のフリップフロップ。

【請求項 1 7】

10

20

30

40

50

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

前記電源電圧がそのゲートに受信されて前記PMOSトランジスタのドレインがそのドレインに連結される第1NMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2入力信号がそのゲートに受信され、前記第1NMOSトランジスタのソースがそのドレインに連結される第2NMOSトランジスタと、を備えることを特徴とする請求項13に記載のフリップフロップ。

【請求項18】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信されるPMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2入力信号がそのゲートに受信され、前記PMOSトランジスタのドレインがそのドレインに連結されるNMOSトランジスタと、

前記連結されたPMOSトランジスタのドレイン及び前記NMOSトランジスタのドレインが入力される第3インバータと、

前記第3インバータの出力を入力して前記出力信号を出力する第4インバータと、を備えることを特徴とする請求項13に記載のフリップフロップ。

【請求項19】

前記可変遅延素子は、

前記第2入力信号を入力する第3インバータと、

前記第3インバータの出力を入力する第4インバータと、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2インバータの出力がそのゲートに受信され、前記出力信号がそのドレインに連結されるNMOSトランジスタと、を備えることを特徴とする請求項13に記載のフリップフロップ。

【請求項20】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

前記第2入力信号がそのゲートに受信されて前記PMOSトランジスタのドレインがそのドレインに連結される第1NMOSトランジスタと、

前記第2入力信号がそのゲートに受信されて前記第1NMOSトランジスタのソースがそのドレインに連結され、接地電圧がそのソースに連結される第2NMOSトランジスタと、を備えることを特徴とする請求項13に記載のフリップフロップ。

【請求項21】

前記ラッチ部は、

前記第1及び第2クロックパルス信号にตอบสนองしてデータ入力信号を入力する第3インバータと、

前記第3インバータの出力を入力する第4インバータと、

前記第1及び第2クロックパルス信号にตอบสนองして第4インバータの出力を入力し、その出力が前記第3インバータの出力と連結される第5インバータと、

前記第3インバータの出力を入力して前記データ出力信号として出力する第6インバータと、を備えることを特徴とする請求項13に記載のフリップフロップ。

【請求項22】

前記ラッチ部は、

前記データ入力信号及び反転されたスキャンイネーブル信号を入力する第1ANDゲートと、

スキャン入力信号及び前記スキャンイネーブル信号を入力する第2ANDゲートと、

10

20

30

40

50

前記第 1 及び第 2 クロックパルス信号にตอบสนองして第 1 及び第 2 AND ゲートの出力を入力する NOR ゲートと、

前記 NOR ゲートの出力を入力する第 3 インバータと、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして第 3 インバータの出力を入力し、その出力が前記 NOR ゲートの出力と連結される第 4 インバータと、

前記 NOR ゲートの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 1 3 に記載のフリップフロップ。

【請求項 2 3】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記データ入力信号を入力する第 3 インバータと、 10

前記第 3 インバータの出力及びセット信号を入力する NAND ゲートと、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記 NAND ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力してデータ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 1 3 に記載のフリップフロップ。

【請求項 2 4】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記データ入力信号を入力する第 3 インバータと、 20

前記第 3 インバータの出力及びリセット信号を入力する NOR ゲートと、

前記第 1 及び第 2 クロックパルス信号にตอบสนองして前記 NOR ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 1 3 に記載のフリップフロップ。

【請求項 2 5】

クロック信号にตอบสนองしてデータ入力信号をラッチし、データ出力信号に変換させるフリップフロップにおいて、

第 1 及び第 2 クロックパルス信号にตอบสนองして前記データ入力信号をラッチするラッチ部と、 30

前記クロック信号を受信して前記第 1 及び第 2 クロックパルス信号を発生させるパルス発生部と、を備え、

前記パルス発生部は、

前記クロック信号及び可変遅延素子の出力を入力して前記第 1 クロックパルス信号を出力する NOR ゲートと、

前記 NOR ゲートの出力を入力して前記第 2 クロックパルスとして出力する第 1 インバータと、

前記クロック信号を第 1 入力信号として、インバータの出力を第 2 入力信号として受信し、その出力信号を前記 NOR ゲートにフィードバックさせる前記可変遅延素子と、を備えることを特徴とするフリップフロップ。 40

【請求項 2 6】

前記パルス発生部は、

前記可変遅延素子の出力を受信する第 2 インバータと、

前記可変遅延素子の出力がそのドレインに連結されて電源電圧がそのソースに連結され、前記第 2 インバータの出力がそのゲートに受信される PMOS トランジスタと、をさらに備えることを特徴とする請求項 2 5 に記載のフリップフロップ。

【請求項 2 7】

前記パルス発生部は、

前記可変遅延素子の出力を受信する第 2 インバータと、

前記可変遅延素子の出力がそのドレインに連結され、前記クロック信号がそのゲートに 50

受信される第1PMOSトランジスタと、

前記第1PMOSトランジスタのソースがそのドレインに連結されて前記第2インバータの出力がそのゲートに受信され、電源電圧がそのソースに連結される第2PMOSトランジスタと、をさらに備えることを特徴とする請求項25に記載のフリップフロップ。

【請求項28】

前記可変遅延素子は、

電源電圧がそのソースに、前記出力信号がそのドレインに連結され、前記第1入力信号がそのゲートに受信されるPMOSトランジスタと、

接地電圧がそのソースに、前記PMOSトランジスタのドレインがそのドレインに連結され、前記第2入力信号がそのゲートに受信されるNMOSトランジスタと、を備えることを特徴とする請求項25に記載のフリップフロップ。

10

【請求項29】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

前記電源電圧がそのゲートに受信されて前記PMOSトランジスタのドレインがそのドレインに連結される第1NMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2入力信号がそのゲートに受信され、前記第1NMOSトランジスタのソースがそのドレインに連結される第2NMOSトランジスタと、を備えることを特徴とする請求項25に記載のフリップフロップ。

20

【請求項30】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信されるPMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2入力信号がそのゲートに受信され、前記PMOSトランジスタのドレインがそのドレインに連結されるNMOSトランジスタと、

前記連結されたPMOSトランジスタのドレイン及び前記NMOSトランジスタのドレインが入力される第3インバータと、

前記第3インバータの出力を入力して前記出力信号を出力する第4インバータと、を備えることを特徴とする請求項25に記載のフリップフロップ。

30

【請求項31】

前記可変遅延素子は、

前記第2入力信号を入力する第3インバータと、

前記第3インバータの出力を入力する第4インバータと、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2インバータの出力がそのゲートに受信され、前記出力信号がそのドレインに連結されるNMOSトランジスタと、を備えることを特徴とする請求項25に記載のフリップフロップ。

【請求項32】

40

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

前記第2入力信号がそのゲートに受信されて前記PMOSトランジスタのドレインがそのドレインに連結される第1NMOSトランジスタと、

前記第2入力信号がそのゲートに受信されて前記第1NMOSトランジスタのソースがそのドレインに連結され、接地電圧がそのソースに連結される第2NMOSトランジスタと、を備えることを特徴とする請求項25に記載のフリップフロップ。

【請求項33】

前記ラッチ部は、

50

前記第 1 及び第 2 クロックパルス信号に 응답してデータ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力を入力する第 4 インバータと、

前記第 1 及び第 2 クロックパルス信号に 응답して第 4 インバータの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 5 インバータと、

前記第 3 インバータの出力を入力して前記データ出力信号として出力する第 6 インバータと、を備えることを特徴とする請求項 25 に記載のフリップフロップ。

【請求項 34】

前記ラッチ部は、

前記データ入力信号及び反転されたスキャンイネーブル信号を入力する第 1 AND ゲートと、

スキャン入力信号及び前記スキャンイネーブル信号を入力する第 2 AND ゲートと、

前記第 1 及び第 2 クロックパルス信号に 응답して第 1 及び第 2 AND ゲートの出力を入力する NOR ゲートと、

前記 NOR ゲートの出力を入力する第 3 インバータと、

前記第 1 及び第 2 クロックパルス信号に 응답して第 3 インバータの出力を入力し、その出力が前記 NOR ゲートの出力と連結される第 4 インバータと、

前記 NOR ゲートの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 25 に記載のフリップフロップ。

【請求項 35】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に 응답して前記データ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力及びセット信号を入力する NAND ゲートと、

前記第 1 及び第 2 クロックパルス信号に 응답して前記 NAND ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力してデータ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 25 に記載のフリップフロップ。

【請求項 36】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に 응답して前記データ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力及びリセット信号を入力する NOR ゲートと、

前記第 1 及び第 2 クロックパルス信号に 응답して前記 NOR ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 25 に記載のフリップフロップ。

【請求項 37】

クロック信号に 응답してデータ入力信号をラッチし、データ出力信号に変換させるフリップフロップにおいて、

第 1 及び第 2 クロックパルス信号に 응답して前記データ入力信号をラッチするラッチ部と、

前記クロック信号及びイネーブル信号を受信して前記第 1 及び第 2 クロックパルス信号を発生させるパルス発生部と、を備え、

前記パルス発生部は、

前記クロック信号、前記イネーブル信号及び可変遅延素子の出力を入力して前記第 1 クロックパルス信号を出力する NOR ゲートと、

前記 NOR ゲートの出力を入力して前記第 2 クロックパルスとして出力する第 1 インバータと、

前記クロック信号を第 1 入力信号として、インバータの出力を第 2 入力信号として受信

し、その出力信号を前記NORゲートにフィードバックさせる前記可変遅延素子と、を備えることを特徴とするフリップフロップ。

【請求項38】

前記パルス発生部は、

前記可変遅延素子の出力を受信する第2インバータと、

前記可変遅延素子の出力がそのドレインに連結されて電源電圧がそのソースに連結され、前記第2インバータの出力がそのゲートに受信されるPMOSトランジスタと、をさらに備えることを特徴とする請求項37に記載のフリップフロップ。

【請求項39】

前記パルス発生部は、

前記可変遅延素子の出力を受信する第2インバータと、

前記可変遅延素子の出力がそのドレインに連結されて前記クロック信号がそのゲートに受信される第1PMOSトランジスタと、

前記第1PMOSトランジスタのソースがそのドレインに連結されて前記第2インバータの出力がそのゲートに受信され、電源電圧がそのソースに連結される第2PMOSトランジスタと、をさらに備えることを特徴とする請求項37に記載のフリップフロップ。

【請求項40】

前記可変遅延素子は、

電源電圧がそのソースに、前記出力信号がそのドレインに連結され、前記第1入力信号がそのゲートに受信されるPMOSトランジスタと、

接地電圧がそのソースに、前記PMOSトランジスタのドレインがそのドレインに連結され、前記第2入力信号がそのゲートに受信されるNMOSトランジスタと、を備えることを特徴とする請求項37に記載のフリップフロップ。

【請求項41】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

前記電源電圧がそのゲートに受信されて前記PMOSトランジスタのドレインがそのドレインに連結される第1NMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2入力信号がそのゲートに受信され、前記第1NMOSトランジスタのソースがそのドレインに連結される第2NMOSトランジスタと、を備えることを特徴とする請求項37に記載のフリップフロップ。

【請求項42】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信されるPMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2入力信号がそのゲートに受信され、前記PMOSトランジスタのドレインがそのドレインに連結されるNMOSトランジスタと、

前記連結されたPMOSトランジスタのドレイン及び前記NMOSトランジスタのドレインが入力される第3インバータと、

前記第3インバータの出力を入力して前記出力信号を出力する第4インバータと、を備えることを特徴とする請求項37に記載のフリップフロップ。

【請求項43】

前記可変遅延素子は、

前記第2入力信号を入力する第3インバータと、

前記第3インバータの出力を入力する第4インバータと、

電源電圧がそのソースに連結されて前記第1入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結されるPMOSトランジスタと、

接地電圧がそのソースに連結されて前記第2インバータの出力がそのゲートに受信され、前記出力信号がそのドレインに連結されるNMOSトランジスタと、を備えることを特

10

20

30

40

50

徴とする請求項 37 に記載のフリップフロップ。

【請求項 44】

前記可変遅延素子は、

電源電圧がそのソースに連結されて前記第 1 入力信号がそのゲートに受信され、前記出力信号がそのドレインに連結される P M O S トランジスタと、

前記第 2 入力信号がそのゲートに受信されて前記 P M O S トランジスタのドレインがそのドレインに連結される第 1 N M O S トランジスタと、

前記第 2 入力信号がそのゲートに受信されて前記第 1 N M O S トランジスタのソースがそのドレインに連結され、接地電圧がそのソースに連結される第 2 N M O S トランジスタと、を備えることを特徴とする請求項 37 に記載のフリップフロップ。

10

【請求項 45】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に 응답してデータ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力を入力する第 4 インバータと、

前記第 1 及び第 2 クロックパルス信号に 응답して第 4 インバータの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 5 インバータと、

前記第 3 インバータの出力を入力して前記データ出力信号として出力する第 6 インバータと、を備えることを特徴とする請求項 37 に記載のフリップフロップ。

【請求項 46】

20

前記ラッチ部は、

前記データ入力信号及び反転されたスキャンイネーブル信号を入力する第 1 A N D ゲートと、

スキャン入力信号及び前記スキャンイネーブル信号を入力する第 2 A N D ゲートと、

前記第 1 及び第 2 クロックパルス信号に 응답して第 1 及び第 2 A N D ゲートの出力を入力する N O R ゲートと、

前記 N O R ゲートの出力を入力する第 3 インバータと、

前記第 1 及び第 2 クロックパルス信号に 응답して第 3 インバータの出力を入力し、その出力が前記 N O R ゲートの出力と連結される第 4 インバータと、

前記 N O R ゲートの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 37 に記載のフリップフロップ。

30

【請求項 47】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に 응답して前記データ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力及びセット信号を入力する N A N D ゲートと、

前記第 1 及び第 2 クロックパルス信号に 응답して前記 N A N D ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力してデータ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 37 に記載のフリップフロップ。

40

【請求項 48】

前記ラッチ部は、

前記第 1 及び第 2 クロックパルス信号に 응답して前記データ入力信号を入力する第 3 インバータと、

前記第 3 インバータの出力及びリセット信号を入力する N O R ゲートと、

前記第 1 及び第 2 クロックパルス信号に 응답して前記 N O R ゲートの出力を入力し、その出力が前記第 3 インバータの出力と連結される第 4 インバータと、

前記第 3 インバータの出力を入力して前記データ出力信号として出力する第 5 インバータと、を備えることを特徴とする請求項 37 に記載のフリップフロップ。

【請求項 49】

50

クロック信号を含む少なくとも1つの入力信号を受信して前記クロック信号の第1クロックパルスを出力する第1ロジックゲートと、

前記クロック信号の第1パルスを受信して第2クロックパルスを出力する第1インバータと、

前記クロック信号及び前記クロック信号の第2クロックパルスを受信して前記第1クロックパルス及び前記第2クロックパルスを遅延させる可変遅延素子と、

前記遅延された第1クロックパルス及び前記遅延された第2クロックパルスを受信する第2インバータと、

前記第2インバータの出力を受信して前記第1及び第2クロックパルスが前記クロック信号のエッジで発生するようにし、前記入力信号から遅延された最終出力を発生させる少なくとも1つのトランジスタと、を備えることを特徴とするパルス発生部。 10

【請求項50】

前記第1ロジックゲートは、

NANDゲートであることを特徴とする請求項49に記載のパルス発生部。

【請求項51】

前記第1ロジックゲートは、

イネーブルドNANDゲートであることを特徴とする請求項49に記載のパルス発生部

【請求項52】

前記第1ロジックゲートは、

NORゲートであることを特徴とする請求項49に記載のパルス発生部。 20

【請求項53】

前記第1ロジックゲートは、

イネーブルドNORゲートであることを特徴とする請求項49に記載のパルス発生部。

【請求項54】

前記少なくとも1つのトランジスタは、

前記第2インバータの出力がそのゲートに受信されて接地電圧がそのソースに連結され、前記遅延された第1クロックパルス及び前記遅延された第2クロックパルスがそのドレインに連結されるNMOSトランジスタを備えることを特徴とする請求項50に記載のパルス発生部。 30

【請求項55】

前記少なくとも1つのトランジスタは、

前記遅延された第1クロックパルス及び前記遅延された第2クロックパルスにそのドレインが連結され、前記クロック信号がそのゲートに受信される第1NMOSトランジスタと、

前記第1NMOSトランジスタのソースがそのドレインに連結されて接地電圧がそのソースに連結され、前記第2インバータの出力がそのゲートに受信される第2NMOSトランジスタと、を備えることを特徴とする請求項50に記載のパルス発生部。

【請求項56】

前記少なくとも1つのトランジスタは、

前記第2インバータの出力がそのゲートに受信されて接地電圧がそのソースに連結され、前記遅延された第1クロックパルス及び前記遅延された第2クロックパルスがそのドレインに連結されるNMOSトランジスタを備えることを特徴とする請求項51に記載のパルス発生部。 40

【請求項57】

前記少なくとも1つのトランジスタは、

前記遅延された第1クロックパルス及び前記遅延された第2クロックパルスにそのドレインが連結され、前記クロック信号がそのゲートに受信される第1NMOSトランジスタと、

前記第1NMOSトランジスタのソースがそのドレインに連結されて接地電圧がそのソ 50

ースに連結され、前記第 2 インバータの出力がそのゲートに受信される第 2 N M O S トランジスタと、を備えることを特徴とする請求項 5 1 に記載のパルス発生部。

【請求項 5 8】

前記少なくとも 1 つのトランジスタは、

前記第 2 インバータの出力がそのゲートに受信されて接地電圧がそのソースに連結され、前記遅延された第 1 クロックパルス及び前記遅延された第 2 クロックパルスがそのドレインに連結される N M O S トランジスタを備えることを特徴とする請求項 5 2 に記載のパルス発生部。

【請求項 5 9】

前記少なくとも 1 つのトランジスタは、

前記遅延された第 1 クロックパルス及び前記遅延された第 2 クロックパルスにそのドレインが連結され、前記クロック信号がそのゲートに受信される第 1 N M O S トランジスタと、

前記第 1 N M O S トランジスタのソースがそのドレインに連結されて接地電圧がそのソースに連結され、前記第 2 インバータの出力がそのゲートに受信される第 2 N M O S トランジスタと、を備えることを特徴とする請求項 5 2 に記載のパルス発生部。

【請求項 6 0】

前記少なくとも 1 つのトランジスタは、

前記第 2 インバータの出力がそのゲートに受信されて接地電圧がそのソースに連結され、前記遅延された第 1 クロックパルス及び前記遅延された第 2 クロックパルスがそのドレインに連結される N M O S トランジスタを備えることを特徴とする請求項 5 3 に記載のパルス発生部。

【請求項 6 1】

前記少なくとも 1 つのトランジスタは、

前記遅延された第 1 クロックパルス及び前記遅延された第 2 クロックパルスにそのドレインが連結され、前記クロック信号がそのゲートに受信される第 1 N M O S トランジスタと、

前記第 1 N M O S トランジスタのソースがそのドレインに連結されて接地電圧がそのソースに連結され、前記第 2 インバータの出力がそのゲートに受信される第 2 N M O S トランジスタと、を備えることを特徴とする請求項 5 3 に記載のパルス発生部。

【請求項 6 2】

第 2 クロックパルス及びデータ入力信号を含む少なくとも 1 つの入力信号を受信する第 1 ロジック回路と、

前記第 1 ロジック回路の出力を受信する第 2 ロジック回路と、

第 1 クロックパルスを受信し、前記第 1 クロック信号及び前記第 2 ロジック回路の出力に連結された第 2 出力信号の複写のためにサンプルされた信号を出力する第 1 インバータと、

前記第 1 ロジック回路の出力を受信し、前記遅延された第 1 クロックパルス及び前記遅延された第 2 クロックパルスと同期されるデータ出力を出力する第 2 インバータと、を備えることを特徴とするラッチ。

【請求項 6 3】

前記第 1 ロジック回路は、

インバータであることを特徴とする請求項 6 2 に記載のラッチ。

【請求項 6 4】

前記第 1 ロジック回路は、

少なくとも 1 つの入力信号、データ入力信号を含む少なくとも 1 つの入力信号、及び反転されたスキャンイネーブル信号を受信する第 1 A N D ゲートと、

スキャン入力信号及びスキャンイネーブル信号を受信する第 2 A N D ゲートと、

前記第 1 及び第 2 A N D ゲートの出力、及び第 1 クロックパルスを受信する N O R ゲートと、を備えることを特徴とする請求項 6 2 に記載のラッチ。

10

20

30

40

50

【請求項 65】

前記第2ロジック回路は、
インバータであることを特徴とする請求項62に記載のラッチ。

【請求項 66】

前記第2ロジック回路は、
NANDゲートであることを特徴とする請求項62に記載のラッチ。

【請求項 67】

前記第2ロジック回路は、
NORゲートであることを特徴とする請求項62に記載のラッチ。

【請求項 68】

前記第2ロジック回路は、
インバータであることを特徴とする請求項64に記載のラッチ。

10

【請求項 69】

電源電圧がそのソースに連結されて第1入力信号がそのゲートに受信されるPMOSトランジスタと、

前記PMOSトランジスタのドレインがそのドレインに連結されて第2入力信号がそのゲートに連結され、接地電圧がそのソースに連結されるNMOSトランジスタと、を備え、

前記PMOSトランジスタ及びNMOSトランジスタのドレインが遅延された出力信号として発生することを特徴とする可変遅延素子。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体集積回路に係り、特にパルスベースの高速低電力フリップフロップに関する。

【背景技術】

【0002】

半導体集積回路のうち、デジタル回路におけるデータ記憶素子としてフリップフロップ及びラッチが使われる。フリップフロップは、クロック信号によって決定される時刻から自らの入力信号を標本して自らの出力信号に変換させ、ラッチはクロック信号に関係なく自らの入力信号を連続的に観察し、これを自らの出力信号に変換させる。

30

【0003】

図1は、通常的なパルスベースフリップフロップのブロックダイアグラムを説明する図面である。これを参照すれば、パルスベースフリップフロップ100はパルス発生部120から発生するクロックパルス信号～、～にตอบสนองし、入力データDINを出力データDOUTに変換させるラッチ110を含む。パルスベースフリップフロップ100は、少なくとも4つ以上のゲートで構成されるマスタースレーブフリップフロップに比べ、1つのラッチ110を使用するので動作スピード面や電力消費面に優れる。

【0004】

パルスベースフリップフロップ100でパルス発生部120は図2に示すように、クロック信号CLOCKを入力する直列連結された第1ないし第3インバータ122, 124, 126、クロック信号CLOCK及び第3インバータ126の出力を入力して第1クロックパルス信号～を出力するNANDゲート128、NANDゲート128の出力を入力して第2クロックパルス信号～を出力する第4インバータ130を含む。第1ないし第3インバータ122, 124, 126の遅延時間は、第1及び第2クロックパルス信号～、～のパルス幅を決定する。

40

【0005】

しかし、パルス発生部120は5つのゲートで構成されるので、相対的にチップ面積が大きくなって電力消費が増加し、これは高速動作及び低電力消費を要する回路に用いられる時に考慮せねばならない問題点となる。

50

【発明の開示】**【発明が解決しようとする課題】****【0006】**

本発明の目的は公知のパルス発生部より少ないゲート数で構成されるパルス発生部を実現し、低電力消費及びチップ面積の小さいフリップフロップを提供するところにある。

【課題を解決するための手段】**【0007】**

前記の目的を達成するために、本発明によるフリップフロップは第1及び第2クロックパルス信号にตอบสนองしてデータ入力信号をラッチするラッチ部、及びクロック信号を受信して第1及び第2クロックパルス信号を発生させるパルス発生部を備える。

10

【0008】

本発明の望ましい第1態様によるパルス発生部は、クロック信号及び可変遅延素子の出力を入力して第1クロックパルス信号を出力するNANDゲートと、NANDゲートの出力を入力して第2クロックパルスとして出力する第1インバータと、クロック信号を第1入力信号として、インバータの出力を第2入力信号として受信してその出力信号をNANDゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第2インバータと、可変遅延素子の出力と接地電圧との間に連結されて第2インバータの出力にゲーティングされるNMOSトランジスタとを含む。

【0009】

本発明の望ましい第2態様によるパルス発生部は、クロック信号及び可変遅延素子の出力を入力して第1クロックパルス信号を出力するNANDゲートと、NANDゲートの出力を入力して第2クロックパルスとして出力する第1インバータと、クロック信号を第1入力信号として、インバータの出力を第2入力信号として受信してその出力信号をNANDゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第2インバータと、可変遅延素子の出力がそのドレインに、クロック信号がそのゲートに連結される第1NMOSトランジスタと、第1NMOSトランジスタのソースがそのドレインに、第2インバータの出力がそのゲートに、接地電圧がそのソースに連結される第2NMOSトランジスタと、を含む。

20

【0010】

本発明の望ましい第3態様によるパルス発生部は、クロック信号、イネーブル信号、可変遅延素子の出力を入力して第1クロックパルス信号を出力するNANDゲートと、NANDゲートの出力を入力して第2クロックパルスとして出力する第1インバータと、クロック信号を第1入力信号として、インバータの出力を第2入力信号として受信してその出力信号をNANDゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第2インバータと、可変遅延素子の出力と接地電圧との間に連結されて第2インバータの出力にゲーティングされるNMOSトランジスタとを含む。

30

【0011】

本発明の望ましい第4態様によるパルス発生部は、クロック信号、イネーブル信号、可変遅延素子の出力を入力して第1クロックパルス信号を出力するNANDゲートと、NANDゲートの出力を入力して第2クロックパルスとして出力する第1インバータと、クロック信号を第1入力信号として、インバータの出力を第2入力信号として受信してその出力信号をNANDゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第2インバータと、可変遅延素子の出力がそのドレインに、クロック信号がそのゲートに連結される第1NMOSトランジスタと、第1NMOSトランジスタのソースがそのドレインに、第2インバータの出力がそのゲートに、接地電圧がそのソースに連結される第2NMOSトランジスタとを含む。

40

【0012】

本発明の望ましい第5態様によるパルス発生部は、クロック信号及び可変遅延素子の出力を入力して第1クロックパルス信号を出力するNORゲートと、NORゲートの出力を入力して第2クロックパルスとして出力する第1インバータと、クロック信号を第1入力

50

信号として、インバータの出力を第 2 入力信号として受信してその出力信号を NOR ゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第 2 インバータと、可変遅延素子の出力と電源電圧との間に連結されて第 2 インバータの出力にゲーティングされる PMOS トランジスタとを含む。

【 0 0 1 3 】

本発明の望ましい第 6 態様によるパルス発生部は、クロック信号及び可変遅延素子の出力を入力して第 1 クロックパルス信号を出力する NOR ゲートと、NOR ゲートの出力を入力して第 2 クロックパルスとして出力する第 1 インバータと、クロック信号を第 1 入力信号として、インバータの出力を第 2 入力信号として受信してその出力信号を NOR ゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第 2 インバータと、可変遅延素子の出力がそのドレインに、クロック信号がそのゲートに連結される第 1 PMOS トランジスタと、第 1 PMOS トランジスタのソースがそのドレインに、第 2 インバータの出力がそのゲートに、電源電圧がそのソースに連結される第 2 PMOS トランジスタとを含む。

10

【 0 0 1 4 】

本発明の望ましい第 7 態様によるパルス発生部は、クロック信号、イネーブル信号、可変遅延素子の出力を入力して第 1 クロックパルス信号を出力する NOR ゲートと、NOR ゲートの出力を入力して第 2 クロックパルスとして出力する第 1 インバータと、クロック信号を第 1 入力信号として、インバータの出力を第 2 入力信号として受信してその出力信号を NOR ゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第 2 インバータと、可変遅延素子の出力と電源電圧との間に連結されて第 2 インバータの出力にゲーティングされる PMOS トランジスタとを含む。

20

【 0 0 1 5 】

本発明の望ましい第 8 態様によるパルス発生部は、クロック信号、イネーブル信号、可変遅延素子の出力を入力して第 1 クロックパルス信号を出力する NOR ゲートと、NOR ゲートの出力を入力して第 2 クロックパルスとして出力する第 1 インバータと、クロック信号を第 1 入力信号として、インバータの出力を第 2 入力信号として受信してその出力信号を NOR ゲートにフィードバックさせる可変遅延素子と、可変遅延素子の出力を入力する第 2 インバータと、可変遅延素子の出力がそのドレインに、クロック信号がそのゲートに連結される第 1 PMOS トランジスタと、第 1 PMOS トランジスタのソースがそのドレインに、第 2 インバータの出力がそのゲートに、電源電圧がそのソースに連結される第 2 PMOS トランジスタとを含む。

30

【 発明の効果 】

【 0 0 1 6 】

本発明のパルス発生部によれば、従来のパルス発生部に比べて回路構成ゲートの数を減らして電力減少及び面積減少をもたらす。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施例を例示する添付図面及び添付図面に記載された内容を参照せねばならない。

40

以下、添付した図面を参照して本発明の望ましい実施例を説明することによって、本発明を詳細に説明する。各図面に付された同一参照符号は同一部材を示す。

【 0 0 1 8 】

図 3 は本発明の第 1 実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部 300 はクロック信号 CLOCK に応答して第 1 及び第 2 クロックパルス信号 ~ 、 を発生させるが、クロック信号 CLOCK 及び可変遅延素子 306 の出力を入力する NAND ゲート 302、NAND ゲート 302 の出力を入力するインバータ 304、クロック信号 CLOCK 及びインバータ 304 の出力を入力する可変遅延素子 306 を含む。NAND ゲート 302 の出力は第 1 クロックパルス信号 ~ になり、インバー

50

タ 3 0 4 の出力は第 2 クロックパルス信号 になる。

【 0 0 1 9 】

そして、パルス発生部 3 0 0 は第 2 インバータ 3 0 7 及び N M O S トランジスタ 3 0 8 をさらにも含む。可変遅延素子 3 0 6 の出力は第 2 インバータ 3 0 7 に入力され、第 2 インバータ 3 0 7 の出力は可変遅延素子 3 0 6 の出力と接地電圧 V S S との間に連結される N M O S トランジスタ 3 0 8 のゲートに連結される。第 2 インバータ 3 0 7 及び N M O S トランジスタ 3 0 8 はクロック信号 C L O C K のロジックハイレベル区間の間、可変遅延素子 3 0 6 の出力がフローティングされることを防止するために追加される。

【 0 0 2 0 】

本実施例のパルス発生部 3 0 0 は、従来 5 つのゲートで構成される図 2 に示すパルス発生部 1 2 0 に比べて 3 つのゲートで構成されるので、従来のパルス発生部 1 2 0 に比べて回路構成ゲート数を減らし、電力減少及び面積減少をもたらす。 10

可変遅延素子 3 0 6 は多様に実現されうるが、具体的には図 4 ないし図 8 に示すように、クロック信号 C L O C K を入力する P 入力端子、インバータ 3 0 4 の出力を入力する N 入力端子、その出力端子 O U T で構成される。

【 0 0 2 1 】

図 4 の可変遅延素子 3 0 6 は、電源電圧 V D D と接地電圧 V S S との間に P M O S トランジスタ 4 0 2 と N M O S トランジスタ 4 0 4 とが直列に連結され、P M O S トランジスタ 4 0 2 のゲートが P 入力端子に、N M O S トランジスタ 4 0 4 のゲートが N 入力端子になり、P M O S トランジスタ 4 0 2 及び N M O S トランジスタ 4 0 4 のドレインが出力端子 O U T となる。 20

【 0 0 2 2 】

図 5 の可変遅延素子 3 0 6 は、電源電圧 V D D と接地電圧 V S S との間に P M O S トランジスタ 5 0 2 及び第 1 及び第 2 N M O S トランジスタ 5 0 4 、 5 0 6 が直列に連結され、P M O S トランジスタ 5 0 2 のゲートが P 入力端子になって第 2 N M O S トランジスタ 5 0 6 のゲートには N 入力端子が連結され、P M O S トランジスタ 5 0 2 及び第 1 N M O S トランジスタ 5 0 4 のドレインが出力端子 O U T となる。第 1 N M O S トランジスタ 5 0 4 のゲートには電源電圧 V D D が連結される。

【 0 0 2 3 】

図 6 の可変遅延素子 3 0 6 は、電源電圧 V D D と接地電圧 V S S との間に P M O S トランジスタ 6 0 2 及び N M O S トランジスタ 6 0 4 が直列に連結され、P M O S トランジスタ 6 0 2 及び N M O S トランジスタ 6 0 4 のドレインは第 1 インバータ 6 0 6 の入力に連結され、第 1 インバータ 6 0 6 の出力は第 2 インバータ 6 0 8 の入力に連結される。P M O S トランジスタ 6 0 2 のゲートが P 入力端子に、N M O S トランジスタ 6 0 4 のゲートが N 入力端子になり、第 2 インバータ 6 0 8 の出力が出力端子 O U T となる。 30

【 0 0 2 4 】

図 7 の可変遅延素子 3 0 6 は、N 入力端子を入力する直列連結された第 1 及び第 2 インバータ 7 0 2 、 7 0 4 と、電源電圧 V D D と接地電圧 V S S との間に連結される P M O S トランジスタ 7 0 6 と、N M O S トランジスタ 7 0 8 とを含む。P M O S トランジスタ 7 0 6 のゲートは P 入力端子に、P M O S トランジスタ 7 0 6 及び N M O S トランジスタ 7 0 8 のドレインが出力端子 O U T になり、N M O S トランジスタ 7 0 8 のゲートは第 2 インバータ 7 0 4 の出力に連結される。 40

【 0 0 2 5 】

図 8 の可変遅延素子 3 0 6 は、電源電圧 V D D と接地電圧 V S S との間に直列連結される P M O S トランジスタ 8 0 2 と、第 1 及び第 2 N M O S トランジスタ 8 0 4 、 8 0 6 とを含む。P M O S トランジスタ 8 0 2 のゲートは P 入力端子に、第 1 及び第 2 N M O S トランジスタ 8 0 4 、 8 0 6 のゲートは N 入力端子になり、P M O S トランジスタ 8 0 2 及び第 1 N M O S トランジスタ 8 0 4 のゲートは出力端子 O U T となる。

【 0 0 2 6 】

図 9 ないし図 1 2 は、パルスベースフリップフロップ 1 0 0 (図 1) に用いられるラッ 50

れた時にデータ出力信号DOUTをロジックローレベルにリセットさせる。

【0033】

図13は、本発明の第2実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部1300は図3のパルス発生部300と比較し、可変遅延素子1306の出力と第1NMOSトランジスタ1308との間にクロック信号CLOCKにゲーティングされる第2NMOSトランジスタ1309をさらに含むという点で異なっている。NMOSトランジスタ1309は、図3の可変遅延素子306の出力がロジックハイレベルに上昇する区間でNMOSトランジスタ308がターンオフされるまで、接地電圧VSSに電流経路が形成されることを防止するために追加される。すなわち、クロック信号CLOCKのロジックローレベルによって可変遅延素子1306の出力がロジックハイレ

10

【0034】

図14は、本発明の第1実施例によるパルス発生部300(図3)で発生する第1及び第2クロックパルス信号~、を、代表的に図9のラッチ900に提供した時のパルスベースフリップフロップの動作タイミング図を示す図面である。これを参照すれば、クロック信号CLOCKの上昇エッジによって所定のパルスで発生する第1及び第2クロックパルス信号~、に応答し、データ入力信号DINをデータ出力信号DOUTとして出力する。図14の動作タイミング図は本発明の第2実施例によるパルス発生部1300(図13)と図9のラッチ900とが結合されたパルスベースフリップフロップの動作にも

20

【0035】

図15は、本発明の第3実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部1500はイネーブル信号ENABLEがロジックハイレベルに活性化されれば、図3のパルス発生部300のように動作する。パルス発生部1500は、クロック信号CLOCK、イネーブル信号ENABLE、可変遅延素子1506の出力を入力するNANDゲート1502、NANDゲート1502の出力を入力するインバータ1504、クロック信号CLOCKをP入力端子に、インバータ1504の出力をN入力端子に入力する可変遅延素子1506を含む。NANDゲート1502の出力は第1クロックパルス信号~として発生し、インバータ1504の出力は第2クロックパルス信号

30

【0036】

そして、パルス発生部1500は図3のようにクロック信号CLOCKのロジックハイレベル区間の間、可変遅延素子1506の出力がフローティングされることを防止するために、可変遅延素子1506の出力を入力する第2インバータ1507、及び可変遅延素子1506の出力と接地電圧VSSとの間に連結されて第2インバータ1507の出力にゲーティングされるNMOSトランジスタ1508をさらに含む。可変遅延素子1506は、前記の図4ないし図8で説明した回路のうち、いずれか1つに代替されうる。

【0037】

図16は、本発明の第4実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部1600はイネーブル信号ENABLEがロジックハイレベルに活性化されれば、図13のパルス発生部1300のように動作する。パルス発生部1600はクロック信号CLOCK、イネーブル信号ENABLE、可変遅延素子1606の出力を入力するNANDゲート1602、NANDゲート1602の出力を入力する第1インバータ1604、クロック信号CLOCKをP入力端子に、インバータ1604の出力をN入力端子に入力する可変遅延素子1606を含む。NANDゲート1602の出力は第1クロックパルス信号~として発生し、インバータ1604の出力は第2クロックパルス信号として発生する。

40

【0038】

そして、パルス発生部1600は可変遅延素子1606の出力を入力する第2インバー

50

タ 1 6 0 7、及び可変遅延素子 1 5 0 6 の出力と接地電圧 V S S 間に直列連結された第 1 及び第 2 N M O S トランジスタ 1 6 0 8、1 6 0 9 を含む。第 1 N M O S トランジスタ 1 6 0 8 のゲートは第 2 インバータ 1 6 0 7 の出力に連結され、第 2 N M O S トランジスタ 1 6 0 9 のゲートはクロック信号 C L O C K に連結される。

【 0 0 3 9 】

図 1 7 は、本発明の第 5 実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部 1 7 0 0 はクロック信号 C L O C K 及び可変遅延素子 1 7 0 6 の出力を入力する N O R ゲート 1 7 0 2、N O R ゲート 1 7 0 2 の出力を入力するインバータ 1 7 0 4、クロック信号 C L O C K 及びインバータ 1 7 0 4 の出力を入力する可変遅延素子 1 7 0 6 を含む。N O R ゲート 1 7 0 2 の出力は第 1 クロックパルス信号 ~ に、インバータ 1 7 0 4 の出力は第 2 クロックパルス信号 になる。

10

【 0 0 4 0 】

そして、パルス発生部 1 7 0 0 はクロック信号 C L O C K のロジックローレベル区間の間、可変遅延素子 1 7 0 6 の出力がフローティングされることを防止するために、可変遅延素子 1 7 0 6 の出力を入力する第 2 インバータ 1 7 0 7、及び可変遅延素子 1 7 0 6 の出力と電源電圧 V C C との間に連結されて第 2 インバータ 1 7 0 7 の出力にゲーティングされる P M O S トランジスタ 1 7 0 8 をさらに含む。

【 0 0 4 1 】

図 1 8 は、本発明の第 6 実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部 1 8 0 0 は図 1 7 のパルス発生部 1 7 0 0 と比較して、可変遅延素子 1 8 0 6 の出力と第 1 P M O S トランジスタ 1 8 0 8 との間にクロック信号 C L O C K にゲーティングされる第 2 N M O S トランジスタ 1 8 0 9 をさらに含む点において異なっている。第 2 P M O S トランジスタ 1 8 0 9 は、図 1 7 の可変遅延素子 1 7 0 6 の出力がロジックローレベルに下降する区間で P M O S トランジスタ 1 7 0 8 がターンオフされるまで、電源電圧 V D D から電流経路が形成されることを防止するために追加される。すなわち、クロック信号 C L O C K のロジックハイレベルによって可変遅延素子 1 8 0 6 の出力がロジックローレベルに下降する時に、第 2 P M O S トランジスタ 1 8 0 9 はターンオフされて可変遅延素子 1 8 0 6 の出力と電源電圧 V D D との間の経路が遮断される。

20

【 0 0 4 2 】

図 1 9 は、本発明の第 5 実施例によるパルス発生部 1 7 0 0 (図 1 7) と、例えば、図 9 のラッチ 9 0 0 とを結合したパルスベースフリップフロップの動作タイミング図を説明する図面である。これを参照すれば、クロック信号 C L O C K の下降エッジによって所定のパルスで発生する第 1 及び第 2 クロックパルス信号 ~ 、 ~ に応答し、データ入力信号 D I N をデータ出力信号 D O U T として出力する。そして、図 1 9 の動作タイミング図は、本発明の第 6 実施例によるパルス発生部 1 8 0 0 (図 1 8) と図 9 のラッチ 9 0 0 とが結合されたパルスベースフリップフロップの動作にも同様に適用される。

30

【 0 0 4 3 】

図 2 0 は、本発明の第 7 実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部 2 0 0 0 はイネーブル信号 / E N A B L E がロジックローレベルに活性化されれば、図 1 7 のパルス発生部 1 7 0 0 のように動作する。パルス発生部 2 0 0 0 はクロック信号 C L O C K、イネーブル信号 / E N A B L E、可変遅延素子 2 0 0 6 の出力を入力する N O R ゲート 2 0 0 2、N O R ゲート 2 0 0 2 の出力を入力する第 1 インバータ 2 0 0 4、クロック信号 C L O C K を P 入力端子に、第 1 インバータ 2 0 0 4 の出力を N 入力端子に入力する可変遅延素子 2 0 0 6 を含む。N O R ゲート 2 0 0 2 の出力は第 1 クロックパルス信号 ~ として発生し、第 1 インバータ 2 0 0 4 の出力は第 2 クロックパルス信号 として発生する。

40

【 0 0 4 4 】

そして、パルス発生部 2 0 0 0 は可変遅延素子 2 0 0 6 の出力を入力する第 2 インバータ 2 0 0 7、及び可変遅延素子 2 0 0 6 の出力と電源電圧 V D D との間に連結されて第 2 インバータ 2 0 0 7 の出力にゲーティングされる P M O S トランジスタ 2 0 0 8 をさらに

50

含む。

【0045】

図21は、本発明の第8実施例によるパルス発生部を説明する図面である。これを参照すれば、パルス発生部2100はイネーブル信号ENABLEがロジックハイレベルに活性化されれば、図13のパルス発生部1300のように動作する。パルス発生部2100はクロック信号CLOCK、イネーブル信号/ENABLE、可変遅延素子2106の出力を入力するNORゲート2102、NORゲート2102の出力を入力する第1インバータ2104、クロック信号CLOCKをP入力端子に、第1インバータ2104の出力をN入力端子に入力する可変遅延素子2106を含む。NORゲート2102の出力は第1クロックパルス信号として発生し、第1インバータ2104の出力は第2クロック

10

【0046】

そして、パルス発生部2100は可変遅延素子2106の出力を入力する第2インバータ2107、及び可変遅延素子2106の出力と電源電圧VDDとの間に直列連結される第1及び第2PMOSトランジスタ2108、2109を含む。第1PMOSトランジスタ2108のゲートは第2インバータ2107の出力に連結され、第2PMOSトランジスタ2109のゲートはクロック信号CLOCKに連結される。

【0047】

本発明は図面に示された実施例を参考に説明されたが、これは例示に過ぎず、当業者であればこれより多様な変形及び均等な他の実施例が可能であるという点が理解できるであ

20

【産業上の利用可能性】

【0048】

本発明のパルスベースフリップフロップは、高速低電力の半導体集積回路に適している。

【図面の簡単な説明】

【0049】

【図1】通常的なパルスベースフリップフロップのブロックダイアグラムを説明する図である。

30

【図2】従来の公知のパルス発生部を説明する図である。

【図3】本発明の第1実施例によるパルス発生部を説明する図である。

【図4】図3のパルス発生部に含まれる可変遅延素子を説明する図である。

【図5】図3のパルス発生部に含まれる可変遅延素子を説明する図である。

【図6】図3のパルス発生部に含まれる可変遅延素子を説明する図である。

【図7】図3のパルス発生部に含まれる可変遅延素子を説明する図である。

【図8】図3のパルス発生部に含まれる可変遅延素子を説明する図である。

【図9】図1のパルスベースフリップフロップに含まれるラッチを説明する図である。

【図10】図1のパルスベースフリップフロップに含まれるラッチを説明する図である。

【図11】図1のパルスベースフリップフロップに含まれるラッチを説明する図である。

40

【図12】図1のパルスベースフリップフロップに含まれるラッチを説明する図である。

【図13】本発明の第2実施例によるパルス発生部を説明する図である。

【図14】図3のパルス発生部と図9のラッチとが結合されたパルスベースフリップフロップの動作タイミング図を示す図である。

【図15】本発明の第3実施例によるパルス発生部を説明する図である。

【図16】本発明の第4実施例によるパルス発生部を説明する図である。

【図17】本発明の第5実施例によるパルス発生部を説明する図である。

【図18】本発明の第6実施例によるパルス発生部を説明する図である。

【図19】図17のパルス発生部と図9のラッチとが結合されたパルスベースフリップフロップの動作タイミング図を示す図である。

50

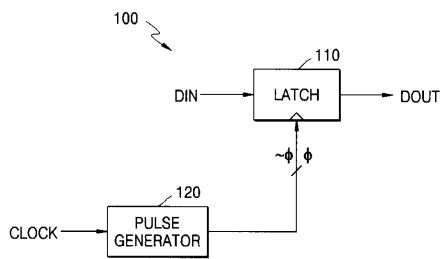
【図20】本発明の第7実施例によるパルス発生部を説明する図である。
 【図21】本発明の第8実施例によるパルス発生部を説明する図である。

【符号の説明】

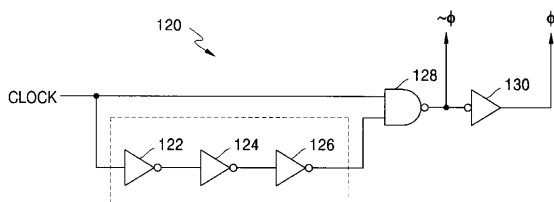
【0050】

- 300 パルス発生部
- 302 NANDゲート
- 304 インバータ
- 306 可変遅延素子
- 307 第2インバータ
- 308 NMOSトランジスタ
- CLOCK クロック信号
- VSS 接地電圧
- P、N 入力端子
- OUT 出力端子
- ～、 第1及び第2クロックパルス信号

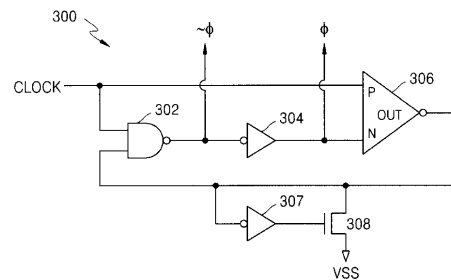
【図1】



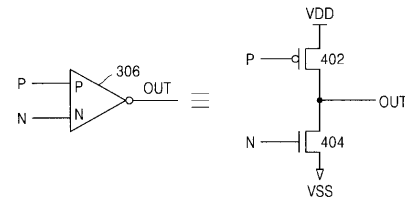
【図2】



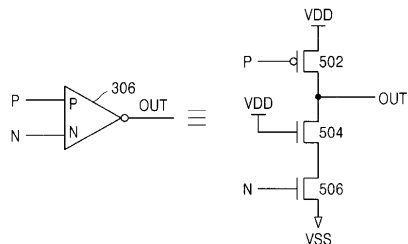
【図3】



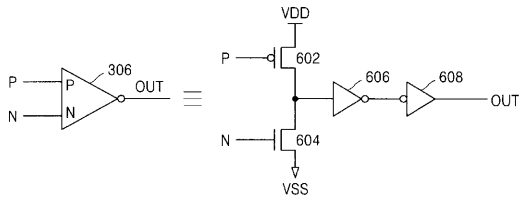
【図4】



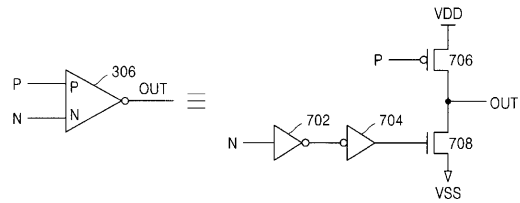
【図5】



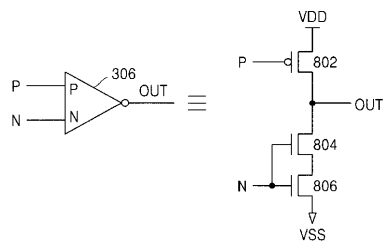
【 図 6 】



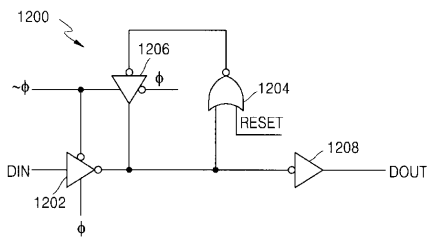
【 図 7 】



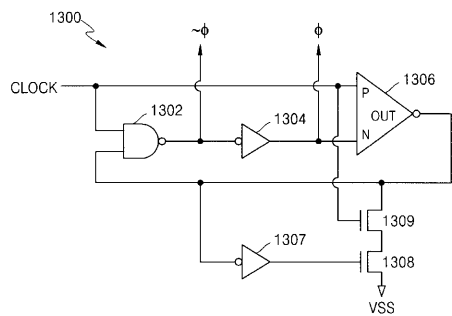
【 図 8 】



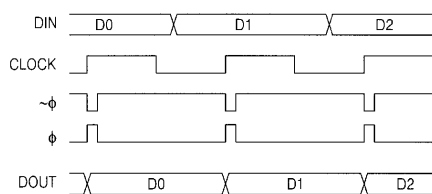
【 図 1 2 】



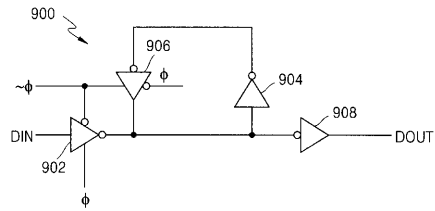
【 図 1 3 】



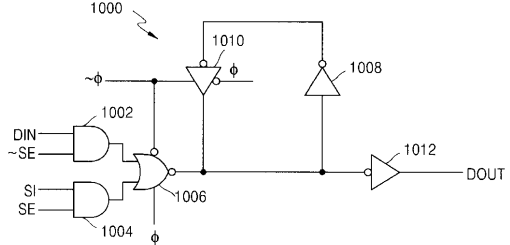
【 図 1 4 】



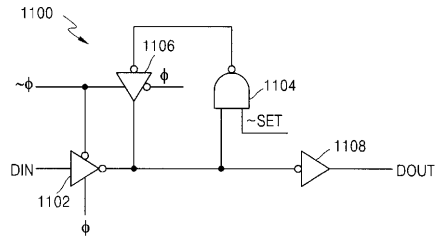
【 図 9 】



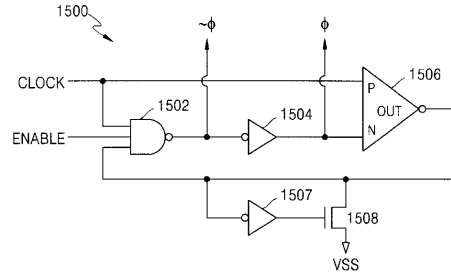
【 図 1 0 】



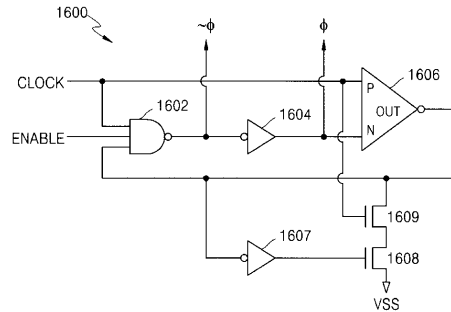
【 図 1 1 】



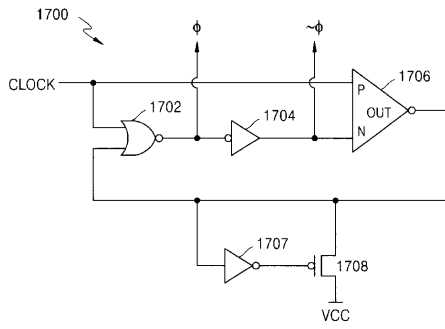
【 図 1 5 】



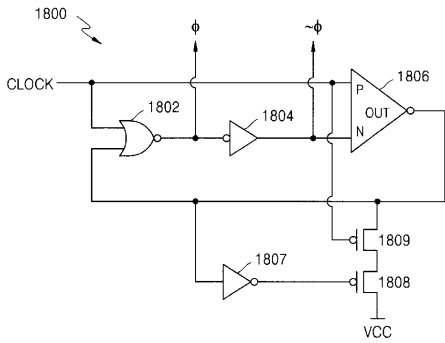
【 図 1 6 】



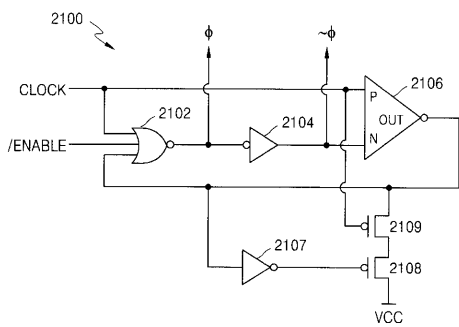
【 図 1 7 】



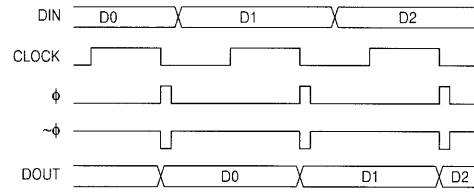
【 図 1 8 】



【 図 2 1 】



【 図 1 9 】



【 図 2 0 】

