



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월24일
(11) 등록번호 10-2401064
(24) 등록일자 2022년05월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/3266 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)
(21) 출원번호 10-2017-0102111
(22) 출원일자 2017년08월11일
심사청구일자 2020년07월21일
(65) 공개번호 10-2019-0017361
(43) 공개일자 2019년02월20일
(56) 선행기술조사문헌
KR1020110031748 A
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한인효
경기도 파주시 월롱면 엘지로 245
반명호
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박병석

전체 청구항 수 : 총 8 항

심사관 : 신영교

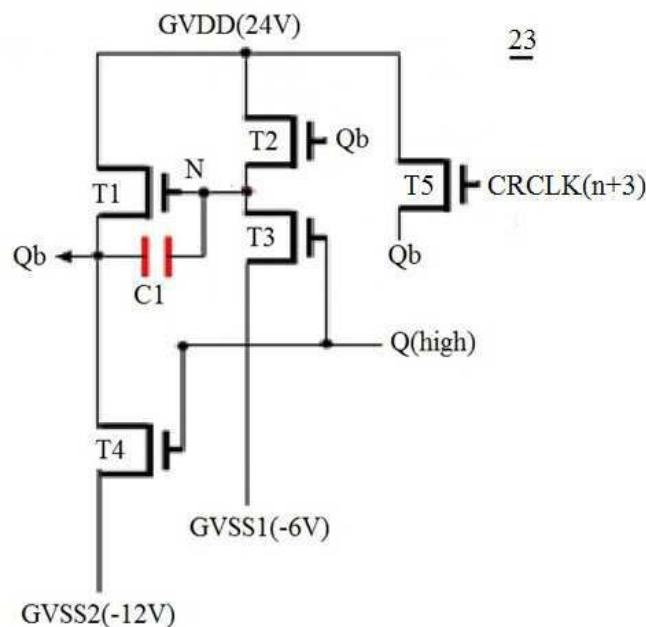
(54) 발명의 명칭 게이트 구동 회로 및 이를 이용한 평판 표시 장치

(57) 요약

본 발명의 게이트 구동 회로의 n번째 스테이지는, 전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부; 상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부; 복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드

(뒷면에 계속)

대표도 - 도5



의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부; 그리고 복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고, 상기 인버터부는, 제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와, 상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 상기 제 2 노드에 게이트 전극이 연결되는 제 2 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와, 상기 제 1정전압단에 소오스 전극이 연결되고 상기 제 2 노드에 드레인 전극이 연결되며 상기 후단 스테이지에 인가되는 클럭 신호가 게이트 전극에 인가되는 제 5 트랜지스터와, 상기 제 1 트랜지스터의 게이트 전극과 드레인 전극 사이에 연결되는 커패시터를 구비한 것이다.

(52) CPC특허분류

G09G 3/3677 (2013.01)
G09G 2230/00 (2013.01)
G09G 2310/08 (2013.01)
G09G 2320/041 (2013.01)
G09G 2320/043 (2013.01)

(56) 선행기술조사문헌

KR1020080019116 A
 KR1020170035410 A
 KR1020140148021 A
 KR1020140098880 A

명세서

청구범위

청구항 1

복수개의 게이트 라인들 각각에 스캔 신호를 순차적으로 공급하기 위하여 복수개의 스테이지를 포함하고,
n번째 스테이지는,

전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부;

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부;

복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부; 그리고

복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고,

상기 인버터부는,

제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 상기 제 2 노드에 게이트 전극이 연결되는 제 2 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 제 2 노드에 드레인 전극이 연결되며 상기 후단 스테이지에 인가되는 클럭 신호가 게이트 전극에 인가되는 제 5 트랜지스터와,

상기 제 1 트랜지스터의 게이트 전극과 드레인 전극 사이에 연결되는 커패시터를 구비하는 게이트 구동 회로.

청구항 2

복수개의 게이트 라인들 각각에 스캔 신호를 순차적으로 공급하기 위하여 복수개의 스테이지를 포함하고,
n 번째 스테이지는,

전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부;

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부;

복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부; 그리고

복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고,

상기 인버터부는,

제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드에 드레인 전극이 연결되며 상기 후단 스테이지에서 출력되는 캐리 펄스가 게이트 전극에 인가되는 제 2 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와,

상기 제 1 트랜지스터의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터를 구비하는 게이트 구동 회로.

청구항 3

복수개의 게이트 라인들 각각에 스캔 신호를 순차적으로 공급하기 위하여 복수개의 스테이지를 포함하고,

n 번째 스테이지는,

전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부;

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부;

복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부; 그리고

복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고,

상기 인버터부는,

제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드에 드레인 전극이 연결되며 상기 후단 스테이지에서 공급되는 캐리 펄스 출력용 클럭 신호가 게이트 전극에 인가되는 제 2 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와,

상기 제 1 트랜지스터의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터를 구비하는 게이트 구동 회로.

청구항 4

제 1 항 내지 제 3 항 중 한 항에 있어서,

스타트 펄스 신호에 의해 상기 제 1 노드를 리셋시키는 제 1 노드 리셋부와,

상기 제 2 노드의 전압에 의해 상기 제 1 노드를 안정화시키는 안정화부와,

상기 스타트 펄스 신호에 의해 상기 제 2 노드를 하이 전압 레벨로 리셋시키는 제 2 노드 리셋부 중 적어도 하나를 더 포함하는 게이트 구동 회로.

청구항 5

제 1 항 내지 제 3 항 중 한 항에 있어서,

상기 전단 스테이지는 (n-3) 번째 스테이지이고, 상기 후단 스테이지는 (N+3)번째 스테이지인 게이트 구동 회로.

청구항 6

복수개의 게이트 및 데이터 라인들이 배치되어 매트릭스 형태로 복수개의 서브 픽셀들을 구비하여, 각 게이트 라인들에 공급되는 스캔 펄스에 응답하여 상기 복수개의 데이터 라인들에 데이터 전압을 공급하여 영상을 표시하는 표시 패널;

각 게이트 라인들에 스캔 펄스를 순차적으로 공급하는 게이트 구동 회로;

상기 데이터 전압을 상기 복수개의 데이터 라인들에 공급하는 데이터 구동 회로; 그리고

외부로부터 입력되는 영상 데이터를 상기 표시 패널의 크기 및 해상도에 알맞게 정렬하여 상기 데이터 구동 회로에 공급하고, 외부로부터 입력되는 동기 신호들을 복수개의 게이트 제어신호들 및 복수개의 데이터 제어신호들을 상기 게이트 구동 회로 및 상기 데이터 구동 회로에 각각 공급하는 타이밍 컨트롤러를 구비하고,

상기 게이트 구동 회로는 복수개의 게이트 라인들 각각에 스캔 신호를 순차적으로 공급하기 위하여 복수개의 스테이지를 포함하고,

n번째 스테이지는,

전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부와,

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부와,

복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부와,

복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고,

상기 인버터부는,

제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 상기 제 2 노드에 게이트 전극이 연결되는 제 2 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 제 2 노드에 드레인 전극이 연결되며 상기 후단 스테이지에 인가되는 클럭 신호가 게이트 전극에 인가되는 제 5 트랜지스터와,

상기 제 1 트랜지스터의 게이트 전극과 드레인 전극 사이에 연결되는 커패시터를 구비하는 평판 표시 장치.

청구항 7

복수개의 게이트 및 데이터 라인들이 배치되어 매트릭스 형태로 복수개의 서브 픽셀들을 구비하여, 각 게이트 라인들에 공급되는 스캔 펄스에 응답하여 상기 복수개의 데이터 라인들에 데이터 전압을 공급하여 영상을 표시하는 표시 패널;

각 게이트 라인들에 스캔 펄스를 순차적으로 공급하는 게이트 구동 회로;

상기 데이터 전압을 상기 복수개의 데이터 라인들에 공급하는 데이터 구동 회로; 그리고

외부로부터 입력되는 영상 데이터를 상기 표시 패널의 크기 및 해상도에 알맞게 정렬하여 상기 데이터 구동 회로에 공급하고, 외부로부터 입력되는 동기 신호들을 복수개의 게이트 제어신호들 및 복수개의 데이터 제어신호들을 상기 게이트 구동 회로 및 상기 데이터 구동 회로에 각각 공급하는 타이밍 컨트롤러를 구비하고,

상기 게이트 구동 회로는 복수개의 게이트 라인들 각각에 스캔 신호를 순차적으로 공급하기 위하여 복수개의 스테이지를 포함하고,

n번째 스테이지는,

전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부와,

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부와,

복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부와,

복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고,

상기 인버터부는,

제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드에 드레인 전극이 연결되며 상기 후단 스테이지에서 출력되는 캐리 펄스가 게이트 전극에 인가되는 제 2 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와,

상기 제 1 트랜지스터의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터를 구비하는 평판 표시 장치.

청구항 8

복수개의 게이트 및 데이터 라인들이 배치되어 매트릭스 형태로 복수개의 서브 픽셀들을 구비하여, 각 게이트 라인들에 공급되는 스캔 펄스에 응답하여 상기 복수개의 데이터 라인들에 데이터 전압을 공급하여 영상을 표시하는 표시 패널;

각 게이트 라인들에 스캔 펄스를 순차적으로 공급하는 게이트 구동 회로;

상기 데이터 전압을 상기 복수개의 데이터 라인들에 공급하는 데이터 구동 회로; 그리고

외부로부터 입력되는 영상 데이터를 상기 표시 패널의 크기 및 해상도에 알맞게 정렬하여 상기 데이터 구동 회로에 공급하고, 외부로부터 입력되는 동기 신호들을 복수개의 게이트 제어신호들 및 복수개의 데이터 제어신호들을 상기 게이트 구동 회로 및 상기 데이터 구동 회로에 각각 공급하는 타이밍 컨트롤러를 구비하고,

상기 게이트 구동 회로는 복수개의 게이트 라인들 각각에 스캔 신호를 순차적으로 공급하기 위하여 복수개의 스테이지를 포함하고,

n번째 스테이지는,

전단 스테이지에서 출력되는 캐리 펄스 및 후단 스테이지에서 출력되는 캐리 펄스에 의해 제 1 노드를 제어하는 제1노드 제어부와,

상기 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부와,

복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부와,

복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고,

상기 인버터부는,

제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와,

상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드에 드레인 전극이 연결되며 상기 후단 스테이지에서 공급되는 캐리 펄스 출력용 클럭 신호가 게이트 전극에 인가되는 제 2 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와,

상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와,

상기 제 1 트랜지스터의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터를 구비하는 평판 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 평판 표시 장치에 관한 것으로, 특히 인버터의 전류를 저감하기 위한 게이트 구동 회로 및 이를 이용한 평판 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정을 이용한 액정 표시 장치(LCD: Liquid Crystal Display) 및 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치와 같은 여러 가지 표시 장치가 활용되고 있다.

[0003] 이러한 표시 장치들 중 액정 표시 장치(LCD)는 영상을 표시하는 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 액정패널과, 상기 액정패널을 구동하기 위한 구동회로로 구성된다.

[0004] 상기 구동회로는 상기 복수개의 게이트 라인들을 구동하는 게이트 구동회로와, 상기 복수개의 데이터 라인들을 구동하는 데이터 구동회로와, 상기 게이트 구동회로와 상기 데이터 구동회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 컨트롤러 등으로 이루어진다.

[0005] 상기와 같은 액정 표시 장치의 표시 패널은, 유리 기판상에 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이 기판과, 유리 기판상에 칼라 필터 어레이가 형성되는 칼라 필터 어레이 기판과, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판 사이에 충전된 액정층을 구비한다.

[0006] 이러한 액정 표시 장치의 표시 패널은, 전기장 생성 전극(화소 전극 및 공통 전극)에 전압을 인가하여 상기 액정층에 전기장을 생성하고, 상기 전기장에 의해 액정층의 액정 분자들의 배열 상태를 조절하여 입사광의 편광을 제어함으로써 영상을 표시한다.

[0007] 이러한 액정 표시 장치용 표시 패널은, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판을 합착한 것으로, 사용자에게 이미지를 제공하는 표시 영역(active area, AA)과 상기 표시영역(AA)의 주변 영역인 비표시 영역(non-active area, NA)으로 정의된다.

[0008] 상기 박막 트랜지스터 어레이 기판은, 제1방향으로 연장되는 복수개의 게이트 라인들(GL)과, 제1방향과 수직인 제2방향으로 연장되는 복수개의 데이터 라인들(DL)을 포함하며, 각 게이트 라인과 각 데이터 라인에 의하여 하나의 화소 영역(Pixel; P)이 정의된다.

[0009] 하나의 화소영역(P) 내에는 박막 트랜지스터가 형성되며, 각 박막 트랜지스터의 게이트 전극 및 소오스 전극은 각각 게이트 라인 및 데이터 라인과 연결된다.

[0010] 또한, 상기 표시 패널의 상기 복수개의 게이트 라인들과 복수개의 데이터 라인들의 각 화소를 구동하기 위한 스캔 펄스와 데이터 신호를 제공하기 위하여 상기 비표시 영역 또는 표시 패널 외부에 게이트 구동 회로 및 데이터 구동 회로가 구비된다.

[0011] 상기 게이트 구동 회로는, 적어도 하나의 게이트 드라이브 IC로 구성될 수도 있지만, 상기 표시 패널의 상기 복

수개의 신호 라인 (게이트 라인들 및 데이터 라인들)과 화소를 형성하는 과정에서 상기 표시 패널의 비표시 영역상에 동시에 형성될 수 있다. 결과적으로 상기 게이트 구동 회로가 상기 표시 패널 내부에 포함되게 된다. 이를 게이트-인-패널(Gate-In-Panel; 이하 “GIP” 라고도 함)이라 한다.

- [0012] 상기와 같은 게이트 구동 회로는 각 게이트 라인들에 스캔 펄스를 순차적으로 공급하기 위하여, 게이트 라인의 개수 이상의 복수개의 스테이지를 포함하여 구성된다.
- [0013] 도 1은 종래의 게이트 구동 회로의 n번째 스테이지(ST(n))의 구성 블록도이고, 도 2는 도 1의 인버터부(13)의 회로 구성도이다.
- [0014] 종래의 게이트 구동 회로의 n 번째 스테이지(ST(n))는, 도 1에 도시한 바와 같이, 전단 스테이지에서 출력되는 캐리 펄스(CR(n-3))와 후단 스테이지에서 출력되는 캐리 펄스(CR(n+3))에 의해 제 1 노드(Q)를 제어하는 Q노드 제어부(12)와, 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(13)와, 상기 제 2 노드(Qb)의 전압에 의해 상기 제 1 노드(Q)를 안정화시키는 안정화부(14)와, 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(n))을 수신하여 상기 제 1 노드(Q) 및 제 2 노드(Qb)의 전압에 따라 스캔 펄스(SC(n))를 출력하는 스캔 펄스 출력부(15)와, 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(n))을 수신하여 상기 제 1 노드(Q) 및 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CR(n))를 출력하는 캐리 펄스 출력부(16)와, 스타트 신호(VST)에 의해 상기 제 1 노드(Q)를 리셋시키는 제 1 노드 리셋부(11)를 구비하여 구성된다.
- [0015] 상기 인버터부(13)의 구체적인 회로적 구성은 도 2와 같다.
- [0016] 상기 인버터부(13)는 산화물 반도체 박막트랜지스터(Oxide TFT)를 기반 GIP 회로에서 N형 TFT로 구성된 2단 인버터(4개의 TFT와 하나의 커패시터로 구성됨)가 사용되고 있다.
- [0017] 즉, 상기 인버터부(13)는 제 1정전압단(GVDD (24V))에 소오스 전극이 연결되고 공통 노드(N)에 게이트 전극이 연결되며 상기 제 2 노드(Qb)에 드레인 전극이 연결되는 제 1 트랜지스터(T1)와, 상기 제 1정전압단(GVDD (24V))에 게이트 전극 및 소오스 전극이 공통으로 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되는 제 2 트랜지스터(T2)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단(GVSS1 (-6V))에 드레인 전극이 연결되는 제 3 트랜지스터(T3)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 제 2 노드(Qb)에 소오스 전극이 연결되며 제 3 정전압단(GVSS2 (-12V))에 드레인 전극이 연결되는 제 4 트랜지스터(T4)와, 상기 제 1 트랜지스터(T1)의 게이트 전극과 드레인 전극 사이에 연결되는 커패시터(C1)를 구비하여 구성된다.
- [0018] 여기서, 상기 제 1 내지 제 4 트랜지스터(T1, T2, T3, T4)는 모두 N형 트랜지스터들이고, 산화물 박막트랜지스터(Oxide TFT)들이다.
- [0019] 상기와 같이 구성된 인버터부(13)는 상기 제 1 노드(Q)에 하이 전압이 인가되면, 상기 제 3 트랜지스터(T3)가 턴-온 되어, 상기 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)를 통해 상기 제 1정전압단(GVDD (24V))에서 상기 제 2 정전압단(GVSS1 (-6V))으로 전류가 흐르게 된다. 또한, 상기 제 4 트랜지스터(T4)가 턴-온 되어, 상기 제 3 정전압단(GVSS2 (-12V))으로부터 상기 제 2 노드(Qb)에 제 3 정전압(-12V)이 인가된다.
- [0020] 따라서, 상기 인버터부(13)는 상기 제 1 노드(Q)가 하이 논리 상태일 때 상기 제 2 노드(Qb)를 로우 논리 상태로 반전시킨다.
- [0021] 그러나, 종래의 게이트 구동 회로에 있어서는 다음과 같은 문제점이 있었다.
- [0022] 즉, 상기 인버터부(13)의 구성에서, 도 2에 도시한 바와 같이, 상기 제 1 노드(Q)가 하이 논리일 때, 상기 제 3 트랜지스터(T3)가 턴-온 되면서, 상기 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)를 통해 상기 제 1정전압단(GVDD (24V))에서 상기 제 2 정전압단(GVSS1 (-6V))으로 상당히 큰 전류 패스(Path)가 형성된다 (도 2에서 빨강 화살표로 표기함).
- [0023] 따라서, 상기 큰 전류 패스에 의한 주열 열(Jule Heating)로 인해 상기 제 2 트랜지스터(T2)가 열화되거나 도체화 현상이 발생하여 게이트 구동 회로의 구동 불량이 발생하게 된다.

발명의 내용

해결하려는 과제

[0024] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 게이트 구동 회로의 인버터에 흐르는 전류를 저감하여 인버터가 열화되거나 도체화되어 불량이 발생됨을 방지할 수 있는 게이트 구동회로 및 이를 이용한 평판 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0025] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 게이트 구동 회로의 n번째 스테이지는, 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부를 구비하고, 상기 인버터부는, 복수개의 스캔 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 스캔 펄스를 출력하는 스캔 펄스 출력부; 그리고 복수개의 캐리 펄스 출력용 클럭 신호 중 하나를 수신하여 상기 제 1 노드 및 제 2 노드의 전압에 따라 캐리 펄스를 출력하는 캐리 펄스 출력부를 구비하고, 상기 인버터부는, 제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와, 상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 상기 제 2 노드에 게이트 전극이 연결되는 제 2 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와, 상기 제 1정전압단에 소오스 전극이 연결되고 상기 제 2 노드에 드레인 전극이 연결되며 상기 후단 스테이지에 인가되는 클럭 신호가 게이트 전극에 인가되는 제 5 트랜지스터와, 상기 제 1 트랜지스터의 게이트 전극과 드레인 전극 사이에 연결되는 커패시터를 구비함에 그 특징이 있다.

[0026] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 게이트 구동 회로의 n번째 스테이지는, 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부를 구비하고, 상기 인버터부는, 제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와, 상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드에 드레인 전극이 연결되며 상기 후단 스테이지에서 출력되는 캐리 펄스가 게이트 전극에 인가되는 제 2 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와, 상기 제 1 트랜지스터의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터를 구비함에 또 다른 특징이 있다.

[0027] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 게이트 구동 회로의 n번째 스테이지는, 제 1 노드의 전압을 반전하여 제 2 노드에 인가하는 인버터부를 구비하고, 상기 인버터부는, 제 1정전압단에 소오스 전극이 연결되고 공통 노드에 게이트 전극이 연결되며 상기 제 2 노드에 드레인 전극이 연결되는 제 1 트랜지스터와, 상기 제 1정전압단에 소오스 전극이 연결되고 상기 공통 노드에 드레인 전극이 연결되며 상기 후단 스테이지에서 공급되는 캐리 펄스 출력용 클럭 신호가 게이트 전극에 인가되는 제 2 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 공통 노드에 소오스 전극이 연결되며 제 2 정전압단에 드레인 전극이 연결되는 제 3 트랜지스터와, 상기 제 1 노드에 게이트 전극이 연결되고 상기 제 2 노드에 소오스 전극이 연결되며 제 3 정전압단에 드레인 전극이 연결되는 제 4 트랜지스터와, 상기 제 1 트랜지스터의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터를 구비함에 또 다른 특징이 있다.

발명의 효과

[0028] 상기와 같은 특징을 갖는 본 발명의 일 실시예에 따른 게이트 구동 회로 및 이를 이용한 평판 표시 장치에 있어서는 다음과 같은 효과가 있다.

[0029] 제 1 노드가 하이 전압 레벨 상태일 때, 인버터부를 구성하는 제 2 트랜지스터가 턴 온 되지 않고, 제 2 트랜지스터를 통해 전류가 흐르지 않으므로, 주열 열(Jule Heating)로 인해 상기 제 2 트랜지스터가 열화되거나 도체화 되는 현상을 방지할 수 있고, 더불어 게이트 구동 회로의 구동 불량을 방지할 수 있다.

도면의 간단한 설명

[0030] 도 1은 종래의 게이트 구동 회로의 n번째 스테이지(ST(n))의 구성 블록도

도 2는 도 1의 인버터부(13)의 회로 구성도

도 3은 본 발명에 따른 평판 표시 장치를 간략히 나타내는 구성도

- 도 4는 본 발명의 제 1 실시예에 따른 게이트 구동 회로의 스테이지 구성 블록도
- 도 5는 본 발명의 제 1 실시예에 따른 인버터부의 회로 구성도
- 도 6은 본 발명의 제 2 실시예에 따른 인버터부의 회로 구성도
- 도 7은 본 발명의 제 3 실시예에 따른 인버터부의 회로 구성도
- 도 8은 본 발명의 제 2 실시예에 따른 게이트 구동 회로의 스테이지 구성 블록도
- 도 9는 본 발명에 따른 게이트 구동 회로의 파형도

발명을 실시하기 위한 구체적인 내용

- [0031] 상기와 같은 특징을 갖는 본 발명에 따른 게이트 구동 회로 및 이를 이용한 평판 표시 장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0032] 도 3은 본 발명에 따른 평판 표시 장치를 간략히 나타내는 구성도이고, 도 4는 본 발명에 따른 게이트 구동 회로의 스테이지 구성 블록도이다.
- [0033] 본 발명에 따른 평판 표시 장치는, 도 3에 도시한 바와 같이, 표시 패널(10), 게이트 구동 회로(20), 데이터 구동 회로(30) 및 타이밍 컨트롤러(40)를 포함하여 구성된다.
- [0034] 상기 표시 패널(10)은 기판상에 일정한 간격을 갖고 제 1 방향으로 배열되는 복수개의 게이트 라인들(GL1~CLn)과, 일정한 간격을 갖고 상기 복수개의 게이트 라인들(GL)에 수직인 제 2 방향으로 배열되는 복수개의 데이터 라인들(DL1~DLm)과, 상기 복수개의 게이트 라인들(GL1~CLn)과 복수개의 데이터 라인들(DL1~DLm)의 교차 영역에 배열되는 복수개의 서브 픽셀들(P)을 구비하여 구성된다. 상기 복수개의 서브 화소들(P)은 상기 각 게이트 라인들(GL1~CLn)로부터 공급되는 스캔 펄스에 응답하여 상기 복수개의 데이터 라인들(DL1~DLm)로부터 공급되는 영상 신호(데이터 전압)에 따른 영상을 표시한다.
- [0035] 상기 표시 패널(10)이 액정 표시 패널일 경우, 각 서브 화소들(P)은 해당 게이트 라인들(GL1~CLn)로부터 공급되는 스캔 펄스에 응답하여 해당 데이터 라인들(DL1~DLm)로부터 공급되는 영상 신호(데이터 전압)를 각 화소 전극에 제공하는 박막트랜지스터와, 상기 데이터 라인들(DL1~DLm)로부터 공급되는 영상 신호(데이터 전압)를 1 프레임 동안 저장하는 커패시터를 구비한다.
- [0036] 또한, 상기 표시 패널(10)이 OLED표시 패널일 경우, 각 서브 화소들(P)은 유기 발광 다이오드(OLED), 구동 트랜지스터, 커패시터 및 적어도 하나의 스위칭 트랜지스터를 구비하여 구성된다.
- [0037] 즉, 적어도 하나의 스위칭 트랜지스터는 해당 게이트 라인들(GL1~CLn)로부터 공급되는 스캔 펄스에 응답하여 해당 데이터 라인들(DL1~DLm)로부터 공급되는 데이터 전압을 상기 커패시터에 저장하고, 상기 구동 트랜지스터는 상기 커패시터에 저장된 상기 데이터 전압에 따라 상기 유기 발광 다이오드에 흐르는 전류를 제어하여 상기 유기 발광 다이오드가 발광하도록 한다.
- [0038] 상기 게이트 구동 회로(20)는 상기 타이밍 컨트롤러(40)로부터 제공된 복수개의 게이트 제어 신호들(GCS)에 따라 각 게이트 라인들(GL1~CLn)에 스캔 펄스(게이트 구동 신호)를 순차적으로 공급하는 게이트 쉬프트 레지스터로 구성된다.
- [0039] 상기 게이트 구동 회로(20)는 상기 복수개의 게이트 라인들(GL1~CLn) 각각에 스캔 신호(게이트 구동 신호, Vgout)를 순차적으로 공급하기 위하여, 복수개의 스테이지를 포함하여 구성된다.
- [0040] 상기 게이트 구동 회로(20)는 GIP(gate in panel)형 게이트 구동 회로인 경우, 상기 표시 패널(10)의 비표시 영역에 배치된다.
- [0041] 상기 게이트 구동 회로(20)가 복수개의 스테이지를 포함하고, 상기 복수개의 스테이지는 상기 복수개의 게이트 라인들과 일대일 대응되어, 하나의 스테이지가 하나의 게이트 라인에 스캔 신호를 공급한다.
- [0042] 상기 데이터 구동 회로(30)는 상기 타이밍 컨트롤러(40)로부터 입력되는 디지털 영상 데이터(RGB)를 기준 감마 전압을 이용하여 아날로그 데이터 전압으로 변환하고, 변환된 아날로그 데이터 전압을 상기 복수개의 데이터 라인들 DL1~DLm)에 공급한다. 이러한 데이터 구동 회로(30)는 상기 타이밍 컨트롤러(40)로부터 제공된 복수개의 데이터 제어 신호들(DCS)에 따라 제어된다.

- [0043] 상기 타이밍 컨트롤러(40)는 외부로부터 입력되는 영상 데이터(RGB)를 표시 패널(10)의 크기 및 해상도에 알맞게 정렬하여 상기 데이터 구동 회로(30)에 공급한다. 또한, 상기 타이밍 컨트롤러(40)는 외부로부터 입력되는 동기 신호(SYNC)들, 예를 들어 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync)를 이용하여 복수개의 게이트 제어신호들(GCS) 및 복수개의 데이터 제어신호들(DCS)를 생성하여 상기 게이트 구동 회로(20) 및 상기 데이터 구동 회로(30)에 각각 공급한다.
- [0044] 도 4는 본 발명의 제 1 실시예에 따른 게이트 구동 회로의 n번째 스테이지(ST(n))의 구성 블록도이다.
- [0045] 본 발명의 제 1 실시예에 따른 게이트 구동 회로의 n 번째 스테이지(ST(n))는, 도 4에 도시한 바와 같이, 전단 스테이지(예를 들면, (n-3) 번째 스테이지)에서 출력되는 캐리 펄스(CR(n-3))에 의해 인에이블(enable)되고 후단 스테이지(예를 들면, (n+3) 번째 스테이지)에서 출력되는 캐리 펄스(CR(n+3))에 의해 디스에이블(disable)되어 제 1 노드(Q)를 제어하는 Q노드 제어부(22)와, 상기 제 1 노드(Q)의 전압을 반전하여 제 2 노드(Qb)에 인가하는 인버터부(23)와, 상기 제 2 노드(Qb)의 전압에 의해 상기 제 1 노드(Q)를 안정화시키는 안정화부(24)와, 복수개의 스캔 펄스 출력용 클럭 신호 중 하나의 클럭 신호(SCCLK(n))을 수신하여 상기 제 1 노드(Q) 및 제 2 노드(Qb)의 전압에 따라 스캔 펄스(SC(n))를 출력하는 스캔 펄스 출력부(25)와, 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(n))을 수신하여 상기 제 1 노드(Q) 및 제 2 노드(Qb)의 전압에 따라 캐리 펄스(CR(n))를 출력하는 캐리 펄스 출력부(26)와, 스타트 펄스 신호(VSP)에 의해 상기 제 1 노드(Q)를 리셋시키는 제 1 노드 리셋부(21)를 구비하여 구성된다.
- [0046] 상기 도 1 및 도 4를 비교하면, 종래의 n번째 스테이지(ST(n))의 구성과 본 발명의 n번째 스테이지(ST(n))의 구성이 비슷하나, 상기 인버터부(13, 23)에 차이가 있다.
- [0047] 종래의 인버터부(13)는 단지 제 1 노드(Q)의 전압만이 입력되어 상기 제 1 노드(Q)의 논리 상태를 반전시켜 상기 제 2 노드(Qb)에 출력하였다.
- [0048] 그러나 본 발명의 인버터부(23)는 상기 제 1 노드(Q)의 전압만 입력되는 것이 아니라 다른 신호가 더 입력되어 상기 인버터부(23)에 흐르는 전류를 저감시킨다. 이와 같은 특징을 인버터부의 구체적인 회로 구성을 참조하여 설명하면 다음과 같다.
- [0049] 도 5는 본 발명의 제 1 실시예에 따른 인버터부의 회로 구성도이다.
- [0050] 도 5에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 상기 인버터부(23)는 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 공통 노드(N)에 게이트 전극이 연결되며 상기 제 2 노드(Qb)에 드레인 전극이 연결되는 제 1 트랜지스터(T1)와, 상기 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 게이트 전극에 상기 제 2 노드(Qb)가 연결되는 제 2 트랜지스터(T2)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단(GVSS1, (-6V))에 드레인 전극이 연결되는 제 3 트랜지스터(T3)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 제 2 노드(Qb)에 소오스 전극이 연결되며 제 3 정전압단(GVSS2 (-12V))에 드레인 전극이 연결되는 제 4 트랜지스터(T4)와, 상기 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 상기 제 2 노드(Qb)에 드레인 전극이 연결되며 (n+3) 번째 스테이지에 인가되는 클럭 신호(CRCLK(n+3))가 게이트 전극에 인가되는 제 5 트랜지스터(T5)와, 상기 제 1 트랜지스터(T1)의 게이트 전극과 드레인 전극 사이에 연결되는 커패시터(C1)를 구비하여 구성된다.
- [0051] 여기서, 상기 제 1 내지 제 5 트랜지스터(T1, T2, T3, T4, T5)는 모두 N형 트랜지스터들이고, 또한 산화물 반도체 트랜지스터들이다.
- [0052] 이와 같이 인버터부(23)가 구성되므로 제 1 노드(Q)가 하이 상태일 때 상기 인버터부(23) (특히, 제 2 트랜지스터(T2))에 흐르는 전류가 저감된다.
- [0053] 상기와 같이 구성된 본 발명의 제 1 실시예에 따른 인버터부(23)의 동작은 도 9를 참조하여 후술한다.
- [0054] 도 6는 본 발명의 제 2 실시예에 따른 인버터부의 회로 구성도이다.
- [0055] 도 6에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 상기 인버터부(23)는 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 공통 노드(N)에 게이트 전극이 연결되며 상기 제 2 노드(Qb)에 드레인 전극이 연결되는 제 1 트랜지스터(T1)와, 상기 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 (n+3)번째 스테이지에서 출력되는 캐리 펄스(CR(n+3))가 게이트 전극에 인가되는 제 2 트랜지스터(T2)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단(GVSS1, (-6V))에 드레인 전극이 연결되는 제 3 트랜지스터(T3)와, 상기 제 1 노드(Q)에 게이트 전극이

연결되고 상기 제 2 노드(Qb)에 소오스 전극이 연결되며 제 3 정전압단(GVSS2 (-12V)에 드레인 전극이 연결되는 제 4 트랜지스터(T4)와, 상기 제 1 트랜지스터(T1)의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터(C1)를 구비하여 구성된다.

- [0056] 여기서, 상기 제 1 내지 제 4 트랜지스터(T1, T2, T3, T4)는 모두 N형 트랜지스터들이고, 또한 산화물 반도체 트랜지스터들이다.
- [0057] 이와 같이 인버터부(23)가 구성되므로 제 1 노드(Q)가 하이 상태일 때 상기 인버터부(23) (특히, 제 2 트랜지스터(T2))에 흐르는 전류가 저감된다.
- [0058] 마찬가지로, 상기와 같이 구성된 본 발명의 제 2 실시예에 따른 인버터부(23)의 동작은 도 9를 참조하여 후술한다.
- [0059] 도 7은 본 발명의 제 3 실시예에 따른 인버터부의 회로 구성도이다.
- [0060] 도 7에 도시한 바와 같이, 본 발명의 제 3 실시예에 따른 상기 인버터부(23)는 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 공통 노드(N)에 게이트 전극이 연결되며 상기 제 2 노드(Qb)에 드레인 전극이 연결되는 제 1 트랜지스터(T1)와, 상기 제 1정전압단(GVDD, (24V))에 소오스 전극이 연결되고 상기 공통 노드(N)에 드레인 전극이 연결되며 (n+3)번째 스테이지에서 공급되는 캐리 펄스 출력용 클럭 신호(CRCLK(n+3))가 게이트 전극에 인가되는 제 2 트랜지스터(T2)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 공통 노드(N)에 소오스 전극이 연결되며 제 2 정전압단(GVSS1, (-6V)에 드레인 전극이 연결되는 제 3 트랜지스터(T3)와, 상기 제 1 노드(Q)에 게이트 전극이 연결되고 상기 제 2 노드(Qb)에 소오스 전극이 연결되며 제 3 정전압단(GVSS2 (-12V)에 드레인 전극이 연결되는 제 4 트랜지스터(T4)와, 상기 제 1 트랜지스터(T1)의 상기 게이트 전극과 상기 드레인 전극 사이에 연결되는 커패시터(C1)를 구비하여 구성된다.
- [0061] 여기서, 상기 제 1 내지 제 4 트랜지스터(T1, T2, T3, T4)는 모두 N형 트랜지스터들이고, 또한 산화물 반도체 트랜지스터들이다.
- [0062] 이와 같이 인버터부(23)가 구성되므로 제 1 노드(Q)가 하이 상태일 때 상기 인버터부(23) (특히, 제 2 트랜지스터(T2))에 흐르는 전류가 저감된다.
- [0063] 마찬가지로, 상기와 같이 구성된 본 발명의 제 2 실시예에 따른 인버터부(23)의 동작은 도 9를 참조하여 후술한다.
- [0064] 상기에서, 캐리 펄스(CR(n-3), CR(n+3))와 캐리 펄스 출력용 클럭 신호(CRCLK(n-3), CRCLK(n+3))은 동일 위상을 갖지만, 상기 캐리 펄스(CR(n-3), CR(n+3))는 1 프레임에 한번 하이 전압 레벨을 갖지만, 상기 클럭 신호(CRCLK(n-3), CRCLK(n+3))은 1프레임에 다수의 하이 전압 레벨을 갖는다.
- [0065] 그러나, 상기에서 설명한 본 발명의 제 1 내지 제 3 실시예에 따른 인버터부의 구성에서는, 상기 제 2 트랜지스터(T2)를 통해 흐르는 전류가 차단되므로, 초기에 상기 제 1 노드(Q) 리셋부(21)가 스타트 펄스(VSP)에 의해 상기 제 1 노드(Q)를 상기 제 1 노드를 로우 전압 레벨로 리셋하여도 상기 제 2 노드(Qb)는 하이 전압 레벨로 설정되지 않으므로, 초기 구동에 예러가 발생할 수 있다. 따라서, 상기 스타트 펄스(VSP)에 의해 상기 제 2 노드(Qb)를 하이 전압 레벨로 리세팅할 필요가 있다.
- [0066] 도 8은 본 발명의 제 2 실시예에 따른 게이트 구동 회로의 n번째 스테이지(ST(n)의 구성 블록도이다.
- [0067] 따라서, 본 발명의 제 2 실시예에 따른 게이트 구동 회로의 n번째 스테이지(ST(n)의 구성에서는 상기 제 1 노드 리셋부(21) 대신에, 상기 스타트 펄스(VSP)에 의해 상기 제 2 노드(Qb)를 하이 전압 레벨로 리세팅하는 제 2 노드 리셋부(27)를 구비한다.
- [0068] 물론, 도 8에서는 상기 제 1 노드 리셋부(21) 대신에 상기 제 2 노드 리셋부(27)를 구비함을 도시하고 있으나, 이에 한정되지 않고, 상기 제 1 노드 리셋부(21)와 상기 제 2 노드 리셋부(27)를 모두 구비할 수 있으나, 스테이지의 구성이 늘어가는 단점이 있다.
- [0069] 상기와 같이 구성된 본 발명의 제 1 내지 제 3 실시예에 따른 인버터부(23)의 동작을 설명하면 다음과 같다.
- [0070] 도 9는 본 발명에 따른 게이트 구동 회로의 파형도이다.
- [0071] 상술한 바와 같이, 본 발명의 실시예에 따른 게이트 구동회로의 n번째 스테이지(ST(n))는 (n-3) 번째 스테이지에서 출력되는 캐리 펄스(CR(n-3))에 의해 인에이블(enable)되고, (n+3) 번째 스테이지에서 출력되는 캐리 펄스

(CR(n+3))에 의해 디스에이블(disable)된다.

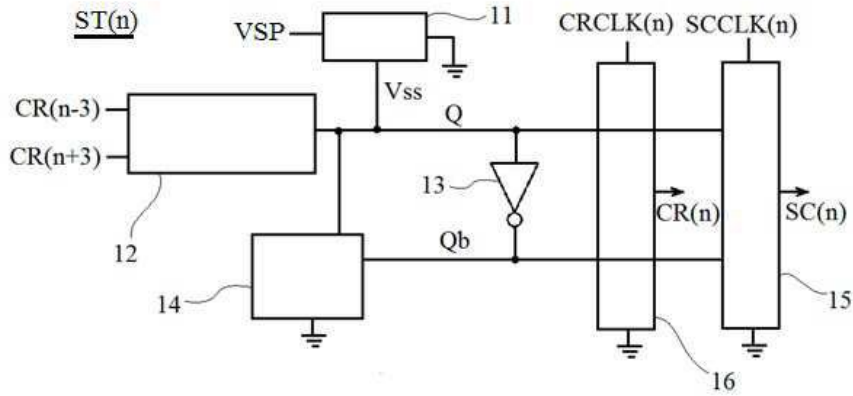
- [0072] 따라서, 도 9에 도시한 바와 같이, (n-3) 번째 스테이지에서 출력되는 캐리 펄스(CR(n-3))에 의해 인에이블되므로, 상기 (n-3) 번째 스테이지에서 출력되는 캐리 펄스(CR(n-3))가 하이 전압 레벨로 출력되면 상기 제 1 노드(Q)는 하이 전압 레벨을 갖고, 상기 제 2 노드(Qb)는 로우 전압 레벨을 갖는다.
- [0073] 그리고, n번째 스테이지(ST(n))에는 복수개의 스캔 펄스 출력용 클럭 신호 중 하나인 클럭 신호(SCCLK(n))와 복수개의 캐리 펄스 출력용 클럭 신호 중 하나의 클럭 신호(CRCLK(n))가 각각 상기 스캔 펄스 출력부(25)와 상기 캐리 펄스 출력부(26)에 인가되므로, 상기 클럭 신호(SCCLK(n))와 상기 클럭 신호(CRCLK(n))에 의해 상기 제 1 노드(Q)는 부스팅(boosting)되고, 상기 스캔 펄스 출력부(25)와 상기 캐리 펄스 출력부(26)는 각각 스캔 펄스(SC(n))와 캐리 펄스(CR(n))를 출력한다.
- [0074] 또한, (n+3) 번째 스테이지에서 출력되는 캐리 펄스(CR(n+3))에 의해 디스에이블되므로, 상기 (n+3) 번째 스테이지에서 출력되는 캐리 펄스(CR(n+3))가 하이 전압 레벨로 출력되면 상기 제 1 노드(Q)는 로우 전압 레벨을 갖고, 상기 제 2 노드(Qb)는 하이 전압 레벨을 갖는다.
- [0075] 기본적으로, 본 발명의 제 1 내지 제 3 실시예의 인버터부(23)의 구성에서, 상기 제 1 노드(Q)에 하이 전압이 인가되면, 상기 제 3 및 제 4 트랜지스터(T3, T4)가 턴-온 되어 상기 제 3 정전압단(GVSS2 (-12V))으로부터 상기 제 2 노드(Qb)에 제 3 정전압(-12V)이 인가됨과 동시에 상기 제 2 정전압단(GVSS1 (-6V))으로부터 상기 공통 노드(N)에 제 2 정전압(-6V)이 인가된다.
- [0076] 따라서, 상기 인버터부(13)는 상기 제 1 노드(Q)가 하이 논리 상태일 때 상기 제 2 노드(Qb)를 로우 논리 상태로 반전시킨다.
- [0077] 이 때, 도 5에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 인버터부(23)의 상기 제 2 트랜지스터(T2)의 게이트 전극에는 상기 제 2 노드(Qb)의 전압이 인가되고, 상기 제 5 트랜지스터(T5)의 게이트 전극에는 상기 클럭 신호(CRCLK(n+3))가 인가되므로, 상기 제 1 노드(Q)가 하이 전압 레벨일 때 상기 제 2 트랜지스터(T2) 및 상기 제 5 트랜지스터(T5)는 턴 오프되지 않으므로 상기 제 2 트랜지스터(T2)를 통해 전류가 흐르지 않고, 상기 제 5 트랜지스터(T5)를 통해 제 1 정전압(GVDD, 24V)가 상기 제 2 노드(Qb)에 인가되지 않는다.
- [0078] 그리고, 상기 제 1 노드(Q)가 로우 전압 레벨일 때 상기 제 2 트랜지스터(T2) 및 상기 제 5 트랜지스터(T5)는 턴 온되므로 상기 제 2 트랜지스터(T2)를 통해 전류가 흐르고, 상기 제 5 트랜지스터(T5)를 통해 제 1 정전압(GVDD, 24V)이 상기 제 2 노드(Qb)에 인가된다.
- [0079] 즉, 상기 클럭 신호(CRCLK(n+3))에 의해 상기 제 2 노드(Qb)는 충전되고 상기 제 1 노드(Q)는 방전된다.
- [0080] 한편, 도 6에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 인버터부(23)의 상기 제 2 트랜지스터(T2)의 게이트 전극에는 (n+3) 번째 스테이지에서 출력되는 캐리 펄스(CR(n+3))가 인가되므로, 상기 제 1 노드(Q)가 하이 전압 레벨일 때 상기 제 2 트랜지스터(T2)는 턴 오프되지 않으므로 상기 제 2 트랜지스터(T2)를 통해 전류가 흐르지 않는다.
- [0081] 그리고, 상기 제 1 노드(Q)가 로우 전압 레벨일 때 상기 제 2 트랜지스터(T2)는 턴 온 되므로 상기 제 2 트랜지스터(T2)를 통해 전류가 흐른다.
- [0082] 또한, 도 7에 도시한 바와 같이, 본 발명의 제 3 실시예에 따른 인버터부(23)의 상기 제 2 트랜지스터(T2)의 게이트 전극에는 (n+3) 번째 스테이지에 인가되는 클럭 신호(CRCLK(n+3))가 인가되므로, 상기 제 1 노드(Q)가 하이 전압 레벨일 때 상기 제 2 트랜지스터(T2)는 턴 오프되지 않으므로 상기 제 2 트랜지스터(T2)를 통해 전류가 흐르지 않는다.
- [0083] 그리고, 상기 제 1 노드(Q)가 로우 전압 레벨일 때 상기 제 2 트랜지스터(T2)는 턴 온 되므로 상기 제 2 트랜지스터(T2)를 통해 전류가 흐른다.
- [0084] 이상에서 설명한 바와 같이, 인버터부는 상기 제 1 노드(Q)가 하이 전압 레벨 상태일 때, 상기 제 2 트랜지스터(T2)를 통해 전류가 흐르지 않으므로, 주울 열(Jule Heating)로 인해 상기 제 2 트랜지스터(T2)가 열화되거나 도체화 되는 현상을 방지할 수 있고, 더불어 게이트 구동 회로의 구동 불량을 방지할 수 있다.
- [0085] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

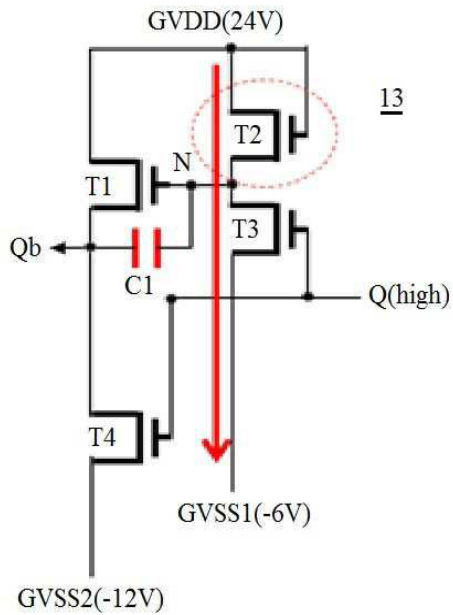
- [0086] 1: 기판
- 2: 게이트 절연막
- 3a, 3b, 3c: 링크 라인
- 4: 층간 절연막
- 5: 콘택 홀
- 6: 게이트 라인

도면

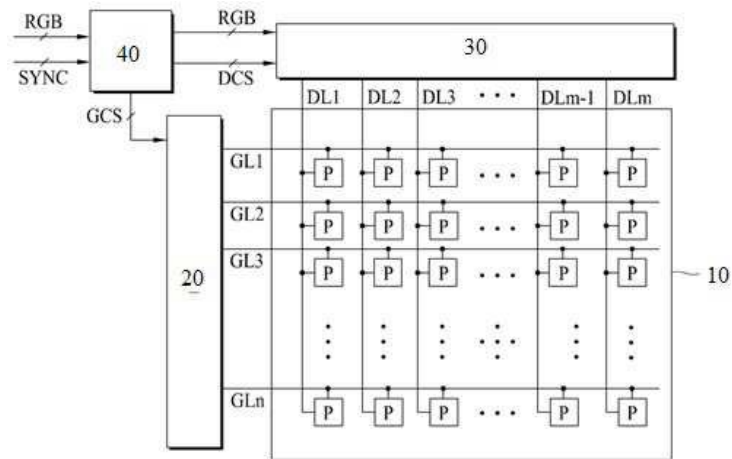
도면1



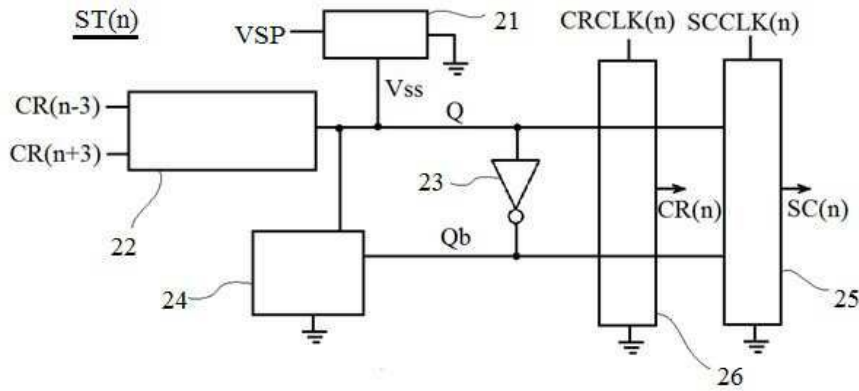
도면2



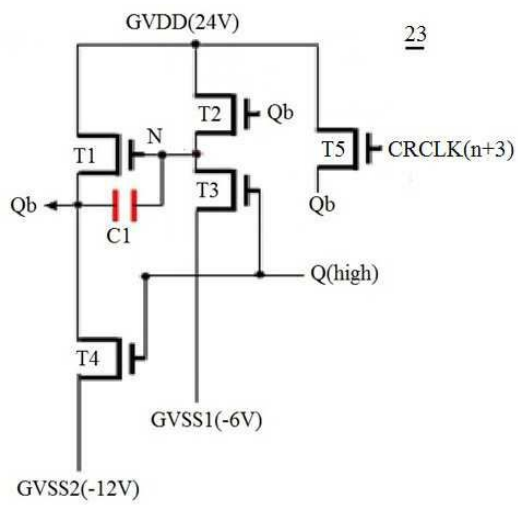
도면3



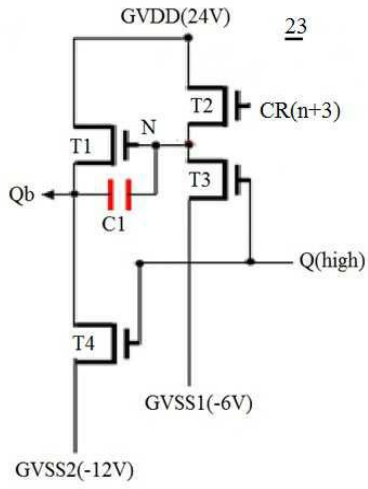
도면4



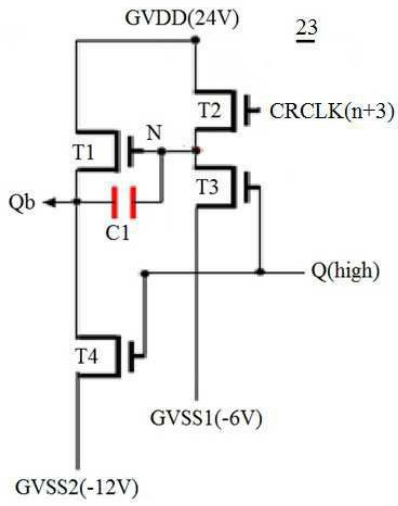
도면5



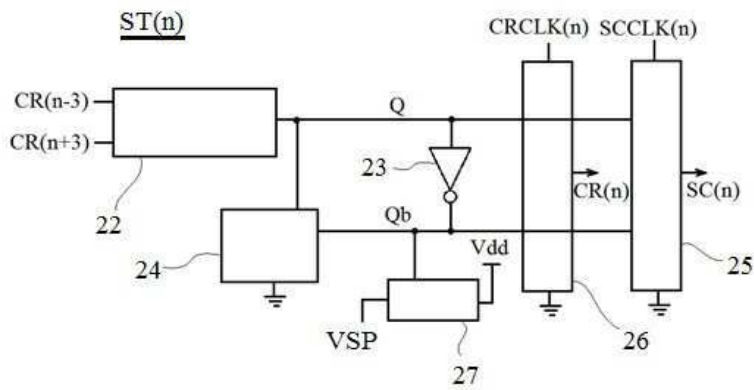
도면6



도면7



도면8



도면9

