

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5665171号
(P5665171)

(45) 発行日 平成27年2月4日(2015.2.4)

(24) 登録日 平成26年12月19日(2014.12.19)

(51) Int.Cl.	F I		
HO 1 L 21/338 (2006.01)	HO 1 L 29/80		H
HO 1 L 29/778 (2006.01)	HO 1 L 21/205		
HO 1 L 29/812 (2006.01)	HO 1 L 29/80		F
HO 1 L 21/205 (2006.01)	HO 1 L 29/50		J
HO 1 L 29/417 (2006.01)	HO 1 L 21/28		3 O 1 B
請求項の数 18 (全 25 頁) 最終頁に続く			

(21) 出願番号	特願2010-112280 (P2010-112280)	(73) 特許権者	000002130
(22) 出願日	平成22年5月14日(2010.5.14)		住友電気工業株式会社
(65) 公開番号	特開2011-243644 (P2011-243644A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成23年12月1日(2011.12.1)	(73) 特許権者	504145320
審査請求日	平成25年4月26日(2013.4.26)		国立大学法人福井大学
			福井県福井市文京3丁目9番1号
特許法第30条第1項適用 刊行物名 E i C 電子情報通信学会 2010年総合大会講演論文集 発行日 平成22年3月2日 発行所 社団法人 電子情報通信学会 研究集会名 電子情報通信学会2010年総合大会 主催者名 社団法人 電子情報通信学会 公開日 平成22年3月17日		(73) 特許権者	000005049
			シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100108257
			弁理士 近藤 伊知良
			最終頁に続く

(54) 【発明の名称】 III族窒化物半導体電子デバイス、III族窒化物半導体電子デバイスを作製する方法

(57) 【特許請求の範囲】

【請求項1】

III族窒化物半導体電子デバイスであって、
 基板と、
 前記基板の主面上に設けられた半導体積層と、
 前記半導体積層に接触を成す第1の電極と、
 前記半導体積層の上に設けられた第2の電極と、
 を備え、
 前記半導体積層は、前記基板の前記主面上に設けられたチャンネル層と、前記チャンネル層に接合を成すバリア層とを含み、
 前記チャンネル層は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなり、
 前記バリア層は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなり、
 前記半導体積層は、前記基板の前記主面に沿って配列された第1、第2及び第3の領域を含み、前記第3の領域は前記第1の領域と前記第2の領域との間に位置し、
 前記チャンネル層は、前記第1～第3の領域にそれぞれ含まれる第1～第3の部分を含み、
 前記チャンネル層の前記第1の部分の不純物濃度は、前記第2の部分の不純物濃度と同じであり、
 前記バリア層は、前記第1～第3の領域にそれぞれ含まれる第1～第3の部分を含み、

前記バリア層の前記第 1 の部分の不純物濃度は、前記第 2 の部分の不純物濃度と同じであり、前記第 1 及び第 2 の電極は、それぞれ、前記第 1 及び第 2 の領域の上に設けられ、
 前記第 1 の電極はドレイン電極及びソース電極のいずれか一方を含み、
 前記第 1 の電極は Zr 及び Al を含み、
 前記第 2 の電極はゲート電極を含み、
 前記ゲート電極はショットキ電極を含み、
 前記第 1 の III 族窒化物半導体のアルミニウム組成は 0.16 以上であり、前記第 2 の III 族窒化物半導体のバンドギャップは前記第 1 の III 族窒化物半導体のバンドギャップより大きく、
 室温における最大ドレイン電流に対し、摂氏 200 度における最大ドレイン電流が、 0.68 倍以上である、III 族窒化物半導体電子デバイス。

10

【請求項 2】

前記不純物はシリコンを含む、請求項 1 に記載された III 族窒化物半導体電子デバイス。

【請求項 3】

前記チャンネル層の $(10 - 12)$ 面の X 線ロッキングカーブ (XRC) 半値全幅が 1000 秒未満である、請求項 1 又は請求項 2 に記載された III 族窒化物半導体電子デバイス。

【請求項 4】

前記チャンネル層の (0002) 面の XRC 半値全幅が 1000 秒未満である、請求項 1 ~ 請求項 3 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

20

【請求項 5】

前記半導体積層と前記基板との間に設けられた $Al_xGa_{1-x}N$ ($0 < x < 1$) 層を更に備える、請求項 1 ~ 請求項 4 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 6】

前記基板は $Al_yGa_{1-y}N$ ($0 < y < 1$) からなる、請求項 1 ~ 請求項 4 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 7】

前記半導体積層と前記基板との間に設けられた $Al_zGa_{1-z}N$ 層 ($0 < z < 1$) を更に備え、

30

前記 $Al_zGa_{1-z}N$ 層のアルミニウム組成は前記半導体積層から前記基板への方向に単調に増加する、請求項 1 ~ 請求項 6 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 8】

前記半導体積層と前記基板との間に設けられた多層膜を更に備え、

前記多層膜は、交互に配列された $Al_uGa_{1-u}N$ ($0 < u < 1$) 層及び $Al_vGa_{1-v}N$ ($u < v < 1$) 層を含む、請求項 1 ~ 請求項 6 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 9】

40

前記半導体積層と前記基板との間に設けられた多層膜を更に備え、

前記多層膜は、交互に配列された $Al_uGa_{1-u}N$ ($0 < u < 1$) 層及び AlN 層を含み、

前記 $Al_uGa_{1-u}N$ ($0 < u < 1$) 層のアルミニウム組成は前記半導体積層から前記基板への方向に単調に増加する、請求項 1 ~ 請求項 6 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 10】

前記チャンネル層が $AlGaN$ からなり、前記バリア層が $AlGaN$ からなる請求項 1 ~ 請求項 9 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 11】

50

前記チャンネル層の水素濃度は $3 \times 10^{18} \text{ cm}^{-3}$ 未満である、請求項 1 ~ 請求項 10 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 12】

前記チャンネル層の炭素濃度は $2.5 \times 10^{17} \text{ cm}^{-3}$ 以下である、請求項 1 ~ 請求項 11 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 13】

前記チャンネル層の酸素濃度は $4.3 \times 10^{17} \text{ cm}^{-3}$ 以下である、請求項 1 ~ 請求項 12 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

【請求項 14】

室温における最大ドレイン電流に対し、300度における最大ドレイン電流が、0.55倍以上である、請求項 1 ~ 請求項 13 のいずれか一項に記載された III 族窒化物半導体電子デバイス。

10

【請求項 15】

III 族窒化物半導体電子デバイスを作製する方法であって、
オーミック電極を形成するためのコンタクトエリアを有する半導体積層を 基板の主面上 に形成する工程と、

前記半導体積層の前記コンタクトエリアにイオン注入を行うことなく、前記コンタクトエリア上に第 1 の電極を形成する工程と、

前記半導体積層の上に第 2 の電極を形成する工程と、
を備え、

20

前記第 1 の電極はドレイン電極及びソース電極のいずれか一方を含み、

前記第 1 の電極は Zr 及び Al を含み、

前記第 2 の電極はゲート電極を含み、

前記ゲート電極はショットキ電極を含み、

前記半導体積層は、前記基板の前記主面上に設けられたチャンネル層と、前記チャンネル層に接合を成すバリア層とを含み、

前記チャンネル層は、III 族構成元素としてアルミニウムを含む第 1 の III 族窒化物半導体からなり、

前記バリア層は、III 族構成元素としてアルミニウムを含む第 2 の III 族窒化物半導体からなり、

30

前記半導体積層は、前記基板の前記主面に沿って配列された第 1、第 2 及び第 3 の領域を含み、前記第 3 の領域は前記第 1 の領域と前記第 2 の領域との間に位置し、

前記チャンネル層は、前記第 1 ~ 第 3 の領域にそれぞれ含まれる第 1 ~ 第 3 の部分を含み、前記チャンネル層の前記第 1 の部分の不純物濃度は、前記第 2 の部分の不純物濃度と同じであり、

前記バリア層は、前記第 1 ~ 第 3 の領域にそれぞれ含まれる第 1 ~ 第 3 の部分を含み、前記バリア層の前記第 1 の部分の不純物濃度は、前記第 2 の部分の不純物濃度と同じであり、

前記第 1 の電極及び第 2 の電極は、それぞれ、前記第 1 及び第 2 の領域の上に設けられ、

40

前記第 1 の III 族窒化物半導体のアルミニウム組成は 0.16 以上であり、前記第 2 の III 族窒化物半導体のバンドギャップは前記第 1 の III 族窒化物半導体のバンドギャップより大きく、

室温における最大ドレイン電流に対し、摂氏 200 度における最大ドレイン電流が、0.68 倍以上である、III 族窒化物半導体電子デバイスを作製する方法。

【請求項 16】

前記半導体積層の形成前に、前記基板上にバッファ層を成長する工程を備える、請求項 15 に記載された III 族窒化物半導体電子デバイスを作製する方法。

【請求項 17】

前記バリア層は、アンドープとして形成される、請求項 15 又は請求項 16 に記載され

50

たIII族窒化物半導体電子デバイスを作製する方法。

【請求項18】

前記第1の電極を形成する工程は、
前記コンタクトエリア上に電極を堆積する工程と、
前記第1の電極を堆積した後に、摂氏1200度以下の温度でアニールを行う工程と、
を含む、請求項15～請求項17のいずれか一項に記載されたIII族窒化物半導体電子デバイスを作製する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III族窒化物半導体電子デバイス、III族窒化物半導体電子デバイスを作製する方法に関する。

【背景技術】

【0002】

特許文献1には、ヘテロ接合型電界効果トランジスタが記載されている。このトランジスタは、AlGa_Nチャンネル層及びAlGa_Nバリア層を有する。ソース/ドレイン電極は、シリコンのイオン注入を用いて形成され、またTi/Alからなる。

【0003】

特許文献2には、チャンネル層/バリア層の接合が記載されている。チャンネル層はAlGa_Nを有する。0.16以上のAl組成を有するAlGa_Nチャンネル層を含む高電子移動度トランジスタでは、イオン注入による不純物添加を用いて、Ti/Alからなるオーミック電極を形成している。不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。

【0004】

非特許文献1にはAlGa_Nチャンネル層及びAlGa_Nバリア層を用いる高電子移動度トランジスタが記載されている。ソース電極及びドレイン電極が接合するエリアには、50keVの加速エネルギー及び $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量のシリコンイオンの注入を行っており、高濃度領域上にTi/Al電極を形成している。

【0005】

非特許文献2には、電子ビーム法で作製される高電子移動度トランジスタが記載されている。この高電子移動度トランジスタは、Al組成0.06のAlGa_Nチャンネル層を有し、オーミック電極はTi/Al/Ni/Auからなる。

【0006】

非特許文献3には、AlGa_N/Ga_N高電子移動度トランジスタが記載されている。このAlGa_N/Ga_Nでは、温度の上昇と伴って $I_{d \text{ max}}$ （最大ドレイン電流）が低下する。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-243881号公報

【特許文献2】特開2009-049358号公報

【非特許文献】

【0008】

【非特許文献1】Applied Physics Express 1, (2008) 011101, Takuma Najiro, et al., "First Operation of AlGa_N Channel High Electron Mobility Transistors."

【非特許文献2】Japanese Journal of Applied Physics, Vol. 47, No. 5, 2008, pp-3359-3361, Ajay RAMAN, et al., "AlGa_N Channel High Electron Mobility Transistors: Device Performance and Power-Switching Figure of Merit".

【非特許文献3】APPLIED PHYSICS LETTERS, VOL. 80, No. 12, S. Arulkumaran

10

20

30

40

50

, et al., "High Temperature Effect of AlGaIn/GaN high-electron Mobility Transistors on sapphire semi-insulating SiC substrate"

【発明の概要】

【発明が解決しようとする課題】

【0009】

特許文献1に記載された発明の目的は、高出力化及び高耐圧化が可能なヘテロ接合電界効果トランジスタを提供することにある。特許文献1には、トランジスタのドレイン電流特性が記載されていない。特許文献2に記載された発明の目的は、ソース/ドレイン(オーミック)電極のコンタクト抵抗を低減することにある。特許文献1及び2のいずれにおいても、ソース/ドレイン電極の形成のために、イオン注入を用いている。

10

【0010】

非特許文献3は、AlGaIn/GaN高電子移動度トランジスタにおいて、最大ドレイン電流 I_{dmax} が温度の上昇に伴って低下することを開示する。このような特性の低下は、特許文献1及び2並びに非特許文献1~3のいずれにも開示されておらず、また、そのような特性低下を改善する回答を提供していない。発明者らの知見によれば、AlGaIn/AlGaInヘテロ接合の利用により、上記の I_{dmax} 特性低下が低減される。

【0011】

本発明は、上記の事情を鑑みて為されたものであり、 I_{dmax} 特性低下を低減可能なIII族窒化物半導体電子デバイスを提供することを目的とし、また、 I_{dmax} 特性低下を低減可能な、III族窒化物半導体電子デバイスを作製する方法を提供することを目的とする。

20

【課題を解決するための手段】

【0012】

本発明の一側面に係るIII族窒化物半導体電子デバイスは、(a)基板と、(b)前記基板の主面上に設けられた半導体積層と、(c)前記半導体積層に接触を成す第1の電極と、(d)前記半導体積層上に設けられた第2の電極とを備える。前記半導体積層は、前記基板の前記主面上に設けられたチャンネル層と、前記チャンネル層に接合を成すバリア層とを含み、前記チャンネル層は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなり、前記バリア層は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなり、前記半導体積層は、前記基板の前記主面に沿って配列された第1、第2及び第3の領域を含み、前記第3の領域は前記第1の領域と前記第2の領域との間に位置し、前記チャンネル層は、前記第1~第3の領域にそれぞれ含まれる第1~第3の部分を含み、前記第1の部分の不純物濃度は、前記第2の部分の不純物濃度と同じであり、前記第1及び第2の電極は、それぞれ、前記第1及び第2の部分上に設けられ、前記第1の電極はドレイン電極及びソース電極のいずれか一方を含み、前記第2の電極はゲート電極を含み、前記第1のIII族窒化物半導体のアルミニウム組成は0.16以上であり、前記第2のIII族窒化物半導体のバンドギャップは前記第1のIII族窒化物半導体のバンドギャップより大きい。

30

【0013】

上記のIII族窒化物半導体電子デバイスでは、チャンネル層は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなると共に、バリア層は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなる。これ故に、 I_{dmax} 特性低下を低減可能なIII族窒化物半導体電子デバイスが提供される。また、第1及び第2の電極は、それぞれ、半導体積層の第1及び第2の領域上に設けられている。チャンネル層において第1の部分の不純物濃度が第2の部分の不純物濃度と同じであるので、チャンネル層における第1の部分に、イオン注入が行われていない。これ故に、 I_{dmax} 特性低下を更に低減可能なIII族窒化物半導体電子デバイスが提供される。

40

【0014】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記バリア層は、前記第1~第3の領域にそれぞれ含まれる第1~第3の部分を含み、前記第1の部分の不純物濃

50

度は、前記第2の部分の不純物濃度と同じであることができる。この電子デバイスによれば、バリア層において第1の部分の不純物濃度が第2の部分の不純物濃度と同じである。これ故に、バリア層における第1の部分に、イオン注入が行われていない。これ故に、 $I_{d\ max}$ 特性低下を低減可能なIII族窒化物半導体電子デバイスが提供される。

【0015】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記不純物はシリコンを含むことができる。この電子デバイスによれば、シリコン不純物は、イオン注入による供給によることなく、半導体積層を形成する際の、原料中に含まれる不純物や、成長炉の汚染、成長炉内のヒータ等の治具等を介しても半導体積層に導入される。

【0016】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記チャンネル層の(10-12)面のX線ロックアップカーブ(XRC)半値全幅が1000秒未満であることが好適である。この電子デバイスによれば、イオン注入を行わないので、成膜時の結晶品質を大きく損なうことがない。これ故に、ソース/ドレインのためのイオン注入を行わないデバイスでは、チャンネル層の(10-12)面のXRC半値全幅における良好さが、III族窒化物半導体電子デバイスのデバイス特性に影響する。例えば、このXRC半値全幅による結晶品質が、第1の領域に維持されているので、電極の接触抵抗の低減に好適である。また、このXRC半値全幅による結晶品質により、ドレイン電流の温度特性を改善できる。

【0017】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記チャンネル層の(0002)面のXRC半値全幅が1000秒未満であることが好適である。この電子デバイスによれば、イオン注入を行わないので、成膜時の結晶品質を大きく損なうことがない。これ故に、ソース/ドレインのためのイオン注入を行わないデバイスでは、チャンネル層の(10-12)面のXRC半値全幅における良好さが、III族窒化物半導体電子デバイスのデバイス特性に影響する。例えば、このXRC半値全幅による結晶品質が、第1の領域に維持されているので、電極の接触抵抗の低減に好適である。また、このXRC半値全幅による結晶品質により、ドレイン電流の温度特性を改善できる。

【0018】

本発明の一側面に係るIII族窒化物半導体電子デバイスは、前記半導体積層と前記基板との間に設けられた $Al_xGa_{1-x}N$ ($0 < x < 1$)層を更に備えることができる。前記基板はサファイア、SiC、Si等からなる。この電子デバイスによれば、サファイア、SiC、Si等の基板上的 $AlGa$ Nチャンネル層を提供できる。或いは、本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記基板は $Al_yGa_{1-y}N$ ($0 < y < 1$)からなることができる。この電子デバイスによれば、 $AlGa$ N基板及び AlN 基板上的 $AlGa$ Nチャンネル層を提供できる。

【0019】

本発明の一側面に係るIII族窒化物半導体電子デバイスは、前記半導体積層と前記基板との間に設けられた $Al_zGa_{1-z}N$ ($0 < z < 1$)層を更に備えることができる。前記 $Al_zGa_{1-z}N$ は前記半導体積層から前記基板へ方向にアルミニウム組成が単調に増加することが好ましい。このIII族窒化物半導体電子デバイスによれば、組成傾斜により、 $Al_zGa_{1-z}N$ ($0 < z < 1$)層上に設けられる半導体層の結晶品質を改善できる。

【0020】

本発明の一側面に係るIII族窒化物半導体電子デバイスは、前記半導体積層と前記基板との間に設けられた多層膜を更に備えることができる。前記多層膜は、交互に配列された $Al_cGa_{1-c}N$ ($0 < c < 1$)層及び $Al_dGa_{1-d}N$ ($c < d < 1$)層を含み、前記 $Al_cGa_{1-c}N$ ($0 < c < 1$)層のアルミニウム組成は一定であることが好ましい。このIII族窒化物半導体電子デバイスによれば、多層膜により、 $Al_cGa_{1-c}N$ ($0 < c < 1$)層上に設けられる半導体層の結晶品質を改善できる。また、 $Al_dGa_{1-d}N$

10

20

30

40

50

$\text{Al}_U\text{Ga}_{1-U}\text{N}$ ($0 < U < 1$) 層は AlN を含むことがよい。AINを用いることで、より高い抵抗が実現できる（低抵抗化を抑制できる）からである。

【0021】

本発明の一側面に係るIII族窒化物半導体電子デバイスは、前記半導体積層と前記基板との間に設けられた多層膜を更に備えることができる。前記多層膜は、交互に配列された $\text{Al}_U\text{Ga}_{1-U}\text{N}$ ($0 < U < 1$) 層及び $\text{Al}_V\text{Ga}_{1-V}\text{N}$ ($0 < V < 1$) 層を含み、前記 $\text{Al}_U\text{Ga}_{1-U}\text{N}$ ($0 < U < 1$) 層のアルミニウム組成は前記半導体積層から前記基板への方向に単調に増加することが好ましい。このIII族窒化物半導体電子デバイスによれば、多層膜における組成傾斜により、 $\text{Al}_U\text{Ga}_{1-U}\text{N}$ ($0 < U < 1$) 層上に設けられる半導体層の結晶品質を改善できる。また、 $\text{Al}_V\text{Ga}_{1-V}\text{N}$ ($0 < V < 1$) 層は AlN を含むことがよい。AINを用いることで、より高い抵抗が実現できる（低抵抗化を抑制できる）からである。

10

【0022】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記チャネル層が AlGaIn からなり、前記バリア層が AlGaIn からなることが好適である。このIII族窒化物半導体電子デバイスによれば、 $\text{AlGaIn}/\text{AlGaIn}$ ヘテロ接合が提供される。

【0023】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記チャネル層の水素濃度は $3 \times 10^{18} \text{ cm}^{-3}$ 未満であることができる。この電子デバイスによれば、これよりも低い水素濃度の場合に、イオン注入を使わずにオーミック電極の形成が可能だからである。また、本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記チャネル層の炭素濃度は $2.5 \times 10^{17} \text{ cm}^{-3}$ 以下であることができる。この電子デバイスによれば、これよりも低い炭素濃度の場合に、イオン注入を使わずにオーミック電極の形成が可能だからである。さらに、本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記チャネル層の酸素濃度は $4.3 \times 10^{17} \text{ cm}^{-3}$ 以下であることができる。この電子デバイスによれば、これよりも低い酸素濃度の場合に、イオン注入を使わずにオーミック電極の形成が可能だからである。

20

【0024】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、室温（例えば摂氏27度）における最大ドレイン電流に対し、摂氏200度における最大ドレイン電流が、0.68倍以上であることができる。また、本発明の一側面に係るIII族窒化物半導体電子デバイスでは、室温（例えば摂氏27度）最大ドレイン電流に対し、300度における最大ドレイン電流が、0.55倍以上であることができる。

30

【0025】

本発明の一側面に係るIII族窒化物半導体電子デバイスでは、前記第1の電極はZr及びAlを含むことが好適である。この電子デバイスによれば、イオン注入を行うことなく、III族構成元素としてアルミニウムを含むIII族窒化物半導体への接触抵抗を低減できる。これは、Zr及びAl以外の他の電極を用いても作製は可能であり、必ずしも、Zr及びAlに限定されるものではない。

40

【0026】

本発明の別の側面は、III族窒化物半導体電子デバイスを作製する方法である。この方法は、(a) オーミック電極を形成するためのコンタクトエリアを有する半導体積層を基板上の主面上に形成する工程と、(b) 前記半導体積層の前記コンタクトエリアにイオン注入を行うことなく、前記コンタクトエリア上に第1の電極を形成する工程とを備える。前記第1の電極はドレイン電極及びソース電極のいずれか一方を含み、前記半導体積層は、前記基板の前記主面上に設けられたチャネル層と、前記チャネル層に接合を成すバリア層とを含み、前記チャネル層は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなり、前記バリア層は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなり、前記第1のIII族窒化物半導体のアルミニウム組成は0.1

50

6以上であり、前記第2のIII族窒化物半導体のバンドギャップは前記第1のIII族窒化物半導体のバンドギャップより大きい。

【0027】

この作製方法によれば、チャンネル層は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなると共に、バリア層は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなる。これ故に、 I_{dmax} 特性低下を低減可能なIII族窒化物半導体電子デバイスが提供される。また、半導体積層のコンタクトエリアにイオン注入を行うことなく、コンタクトエリア上に第1の電極を形成するので、 I_{dmax} 特性低下を更に低減可能なIII族窒化物半導体電子デバイスが提供される。

【0028】

本発明の別の側面に係る作製方法は、(c)前記半導体積層の形成前に、前記基板上にバッファ層を成長する工程と、(d)前記半導体積層上に第2の電極を形成する工程を備えることができる。前記半導体積層は、前記基板の前記主面に沿って配列された第1、第2及び第3の領域を含み、前記第3の領域は前記第1の領域と前記第2の領域との間に位置し、前記チャンネル層は、前記第1～第3の領域にそれぞれ含まれる第1～第3の部分を含み、前記第1の部分の不純物濃度は、前記第2の部分の不純物濃度と同じであり、前記第1及び第2の電極は、それぞれ、前記第1及び第2の領域上に設けられ、前記第2の電極はゲート電極を含む。

【0029】

本発明の別の側面に係る作製方法では、前記第1の電極を形成する工程は、前記コンタクトエリア上にZrを堆積する工程と、前記コンタクトエリア上にAlを堆積する工程と、前記Zr及び前記Alを堆積した後に、摂氏1200度以下の温度でアニールを行う工程とを含むことができる。この作製方法によれば、良好なオーミック接触を示す電極を形成できる。なお、他の電極であっても、オーミック電極は、摂氏1200度以下の温度でアニールする工程を含むことで、作製可能である。

【0030】

本発明の別の側面に係る作製方法では、前記第1の電極はZr及びAlを含むことができる。この作製方法によれば、イオン注入を行うことなく、III族構成元素としてアルミニウムを含むIII族窒化物半導体への接触抵抗を低減できる。

【0031】

本発明の更なる別の側面では、前記第1の電極はZr及びAlを含むことが好ましい。この方法によれば、高Al組成のIII族窒化物半導体に対して良好な接触抵抗を提供できる。

【0032】

本発明のまた更なる別の側面は、III族窒化物半導体電子デバイスを作製する方法である。この方法は、(a)III族構成元素としてアルミニウムを含むIII族窒化物半導体からなる半導体層を含みオーミック電極のためのコンタクトエリアを有する半導体積層を基板の主面上に形成する工程と、(b)前記半導体積層の前記コンタクトエリア上に第1の電極を形成する工程とを備える。前記III族窒化物半導体のアルミニウム組成は0.16以上である。この方法によれば、イオン注入により半導体層に導入される可能性のある欠陥を妨げられることなく、高Al組成のコンタクトエリア上に第1の電極を形成できる。

【0033】

本発明のまた更なる別の側面では、前記第1の電極を形成する工程は、前記コンタクトエリア上にZrを電子ビーム法で堆積する工程と、前記コンタクトエリア上にAlを電子ビーム法で堆積する工程と、前記Zr及び前記Alを堆積した後に、摂氏1200度以下の温度でアニールを行う工程とを含むことができる。この作製方法によれば、良好なオーミック接触を示す電極を形成できる。なお、電極を堆積する方法は、電子ビーム法に限定されるものではなく、例えばスパッタ法や、抵抗加熱法など、任意の方法で可能である。

【0034】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進めら

10

20

30

40

50

れる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【発明の効果】

【0035】

以上説明したように、本発明の一側面によれば、 $I_{d\max}$ 特性低下を低減可能なIII族窒化物半導体電子デバイスが提供される。本発明の別の側面によれば、 $I_{d\max}$ 特性低下を低減可能な、III族窒化物半導体電子デバイスを作製する方法が提供される。

【図面の簡単な説明】

【0036】

【図1】図1は、本実施の形態に係るIII族窒化物半導体電子デバイスを概略的に示す図面である。

10

【図2】図2は、本実施の形態に係るIII族窒化物半導体電子デバイスを製造する方法における主要な工程を示す図面である。

【図3】図3は、本実施の形態に係るIII族窒化物半導体電子デバイスを製造する方法における主要な工程を示す図面である。

【図4】図4は、本実施の形態に係るIII族窒化物半導体電子デバイスを製造する方法における主要な工程を示す図面である。

【図5】図5は、本実施の形態に係るIII族窒化物半導体電子デバイスを製造する方法における主要な工程を示す図面である。

【図6】図6は、HEMTデバイスA、B、Cの最大ドレイン電流($I_{d\max}$)の温度依存性を示す図面である。

20

【図7】図7は、HEMTデバイスA、B、Cの最大ドレイン電流($I_{d\max}$)の温度依存性の一覧を示す図面である。

【図8】図8は、更なる追加実験における作製条件及び測定結果を示す図面である。

【図9】図9は、更なる追加実験における作製条件及び測定結果を示す図面である。

【図10】図10は、本実施の形態に従って作製された高電子移動度トランジスタの電流特性を示す図面である。

【発明を実施するための形態】

【0037】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明のIII族窒化物半導体電子デバイス、III族窒化物半導体電子デバイスを作製する方法に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

30

【0038】

図1は、本実施の形態に係るIII族窒化物半導体電子デバイスを概略的に示す図面である。図1の(b)部を参照すると、III族窒化物半導体電子デバイス11は、基板13と、半導体積層15と、第1の電極17と、第2の電極19とを備える。基板13は主面13a及び裏面13bを有し、絶縁性又は半絶縁性を示すものがよいが、導電性基板を用いることも可能である。半導体積層15は基板13の主面13a上に設けられる。第1の電極17は半導体積層15に接触を成す。第2の電極19は半導体積層15上に設けられる。第1の電極17は、III族窒化物半導体電子デバイス11のドレイン電極及びソース電極のいずれか一方を含む。第2の電極19はIII族窒化物半導体電子デバイス11のゲート電極を含む。第2の電極19は例えばNi及びAuを含むことができる。

40

【0039】

半導体積層15はチャンネル層21及びバリア層23を含む。チャンネル層21及びバリア層23は基板13の主面13a上に設けられ、また主面13aの法線軸Nx(図1に示された座標系Sのx軸)に沿って配列されている。バリア層23はチャンネル層21にヘテロ接合25を成す。チャンネル層21には、ヘテロ接合25に沿って二次元電子ガスが生成される。

【0040】

チャンネル層21は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体

50

からなり、第1のIII族窒化物半導体は例えば $In_{x_2}Al_{x_1}Ga_{1-x_1-x_2}N$ ($0.16 < x_1 < 1, 0 < x_2 < 1, 0 < x_1 + x_2 < 1$) からなる。第1のIII族窒化物半導体は例えば AlInGaN、AlGaInN 等からなることができる。バリア層23は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなり、第2のIII族窒化物半導体は例えば $In_{y_2}Al_{y_1}Ga_{1-y_1-y_2}N$ ($X_1 < Y_1 < 1, 0 < Y_2 < 1, 0 < Y_1 + Y_2 < 1$) からなる。第2のIII族窒化物半導体は例えば AlInGaN、AlInN、AlGaInN、AlInN 等からなることができる。第2のIII族窒化物半導体のバンドギャップは第1のIII族窒化物半導体のバンドギャップより大きい。好ましい実施例では、チャンネル層21は、例えば $Al_{x_1}Ga_{1-x_1}N$ ($0.16 < X_1 < 1$) からなり、バリア層23は例えば $Al_{y_1}Ga_{1-y_1}N$ ($X_1 < Y_1 < 1$) からなる。

10

【0041】

半導体積層15は第1、第2及び第3の領域15a、15b、15cを含み、第1～第3の領域15a～15cは基板13の主面13a(図1に示された座標系Sのz軸)に沿って配列される。第3の領域15cは第1の領域15aと第2の領域15bとの間に位置する。チャンネル層21は第1、第2及び第3の部分21a、21b、21cを含み、第1～第3の部分21a～21cは、それぞれ、半導体積層15の第1～第3の領域15a～15cに含まれる。チャンネル層21において、第1の部分21aの不純物濃度は第2の部分21bの不純物濃度と同じである。これ故に、第1の部分21aにはイオン注入が行われていない。第1の電極17は第1の部分21a上に設けられ、また第2の電極19は第2の部分21b上に設けられる。チャンネル層21は、成長の際の不純物分布を保持している。チャンネル層21にはイオン注入が行われていない。これ故に、第1～第3の部分21a～21cは互いに実質的に同じ不純物濃度を有する。

20

【0042】

バリア層23は第1、第2及び第3の部分23a、23b、23cを含み、第1～第3の部分23a～23cは、それぞれ、半導体積層15の第1～第3の領域15a～15cに含まれる。バリア層23において、第1の部分23aの不純物濃度は第2の部分23bの不純物濃度と同じである。これ故に、第1の部分23aにはイオン注入が行われていない。第1の電極17は第1の部分23a上に設けられ、また第2の電極19は第2の部分23b上に設けられる。バリア層23は、成長の際の不純物分布を保持している。バリア層23にはイオン注入が行われていない。これ故に、第1～第3の部分23a～23cは互いに実質的に同じ不純物濃度を有する。

30

【0043】

III族窒化物半導体電子デバイス11では、チャンネル層21は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなると共に、バリア層23は、チャンネル層21より大きなバンドギャップのIII族窒化物半導体からなる。チャンネル層21が、GaInNではなく、III族構成元素としてアルミニウムを含む窒化物半導体からなるので、 I_{dmax} 特性低下を低減可能なIII族窒化物半導体電子デバイス11が提供される。

【0044】

また、チャンネル層21において第1の部分21aの不純物濃度が第2の部分21bの不純物濃度と同じであるから、チャンネル層21における第1の部分にイオン注入が行われていない。第1及び第2の電極17、19は、それぞれ、チャンネル層21の第1及び第2の部分21a、21b上に設けられ、また図1に示された座標系Sのy軸の方向に延在する。本実施の形態において以下に説明されるように、ソース電極及びドレイン電極直下の半導体領域におけるキャリア濃度を高めるために半導体積層15に部分的にイオン注入を行っていない。このイオン注入の使用回避により、 I_{dmax} 特性低下を更に低減可能なIII族窒化物半導体電子デバイス11が提供される。

40

【0045】

上記の不純物は例えばシリコンを含むことができる。このIII族窒化物半導体電子デバイス11によれば、シリコン不純物は、イオン注入による供給によることなく、半導体積層15を形成する際の原料中に含まれる不純物や、成長炉の汚染、成長炉内のヒータ等の

50

治具等からも半導体積層 1 5 に導入される。一方、この導入は、意図的なものではなく、成膜中にドーパント原料を供給せずにチャンネル層 2 1 及びバリア層 2 3 を成長するとき、チャンネル層 2 1 及びバリア層 2 3 はアンドープ層からなる。なお、必要な場合、バリア層 2 3 には意図的な不純物添加を行うことができる。一方、結晶品質の低下を避けるために、チャンネル層 2 1 には意図的な不純物添加をしないことがよい。

【 0 0 4 6 】

半導体積層 1 5 は第 4 及び第 5 の領域 1 5 d、1 5 e を含み、第 1 ~ 第 5 の領域 1 5 a ~ 1 5 e は基板 1 3 の主面 1 3 a (図 1 に示された座標系 S の z 軸) に沿って配列される。第 5 の領域 1 5 e は第 2 の領域 1 5 b と第 4 の領域 1 5 d との間に位置する。チャンネル層 2 1 は第 4 及び第 5 の部分 2 1 d、2 1 e を含み、第 1 ~ 第 5 の部分 2 1 a ~ 2 1 e は、それぞれ、半導体積層 1 5 の第 1 ~ 第 5 の領域 1 5 a ~ 1 5 e に含まれる。チャンネル層 2 1 において、第 4 の部分 2 1 d の不純物濃度は第 5 の部分 2 1 e の不純物濃度と同じである。これ故に、第 4 の部分 2 1 d にはイオン注入が行われていない。第 3 の電極 2 7 は第 4 の部分 2 1 d 上に設けられる。第 1 ~ 第 5 の部分 2 1 a ~ 2 1 e は互いに実質的に同じ不純物濃度を有する。チャンネル層 2 1 は、成長の際の不純物分布を保持している。チャンネル層 2 1 にはイオン注入が行われていない。

10

【 0 0 4 7 】

バリア層 2 3 は第 4 及び第 5 の部分 2 3 d、2 3 e を含み、第 1 ~ 第 5 の部分 2 3 a ~ 2 3 e は、それぞれ、半導体積層 1 5 の第 1 ~ 第 5 の領域 1 5 a ~ 1 5 e に含まれる。バリア層 2 3 において、第 4 の部分 2 3 d の不純物濃度は第 5 の部分 2 3 e の不純物濃度と同じである。これ故に、第 4 の部分 2 3 d にはイオン注入が行われていない。第 3 の電極 2 7 は第 4 の部分 2 3 d 上に設けられる。第 1 ~ 第 5 の部分 2 3 a ~ 2 3 e は互いに実質的に同じ不純物濃度を有する。バリア層 2 3 は、成長の際の不純物分布を保持している。バリア層 2 3 にはイオン注入が行われていない。既に説明したように、第 1 の電極 1 7 が III 族窒化物半導体電子デバイス 1 1 のドレイン電極及びソース電極のいずれか一方を含むので、ドレイン電極及びソース電極のいずれか他方を含む。第 3 の電極 2 7 は例えば Zr 及び Al を含む。第 4 の部分 2 3 d においても、ソース電極及びドレイン電極直下の半導体領域におけるキャリア濃度を高めるためのイオン注入を半導体積層 1 5 に行っていない。このイオン注入の使用回避により、 $I_{d \max}$ 特性低下を更に低減可能な III 族窒化物半導体電子デバイス 1 1 が提供される。

20

30

【 0 0 4 8 】

バリア層 2 3 / チャンネル層 2 1 の好ましい材料には、例えば AlGaIn / AlGaIn、AlN / AlGaIn、AlInN / AlGaIn 等がある。また、チャンネル層 2 1 の水素濃度は $3 \times 10^{18} \text{ cm}^{-3}$ 未満であることができる。この III 族窒化物半導体電子デバイス 1 1 によれば、これよりも低い水素濃度の場合に、イオン注入を用いることなく、オーミックの形成が可能だからである。また、III 族窒化物半導体電子デバイス 1 1 では、チャンネル層 2 1 の炭素濃度は $2.5 \times 10^{17} \text{ cm}^{-3}$ 以下であることができる。この III 族窒化物半導体電子デバイス 1 1 によれば、これよりも低い炭素濃度の場合に、イオン注入を用いることなく、オーミックの形成が可能だからである。さらに、III 族窒化物半導体電子デバイス 1 1 では、チャンネル層 2 1 の酸素濃度は $4.3 \times 10^{17} \text{ cm}^{-3}$ 以下であることができる。この III 族窒化物半導体電子デバイス 1 1 によれば、これよりも低い酸素濃度の場合に、イオン注入を用いることなく、オーミックの形成が可能だからである。

40

【 0 0 4 9 】

III 族窒化物半導体電子デバイス 1 1 では、ソース電極及びドレイン電極直下の半導体領域におけるキャリア濃度を高めるためのイオン注入を半導体積層 1 5 に行っていない。これ故に、チャンネル層 2 1 の (1 0 - 1 2) 面の XRC 半値全幅が 1 0 0 0 秒未満であることが好適である。イオン注入を行わない電子デバイスでは、電極形成工程におけるチャンネル層 2 1 及び / 又はバリア層 2 3 の結晶品質は、成膜時の結晶品質から大きく低下することがない。これ故に、ソース / ドレインのためのイオン注入を行わないデバイスでは、チャンネル層 2 1 の (1 0 - 1 2) 面の XRC 半値全幅における良好さが、III 族窒化物半

50

導体電子デバイス 11 のデバイス特性に影響する。例えば、この X R C 半値全幅による結晶品質が、第 1 の領域 15 a に維持されているので、電極 17 の接触抵抗の低減（電極 27 も同様）に好適である。また、この X R C 半値全幅による結晶品質により、電極 17、27 のオーミック接触特性を向上でき、またドレイン電流の温度特性を改善できる。

【0050】

また、チャンネル層 21 の (0002) 面の X R C 半値全幅が 1000 秒未満であることが好適である。ソース/ドレインのためのイオン注入を行わないデバイスでは、チャンネル層 21 の (10-12) 面の X R C 半値全幅における良好さが、III 族窒化物半導体電子デバイスのデバイス特性に影響する。例えば、この X R C 半値全幅による結晶品質が、第 1 の領域 15 a に維持されているので、電極 17 の接触抵抗の低減（電極 27 も同様）に好適である。また、この X R C 半値全幅による結晶品質により、電極 17、27 のオーミック接触特性を向上でき、またドレイン電流の温度特性を改善できる。

10

【0051】

上記のように、チャンネル層 21 の C 面や R 面の X R C 特性が良好であるとき、オーミック接触の形成においてオーミック接触特性が安定する。

【0052】

第 1 の電極 17 は Zr 及び Al を含むことが好適である。例えば Zr / Al は、III 族構成元素としてアルミニウムを含む III 族窒化物半導体への接触抵抗をイオン注入無しに低減できる。なお、Zr / Al 以外の電極でも作製可能である。

【0053】

III 族窒化物半導体電子デバイスは $Al_x Ga_{1-x} N$ ($0 < x < 1$) 層 29 を更に備えることができ、 $Al_x Ga_{1-x} N$ ($0 < x < 1$) 層 29 は半導体積層 15 と基板 13 との間に設けられる。基板 13 は、サファイア基板、SiC 基板、AlN 基板、AlGaIn 基板といった絶縁体であることができるが、Si 基板、n 型の SiC 基板等の導電性基板を用いることもできる。基板 13 が、例えばサファイアからなるとき、 $Al_x Ga_{1-x} N$ ($0 < x < 1$) 層 29 の使用により、AlGaIn からなるチャンネル層 21 がサファイア基板上に提供される。或いは、基板 13 が $Al_y Ga_{1-y} N$ ($0 < y < 1$) からなるとき、AlGaIn からなるチャンネル層が AlGaIn 基板や AlN 基板上に提供される。これらの基板材料を用いるとき、 $Al_x Ga_{1-x} N$ 層 29 の形成において Al 組成が意図的に変更されず、 $Al_x Ga_{1-x} N$ 層 29 は単一 Al 組成を有する。

20

30

【0054】

図 1 の (c) 部を参照すると、III 族窒化物半導体電子デバイス 11 は、 $Al_x Ga_{1-x} N$ 層 29 として、 $Al_z Ga_{1-z} N$ ($0 < z < 1$) 層 29 a を備えることができる。傾斜組成 $Al_z Ga_{1-z} N$ 層 29 a は半導体積層 15 と基板 13 との間に設けられる。 $Al_z Ga_{1-z} N$ は半導体積層 15 から基板 13 への方向にアルミニウム組成が単調に変化することが好ましい。傾斜組成 $Al_z Ga_{1-z} N$ 層 29 a において、一方の面 28 a におけるアルミニウム組成 N1 は他方の面 28 b におけるアルミニウム組成 N2 より小さい。 $Al_z Ga_{1-z} N$ は組成傾斜しており、図 1 の (c) 部に示された例では、半導体積層 15 から基板 13 への方向にアルミニウム組成が増加する。この組成傾斜により、傾斜組成 $Al_z Ga_{1-z} N$ ($0 < z < 1$) 層 29 a 上に設けられる半導体層の結晶品質を改善できる。

40

【0055】

また、図 1 の (a) 部を参照すると、III 族窒化物半導体電子デバイス 11 は、 $Al_x Ga_{1-x} N$ 層 29 として、多層膜 29 b を備えることができる。多層膜 29 b は、半導体積層 15 と基板 13 との間に設けられる。多層膜 29 b は複数の $Al_u Ga_{1-u} N$ ($0 < u < 1$) 層 30 a 及び複数の $Al_v Ga_{1-v} N$ ($u < v < 1$) 層 30 b を含み、 $Al_u Ga_{1-u} N$ 層 30 a 及び $Al_v Ga_{1-v} N$ 層 30 b は交互に配列されている。 $Al_v Ga_{1-v} N$ 層 30 b のアルミニウム組成は $Al_u Ga_{1-u} N$ 層 30 a のアルミニウム組成より大きい。 $Al_u Ga_{1-u} N$ 層 30 a の配列において、 $Al_u Ga_{1-u} N$ 層 30 a のアルミニウム組成は半導体積層 15 から基板 13 への方向に単調に変化するこ

50

とが好ましい。最も半導体積層 15 に近い $Al_{\nu}Ga_{1-\nu}N$ 層 30b のアルミニウム組成 N3 は、最も基板 13 に近い $Al_{\nu}Ga_{1-\nu}N$ 層 30b のアルミニウム組成 N4 より小さい。図 1 の (a) 部に示された例では、 $Al_{\nu}Ga_{1-\nu}N$ 層 30a は、半導体積層 15 から基板 13 へ方向にアルミニウム組成が増加する。この III 族窒化物半導体電子デバイスによれば、多層膜 29b における組成傾斜により、多層膜 29b 上に設けられる半導体層の結晶品質を改善できる。また、 $Al_{\nu}Ga_{1-\nu}N$ ($\nu < 1$) 層は AlN を含むことがよい。AlN を用いることで、より高い抵抗が実現できる (低抵抗化を抑制できる) からである。

図 1 の (a) 部に示された例では、 $Al_{\nu}Ga_{1-\nu}N$ 層 30a は、半導体積層 15 から基板 13 へ方向にアルミニウム組成が増加しているが、この $Al_{\nu}Ga_{1-\nu}N$ 層 30a のアルミニウム組成が一定でもよい。多層膜 29b により、多層膜 29b 上に設けられる半導体層の結晶品質を改善できる。

【0056】

次いで、図 2、図 3 及び図 4 は、III 族窒化物半導体電子デバイスを作製する方法における主要な工程を示す図面である。引き続き工程においては、半導体結晶の成長は、成長炉 10a を用いて行われる。成長炉 10a では、例えば有機金属気相成長法が用いられる。

【0057】

図 2 の (a) 部に示されるように、工程 S101 では、成長炉 10a に基板 43 を配置する。基板 43 は、サファイア、SiC、Si、AlN、AlGaIn 等からなることができる。この基板 43 の主面 43a の熱処理を行うことができる。基板 43 がサファイアからなるとき、この熱処理の条件は水素雰囲気注で摂氏 1200 度の温度で実施することができる。必要な場合には、引き続き III 族窒化物半導体の成長のためのバッファ層を成長する。

【0058】

工程 S102 では、図 2 の (b) 部に示されるように、半導体積層 45 を基板 43 の主面 43a 上に形成する。半導体積層 45 は、オーミック電極を形成するためのコンタクトエリアを有しており、また高電子移動度トランジスタのための以下のような半導体層を含む。半導体積層 45 は、バッファ層 49、チャネル層 51、及びバリア層 53 を含む。チャネル層 51 及びバリア層 53 は基板 43 の主面 43a 上に設けられ、バリア層 53 はチャネル層 51 に接合 54a を成す。チャネル層 51 はバッファ層 49 に接合 54b を成す。バッファ層 49、チャネル層 51 及びバリア層 53 は、基板 43 の主面 43a 上にエピタキシャルに成長される。チャネル 51 層は、III 族構成元素としてアルミニウムを含む第 1 の III 族窒化物半導体からなり、例えば AlGaIn 等からなる。第 1 の III 族窒化物半導体のアルミニウム組成は 0.16 以上である。大きな Al 組成の III 族窒化物材料からなるチャネルは、トランジスタのオン抵抗の温度依存性や I_{d-max} の温度依存性を低減するために好適である。バリア層 53 は、III 族構成元素としてアルミニウムを含む第 2 の III 族窒化物半導体からなり、例えば AlGaIn 等からなる。第 2 の III 族窒化物半導体のバンドギャップは第 1 の III 族窒化物半導体のバンドギャップより大きい。バッファ層 49 は、III 族構成元素としてアルミニウムを含む III 族窒化物半導体からなり、例えば AlN や AlGaIn 等からなる。この III 族窒化物半導体はチャネル層 51 よりも高比抵抗であり、またバッファ層 49 のバンドギャップは第 1 の III 族窒化物半導体のバンドギャップと同じもしくはそれ以上である。これらの工程の後に、成長炉 10a からエピタキシャル基板 E を取り出す。

【0059】

半導体積層 45 の形成後に、半導体積層 45、例えばチャネル層 51 及びバリア層 53 の結晶品質を測定するために、必要な場合には、半導体積層 45 の X 線ロックアップカーブ (XRC) を測定することが良い。

【0060】

既に説明したように、ソース電極及び/又はドレイン電極直下の半導体領域におけるキャリア濃度を高めるためのイオン注入を半導体積層 45 に行っていない。これ故に、チャ

10

20

30

40

50

ネル層51の(10-12)面のX線ロッキングカーブ(XRC)半値全幅が1000秒未満であること、及び/又はチャンネル層51の(0002)面のXRC半値全幅が1000秒未満であることが好適である。また、バリア層53の(10-12)面のX線ロッキングカーブ(XRC)半値全幅が1000秒未満であること、及び/又はバリア層53の(0002)面のXRC半値全幅が1000秒未満であることが好適である。イオン注入を行わない電子デバイスでは、電極形成工程におけるチャンネル層51及び/又はバリア層53の結晶品質は、成膜時の結晶品質を大きく低下することがない。これ故に、ソース/ドレインのためのイオン注入を行わないデバイスでは、チャンネル層51やバリア層53の(10-12)面や(0002)面のXRC半値全幅における良好さが、III族窒化物半導体電子デバイスのデバイス特性に影響する。このXRC半値全幅による結晶品質により、電極のオーミック接触特性を向上でき、またドレイン電流の温度特性を改善できる。

10

【0061】

次いで、工程S103では、半導体積層45のコンタクトエリアにイオン注入を行うことなく、コンタクトエリア上にオーミック電極を形成する。このオーミック電極は、例えば少なくともドレイン電極、ソース電極のいずれか一方を含む。オーミック電極は、例えばリフトオフ法で作製されることができる。

【0062】

オーミック電極を形成する一連の工程を説明する。工程S103では、図3の(a)部に示されるように、オーミック電極を形成するためのマスク55を半導体積層45上に形成する。マスク55は、オーミック電極を形成する半導体積層45のエリア(以下、「コンタクトエリア」と呼ぶ)に開口55aを有する。マスク55は例えばレジストからなることができる。マスク55の開口55aは半導体積層45の領域45a、45d上に位置する。開口55aには、半導体積層45の領域45a、45dの表面が露出する。マスク55は半導体積層45の領域45b、45c、45e、45f、45gを覆う。半導体積層45の領域45bには、後の工程で、ゲート電極が形成される。半導体積層45の領域45c、45eは、オーミック電極をゲート電極から離間させるために設けられる。半導体積層45の領域45f、45gは、素子のアイソレーションのために設けられる。半導体積層45のコンタクトエリアを含む領域45aは、領域45cと領域45fとの間に位置し、また半導体積層45のコンタクトエリアを含む領域45dは、領域45eと領域45gとの間に位置する。半導体積層45のゲートエリアを含む領域45bは、領域45cと領域45eとの間に位置する。半導体積層45の離間エリアを含む領域45cは、領域45aと領域45bとの間に位置し、また半導体積層45の離間エリアを含む領域45dは、領域45eと領域45gとの間に位置する。

20

30

【0063】

マスク55を形成した後に、工程S104では、図3の(b)部に示されるように、オーミック電極のための金属膜57をマスク55及び基板43上に堆積する。オーミック電極は、例えばZr及びAlを含むことができる。この作製方法によれば、イオン注入を行うことなく、III族構成元素としてアルミニウムを含むIII族窒化物半導体への接触抵抗を低減できる。また、高Al組成のIII族窒化物半導体に対して良好な接触抵抗を提供できる。

40

【0064】

本実施例では、まず、工程S104-1では、成膜装置10bに、エピタキシャル基板Eを配置した後に、コンタクトエリア及び基板43上に第1の電極膜57aを堆積する。この電極膜57aは例えばZr膜を含むことができ、Zr膜の成膜は例えば電子ビーム蒸着法で行われる。Zr膜の膜厚は例えば1nm~100nmであることができる。次いで、工程S104-2では、コンタクトエリア及び基板43上に第2の電極膜57bを堆積する。この電極膜57bは例えばAl膜を含むことができ、Al膜の成膜は例えば電子ビーム蒸着法で行われる。Al膜の膜厚は例えば4nm~400nmであることができる。

【0065】

これらの電極膜57a、57bを堆積した後に、工程S105では、図4の(a)部に

50

示されるように、リフトオフにより電極膜57a、57bのパターニングを行って金属層59a、59bを領域45a、45d上に形成する。

【0066】

金属層59a、59bを形成した後に、熱処理装置10cに基板を配置する。工程S106では、図4の(b)部に示されるように、熱処理ガスGを熱処理装置10cに流しながら摂氏1200度以下摂氏400度以上の温度で熱処理を行う。この作製方法によれば、良好なオーミック接触特性を示す電極61a、61bを形成できる。熱処理ガスは例えば窒素、アルゴン、ヘリウム、アンモニア、酸素を含む。電極膜57の形成前に、電極61a、61bの直下の領域にキャリア濃度を高めるためのイオン注入を行わない。領域45a、45dにおけるチャンネル層51におけるn型濃度(例えばSi)は、領域45b、45c、45eにおけるチャンネル層51におけるn型不純物濃度と同じである。領域45a、45dにおけるバリア層53におけるn型不純物濃度は、領域45b、45c、45eにおけるバリア層53におけるn型不純物濃度と同じである。

10

【0067】

ショットキ電極を形成する工程を説明する。工程S107では、図5の(a)部に示されるように、ショットキ電極を形成するためのマスク65を半導体積層45上に形成した後に、ショットキ電極のための金属膜67を堆積する。図5の(b)部に示されるように、リフトオフによりこの膜67のパターニングを行ってショットキ電極63を領域45b上に形成する。このショットキ電極63は、本実施例ではゲート電極として働く。

【0068】

20

この作製方法によれば、チャンネル層51は、III族構成元素としてアルミニウムを含む第1のIII族窒化物半導体からなると共に、バリア層53は、III族構成元素としてアルミニウムを含む第2のIII族窒化物半導体からなる。これ故に、図5の(b)部に示されるように、III族窒化物半導体電子デバイスを作製でき、このような電子デバイスによれば、 I_{dmax} 特性低下を低減可能である。また、半導体積層45のコンタクトエリアにイオン注入を行うことなく、コンタクトエリア上に電極を形成するので、 I_{dmax} 特性低下を更に低減可能なIII族窒化物半導体電子デバイスが提供される。

【0069】

(実施例1)

次いで、本実施の形態に係る実施例を説明する。

30

【0070】

HEMTデバイスAの作製。

GaNチャンネル層を含む高電子移動度トランジスタ(HEMT)を、以下のような方法で作製した。

【0071】

有機金属気相成長(MOVPE)法を用いてサファイア基板上に、低温GaNバッファ層を成長する。成長温度は摂氏500度であり、GaN膜厚は25nmである。次いで、このバッファ層上にアンドープGaNチャンネル層を成長した。成長温度は摂氏1050度であり、GaN膜厚は1 μ mである。続けて、このGaNチャンネル層上にアンドープAlGaNバリア層を成長した。成長温度は摂氏1050度であり、AlGaN膜厚は25 μ mであり、Al組成は0.2である。これらの工程によって、HEMTエピタキシャル膜Aを作製した。

40

【0072】

Ti/Alを用いた電極及びGaNチャンネル層を含むHEMTデバイスを以下のような方法で作製した。オーミック電極(ソース電極、ドレイン電極)のための金属膜として、Ti/Al/Ti/Auを蒸着した後に、この膜のパターン形成及び摂氏850度における熱処理を行って、オーミック電極(ソース電極・ドレイン電極)を形成した。その後、ショットキ電極(ゲート電極)としてNi/Auを蒸着した後に、この膜にパターン形成を行って、ショットキ電極(ゲート電極)を作製した。

【0073】

50

HEMTデバイスの寸法は、 $L_g=2\ \mu\text{m}$ 、 $L_{gd}=5\ \mu\text{m}$ 、 $W_g=500\ \mu\text{m}$ である。
このデバイスをHEMTデバイスAとして参照する。

【0074】

HEMTデバイスBの作製。

AlGa_Nチャンネル層を含む高電子移動度トランジスタ(HEMT)を、以下のような方法で作製した。

【0075】

有機金属気相成長(MOVPE)法を用いてサファイア基板上に、AlNバッファ層を成長する。温度は摂氏1250度であり、AlN膜厚は900nmである。次いで、このバッファ層上にアンドープAlGa_Nチャンネル層を成長した。成長温度は摂氏1100度であり、AlGa_N膜厚は600nmであり、Al組成は0.3である。続けて、このAlGa_Nチャンネル層上にアンドープAlGa_Nバリア層を成長した。成長温度は摂氏1100度であり、AlGa_N膜厚は30nmであり、Al組成は0.5である。これらの工程によって、HEMTエピタキシャル膜を作製した。

10

【0076】

得られたAlN層のXRC半値幅に関しては、C面の半値幅が447arcsec、R面の半値幅が742arcsecである。AlGa_N層のXRC半値幅に関しては、C面の半値幅が513arcsec、R面の半値幅が711arcsecである。AlGa_N層に係る2次元電子ガスのシート抵抗が、2754 /sq.であり、これは良好な値である。これらの工程によって、HEMTエピタキシャル膜Bを作製した。

20

【0077】

イオン注入を用いてTi/Al電極を作製すると共に、AlGa_Nチャンネル層を含むHEMTデバイスを以下のような方法で作製した。

【0078】

オーミック電極(ソース電極、ドレイン電極)を形成するために、ソース電極、ドレイン電極を形成するエピタキシャル領域にSiのイオン注入を行った。イオン注入の条件は、50keVのエネルギー及びドーズ量 $1 \times 10^{15}\ \text{cm}^{-2}$ であった。その後、HEMTエピタキシャル膜の表面にSiN膜を堆積した後に、活性化のための熱処理(温度:1150度、熱処理時間:5分間、)を行って、Siイオンの活性化を行った。熱処理の後に、SiN膜を除去した。

30

【0079】

オーミック電極(ソース電極、ドレイン電極)のための金属膜として、Ti/Al/Ti/Auを蒸着した後に、この膜のパターン形成及び摂氏850度における熱処理を行って、オーミック電極(ソース電極、ドレイン電極)を形成した。その後、ショットキ電極(ゲート電極)としてNi/Auを蒸着した後に、この膜のパターン形成を行って、ショットキ電極(ゲート電極)を作製した。

【0080】

HEMTデバイスの寸法は、 $L_g=2\ \mu\text{m}$ 、 $L_{gd}=5\ \mu\text{m}$ 、 $W_g=500\ \mu\text{m}$ である。
このデバイスをHEMTデバイスBとして参照する。

【0081】

HEMTデバイスCの作製。

AlGa_Nチャンネル層を含む高電子移動度トランジスタ(HEMT)を、以下のような方法で作製した。HEMTエピタキシャル膜Bと同じ構造のHEMTエピタキシャル膜Cを作製した。

40

【0082】

イオン注入を用いずにZr/Al電極を作製すると共に、AlGa_Nチャンネル層を含むHEMTデバイスを以下のような方法で作製した。

【0083】

Zr/Alを用いた電極及びAlGa_Nチャンネル層を含むHEMTデバイスを作製した。オーミック電極(ソース電極、ドレイン電極)のための金属膜として、Zr/Alを蒸

50

着した後に、この膜のパターン形成及び摂氏850度における熱処理を行って、オーミック電極（ソース電極・ドレイン電極）を形成した。その後、ショットキ電極（ゲート電極）としてNi/Auを蒸着した後に、この膜のパターン形成を行って、ショットキ電極（ゲート電極）を作製した。

【0084】

HEMTデバイスの寸法は、 $L_g=2\mu\text{m}$ 、 $L_{gd}=5\mu\text{m}$ 、 $W_g=500\mu\text{m}$ である。このデバイスをHEMTデバイスCとして参照する。

【0085】

HEMTデバイスA、B、Cのデバイスの作製後に、トランジスタ特性の評価を実施した。図6は、HEMTデバイスA、B、Cの最大ドレイン電流（ I_{d-max} ）の温度依存性を示す図面であり、図7は、HEMTデバイスA、B、Cの最大ドレイン電流（ I_{d-max} ）の温度依存性の一覧を示す図面である。図6の（a）部を参照すると、HEMTデバイスA、B、Cの間における最大ドレイン電流（ I_{d-max} ）の比較が示されており、HEMTデバイスCの温度依存性はHEMTデバイスAの温度依存性より小さく、またHEMTデバイスBの温度依存性より小さい。オーミック電極の作製の際におけるイオン注入の不使用により、最大ドレイン電流（ I_{d-max} ）の温度依存性を小さくできる。イオン注入を用いないオーミック接触を作製するHEMTデバイスC（AlGaNチャネル）が優れた特性を示す。また、HEMTデバイスCの特性が示すように、イオン注入を用いずにオーミック接触の作製法は、HEMTデバイスのC（AlGaNチャネル）に優れた特性を提供できる。

【0086】

図6の（b）部を参照すると、HEMTデバイスA、B、Cの間における最大ドレイン電流（ I_{d-max} ）の減少率の比較が示されており、HEMTデバイスCの減少率はHEMTデバイスAの減少率より小さく、またHEMTデバイスAの減少率より小さい。オーミック電極の作製の際におけるイオン注入の不使用により、最大ドレイン電流（ I_{d-max} ）の減少率を小さくできる。

【0087】

HEMTデバイスA（GaNチャネルHEMT）では、摂氏300度の動作温度において、最大ドレイン電流が、室温における最大ドレイン電流の1/3程度に減少している。一方、HEMTデバイスB、C（AlGaNチャネルHEMT）では、最大ドレイン電流の温度依存性はHEMTデバイスAに比べて明らかに小さい。

【0088】

ソース電極及びドレイン電極の作製にイオン注入を用いたHEMTデバイスBに比べて、イオン注入を用いないHEMTデバイスCにおける最大ドレイン電流の温度依存性は小さくなっており、イオン注入を用いる電極形成技術に比べて、大きな利点である。このHEMTデバイスCでは、例えばZr/Al電極が適用される。

【0089】

オーミック電極の作製において、イオン注入及び活性化アニールを用いた方法では、イオン注入によるエピタキシャル層へのダメージや欠陥の導入、また高温での活性化アニールに伴うダメージの導入といった、デバイス劣化が排除できない可能性がある。これらの工程により、例えば深い準位が半導体に形成されるので、高温でトランジスタに電流が流れにくくなってしまい、高温におけるトランジスタ動作においてトランジスタ特性、例えば I_{d-max} の温度依存性が大きくなっている可能性がある。

【0090】

オーミック電極をイオン注入を用いずに形成するとき、主要な熱処理として、オーミック電極の形成のための合金化に必要な熱処理（例えば摂氏850度）をデバイスに与えることになる。イオン注入の不使用は、イオン注入及び活性化アニールを用いることにより生じる欠陥、ダメージ、深い準位等の形成を大幅に低減できる。この結果、HEMTデバイスCの電気的特性は、高温動作においても、HEMTデバイスBに比べて良好になっている可能性がある。

【 0 0 9 1 】

発明者らは、追加の実験を行った。追加実験は、A l G a NチャンネルH E M Tにおいて、A l G a Nチャンネル層の結晶性を向上させること（つまりX R C半値幅を低減すること）により、A l G a Nチャンネル層のシート抵抗を低減できることを示している。例えば、半導体層の（1 0 - 1 2）面のX線ロックアップ（X R C）半値全幅が1 0 0 0秒未満であることが好適である。また、半導体層の（0 0 0 2）面のX R C半値全幅が1 0 0 0秒未満であることが好適である。

【 0 0 9 2 】

（実施例 2）

また、発明者らは、さらに追加の実験を行った。更なる追加実験は、図 8 及び図 9 は、更なる追加実験における作製条件及び測定結果を示す。この実験では、様々な基板上にA l N層を成長した後に、このA l N層上に、A l G a Nチャンネル層及びA l G a Nバリア層を成長した。

10

【 0 0 9 3 】

この実験より以下のことが示された。

- 1 . A l G a Nの結晶性（X R C半値幅）を改善することによって、不純物濃度（例えば、水素（H）、炭素（C）、酸素（O））を低減できる。
- 2 . オーミック電極としてイオン注入を使わずにオーミック電極を形成した場合に、A l G a Nチャンネル層の結晶性の改善に伴い、H E M Tデバイスの温度依存性（例えば、I d - m a x）を改善でき、温度依存性を小さくできる。なお、オーミック電極としては、例

20

【 0 0 9 4 】

一方、イオン注入を用いてオーミック電極（T i / A l）を形成する場合、A l G a Nチャンネル層の結晶性の改善と温度依存性との関連性がほとんどなく、温度依存性が大きいままである。

【 0 0 9 5 】

これらの実験の結果によれば、イオン注入を使わずにオーミック電極を作製すること、例えば、そのオーミック電極としてZ r / A l電極の利用及びA l G a Nの結晶性の改善により、H E M Tデバイスの温度依存性の低減が可能であることが分かった。また、A l G a Nチャンネル層と基板との間にバッファ構造を採用すること、或いはA l G a Nチャンネル層及びA l G a Nバリア層の結晶性の改善により、H E M Tデバイスの温度依存性の更なる低減が可能である。Z r / A l電極では、電極の下地の半導体のX R C半値幅が1 0 0 0秒未満であるとき、オーミック接触に良好な結果をもたらすことができる。

30

【 0 0 9 6 】

上記の実験では、サファイア基板上にA l Nエピタキシャル膜を成長した後、チャンネル層のためのA l G a Nエピタキシャル膜を成長した。サファイア基板、或いはS i C基板等に以下のエピタキシャル構造を作製することにより、このA l G a Nエピタキシャル膜の結晶性を改善できる。例えば、A l Nエピタキシャル膜の代わりに、組成を連続的に傾斜させたA l G a Nバッファ層を成長し、このA l G a Nバッファ層上にA l G a Nエピタキシャル膜を成長させること。或いは、A l Nエピタキシャル膜の代わりに、A l組成を基板からチャンネル膜への方向に徐々に低下させる複数のA l G a N薄層と複数のA l N薄層を交互に積層させた構造を用い、この積層構造上にA l G a Nエピタキシャル膜を成長させること。これらの例示的な構造によりA l G a Nチャンネル層の結晶性の改善（X R C半値幅の改善）を達成できることが、実験により判明した。

40

【 0 0 9 7 】

図 8 及び図 9 に示されたH E M Tデバイスの構造X 1 ~ X 8を説明する。

【 0 0 9 8 】

H E M Tデバイスの構造X 4の成長方法を下記に示す。サファイア基板上に、A l Nエピタキシャル層、A l G a Nチャンネル層及びA l G a Nバリア層を以下のように成長した。M O V P E炉にサファイア基板を配置した後に、摂氏1 2 5 0度の成長温度でA l N層

50

(厚さ：900 nm)を成長した。このAlN層上に、AlGaN層(厚さ600 nm、Al組成0.3)及びAlGaN層(厚さ30 nm、Al組成0.5)を摂氏1100度で成長した。

【0099】

HEMTデバイスの構造X1の成長方法を下記に示す。構造X4におけるAlN層(厚さ：900 nm)に替えて、AlN層(厚さ：150 nm)を成長した。

【0100】

HEMTデバイスの構造X2の成長方法を下記に示す。構造X4におけるAlN層(厚さ：900 nm)に替えて、AlN層(厚さ：80 nm)を成長した。

【0101】

HEMTデバイスの構造X3の成長方法を下記に示す。構造X4におけるAlN層(厚さ：900 nm)に替えて、AlN層(厚さ：600 nm)を成長した。なお、構造X1～X4においては、サファイア基板とAlGaN層との格子不整の影響を調べるために、様々な厚さのAlN層を成長した。

【0102】

HEMTデバイスの構造X5の成長方法を下記に示す。構造X4におけるAlN層(厚さ：900 nm)に替えて、組成傾斜AlGaN層(厚さ：600 nm、Al組成：連続的に0.9から0.3へ)を摂氏1100度の成長温度で成長した。

【0103】

HEMTデバイスの構造X6の成長方法を下記に示す。構造X4におけるAlN層(厚さ：900 nm)に替えて、超格子エピAlN/AlGaN(AlN層の厚さ5 nm、AlGaN層の厚さ25 nm、交互の繰り返し：20層)を摂氏1100度の成長温度で成長した。超格子エピAlN/AlGaNにおけるAlGaN層のAl組成は、段階的に0.9から0.3へ低下させた。

【0104】

HEMTデバイスの構造X7の成長方法を下記に示す。構造X4におけるサファイア基板に替えて、AlN基板を用いた。

【0105】

HEMTデバイスの構造X8の成長方法を下記に示す。構造X4におけるサファイア基板に替えて、AlGaN(Al組成0.3)基板を用い、かつ、AlN層を成長せず、AlGaN層(厚さ600 nm、Al組成0.3)及びAlGaN層(厚さ30 nm、Al組成0.5)を摂氏1100度で成長した。

【0106】

これらのHEMTデバイスの構造に、電極を作製する方法として、実施例1と同様のプロセス、イオン注入及び活性化アニールを用いた方法、又はZr/Al電極を用いた方法)を用いた。

【0107】

AlGaNチャンネル層を含むHEMTエピタキシャル構造に、イオン注入法を用いないで、オーミック電極を作製する方法としてZr/Al電極を実施例として説明したが、イオン注入法を用いないのであれば、他のオーミック電極を用いることもでき、この電極を用いることで、Zr/Al電極と同様に、AlGaNチャンネルHEMTにおいて良好な温度依存性を提供できる。

【0108】

以上説明したように、AlGaNチャンネル層を有するHEMTデバイスでは、サファイア基板等の上のAlNテンプレートを用いることができる。また、基板として、サファイア基板以外に、SiC基板やSi基板等を用いることができる。また、基板として、AlN基板、AlGaN基板といったIII族窒化物基板を用いることができる。基板上に成長されるエピタキシャル構造のXRCの半値幅が1000秒未満であることは、良好なオーミック接触を得ることに好適である。これにより、AlGaNエピタキシャル膜において良好なシート抵抗だけでなく、良好なオーミック接触も提供される。組成傾斜AlGaN

10

20

30

40

50

N層やAlN/AlGaN超格子層は、結晶性の改善に好適である。

【0109】

本実施の形態におけるIII族窒化物半導体HEMTデバイスでは、室温（摂氏27度）における最大ドレイン電流に対する最大ドレイン電流（摂氏200度）が、0.68倍以上である。また、室温（摂氏27度）における最大ドレイン電流に対する最大ドレイン電流（摂氏300度）が、0.55倍以上である。（図9の試料X-3の実験データより。）

【0110】

図10は、本実施の形態に従って作製された、類似の構造を持つ高電子移動度トランジスタの電流特性を示す図面である。この測定におけるデバイス構造を説明する。AlGaNバリア層/AlGaNチャンネル層のヘテロ接合は、C面AlN基板上にMOVPEによって成長された。バリア層においては、Al組成が0.5であり、厚さが21nmである。チャンネル層においては、Al組成が0.24であり、厚さが600nmである。オーミック電極にZr/Al/Mo/Auを用い、ショットキ電極にNi/Auを用いた。ゲート長とゲート幅はそれぞれ3μm, 515μmであった。比較のために、Si基板上に同じ寸法のAlGaN/GaNヘテロ接合のHEMTも作製した。バリア層においては、Al組成が0.25であり、厚さが25nmである。図10の(a)部及び(b)部は、GaNチャンネルHEMTのI-V特性を示し、図10の(c)部及び(d)部は、AlGaNチャンネルHEMTのI-V特性を示す。

【0111】

測定は、室温から摂氏300度まで温度を変化させ、温度変更の都度、半導体パラメータアナライザ、カーブトレーサを用いて、HEMTのDC特性を測定した。図10に示されるように、室温および摂氏300度におけるI-V特性によれば、AlGaNチャンネルHEMT、及びGaNチャンネルHEMTのどちらも良好なピンチオフ特性、飽和特性を示した。この結果から、室温では、AlGaNチャンネルHEMTに比べてGaNチャンネルHEMTの最大ドレイン電流が約3倍になっている。また、両HEMTデバイスとも温度が上昇すると、ドレイン電流が低下する。室温におけるドレイン電流を基準として各温度でのドレイン電流値を規格化して得られた、規格化ドレイン電流の傾向においては、AlGaNチャンネルHEMTでは、温度の上昇に対して規格化ドレイン電流の低下が小さい。また、ドレイン電流の他にも、オン抵抗(Ron)、ゲートリーク電流、しきい値電圧について同様に温度に対して比較を行った。Ronでは、AlGaNチャンネルHEMTにおける増加する割合が、GaNチャンネルHEMTの約1/2であり、小さい。ゲートリーク電流では、AlGaNチャンネルHEMTが、GaNチャンネルHEMTに比べて約1桁小さかった。また、AlGaNチャンネルHEMTのしきい値電圧は温度に対して実質的に依存していない。

【0112】

上記のAlN基板の上のAlGaNチャンネルHEMTによれば、高温動作において、AlGaNチャンネルHEMTにおけるドレイン電流の温度変動率は、GaNチャンネルHEMTにおける値の約半分程度である。

【0113】

GaNやAlNなどのIII族窒化物半導体が、高耐圧、高温動作、高周波デバイス用材料として期待されている。近年、車載用パワースイッチングデバイスなどにおいて高温動作が求められている。高温動作を実現するデバイスの開発には、バンドギャップの大きい半導体のチャンネル材料を使用することが望ましい。本実施例では、AlGaNチャンネルHEMTの高温動作におけるDC特性を評価し、AlGaNチャンネルHEMTは、GaNチャンネルHEMTと比較して有望である。

【0114】

本発明のまた更なる別の側面は、III族窒化物半導体電子デバイスのためのオーミック電極を作製する方法である。この方法は、(a)III族構成元素としてアルミニウムを含むIII族窒化物半導体からなる半導体層を含みオーミック電極のためのコンタクトエリア

10

20

30

40

50

を有する半導体積層を基板上の主面上に形成する工程と、(b)半導体積層の前記コンタクトエリア上に第1の電極を形成する工程とを備える。III族窒化物半導体のアルミニウム組成は0.16以上である。この方法によれば、高Al組成のIII族窒化物半導体に対して良好な接触抵抗を提供できる。なお、第1の電極には、例えば、Zr及びAlを含むことができる。

【0115】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更

10

権利を請求する。

【産業上の利用可能性】

【0116】

以上説明したように、本発明の実施の形態によれば、 I_{dmax} 特性低下を低減可能なIII族窒化物半導体電子デバイスが提供される。本発明の実施の形態によれば、 I_{dmax} 特性低下を低減可能な、III族窒化物半導体電子デバイスを作製する方法が提供される。

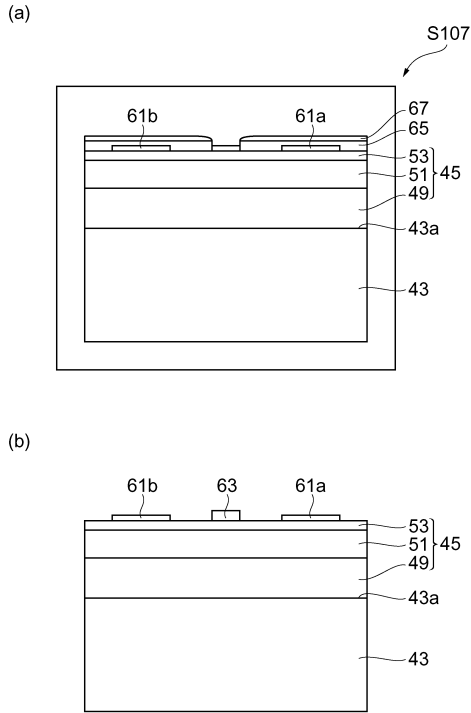
【符号の説明】

【0117】

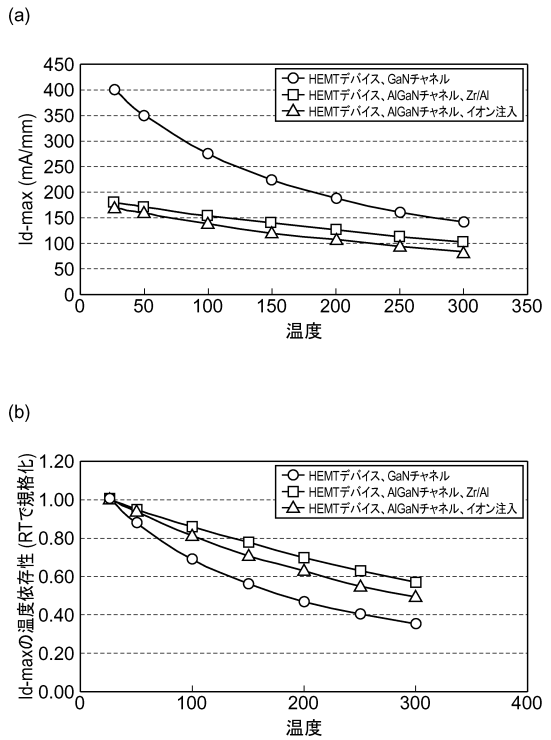
11...III族窒化物半導体電子デバイス、13...基板、13a...基板主面、13b...基板裏面、15...半導体積層、17...第1の電極、19...第2の電極、21...チャンネル層、23...バリア層、25...ヘテロ接合、27...電極、29... $Al_xGa_{1-x}N$ 層、28a、28b... $Al_xGa_{1-x}N$ 層の面、29a...傾斜組成 $Al_zGa_{1-z}N$ 層、29b...多層膜、10a...成長炉、43...基板、45...半導体積層、45a、45b、45c、45d、45e、45f、45g...半導体積層の領域、49...バッファ層、51...チャンネル層、53...バリア層、E...エピタキシャル基板、55...マスク、55a...マスク開口、57...金属膜、57a、57b...電極膜、59a、59b...金属層、61a、61b...電極、63...ショットキ電極、65...マスク、67...金属膜。

20

【図5】



【図6】



【図7】

温度	27	50	100	150	200	250	300
サンプルA、 GaNチャネル	400	351	276	225	188	161	142
(減少率)	1.00	0.88	0.69	0.56	0.47	0.40	0.35
サンプルB、 AlGaInチャネル、 イオン注入	170	159	138	120	107	94	84
(減少率)	1.00	0.93	0.81	0.71	0.63	0.55	0.49
サンプルC、 AlGaInチャネル、 Zr/Al	180	171	155	140	126	113	103
(減少率)	1.00	0.95	0.86	0.78	0.70	0.63	0.57

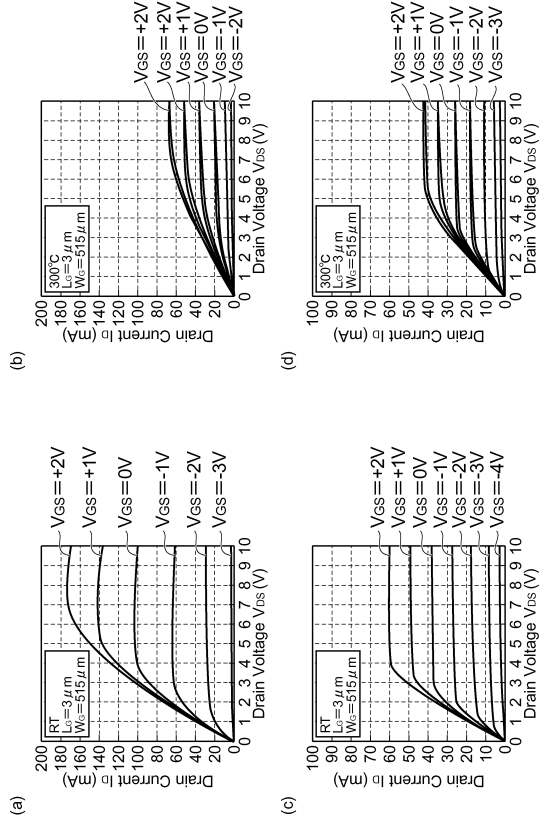
【図8】

試料 番号	基板、エビ構造等	AlN層の XRC半値幅		AlGaIn層の XRC半値幅		シート 抵抗		不純物濃度	
		C	R	C	R	H (水素)	Rs	C (水素)	O (水素)
X-1	onサファイア基板	1447	未測定	1082	3453	18622	5.3 × 10 ¹⁸	6.3 × 10 ¹⁷	8.7 × 10 ¹⁷
X-2		1025	未測定	811	1521	6252	3.7 × 10 ¹⁸	3.1 × 10 ¹⁷	5.6 × 10 ¹⁷
X-3		682	987	625	995	3110	2.9 × 10 ¹⁸	2.5 × 10 ¹⁷	4.3 × 10 ¹⁷
X-4		447	742	513	711	2754	2.0 × 10 ¹⁸	1.5 × 10 ¹⁷	3.3 × 10 ¹⁷
X-5	onサファイア基板 g-AlGaInバンプ			421	570	2641	1.9 × 10 ¹⁸	1.4 × 10 ¹⁷	3.1 × 10 ¹⁷
X-6	onサファイア基板 g-AlGaInバンプ +AlNの多層膜			413	562	2614	1.8 × 10 ¹⁸	1.3 × 10 ¹⁷	3.0 × 10 ¹⁷
X-7	onAlN基板	47	67	177	332	2471	1.5 × 10 ¹⁸	1.0 × 10 ¹⁷	2.5 × 10 ¹⁷
X-8	onAlGaIn基板			84	159	2032	1.2 × 10 ¹⁸	9.0 × 10 ¹⁶	2.3 × 10 ¹⁷

【 図 9 】

試料番号	基板、エピ構造等	AlN層のXRC半値幅		AlGaN層のXRC半値幅		シート抵抗	(Zr/A)電極使用)		(イオン注入+活性化アニール使用)	
		C	R	C	R		200度/RT	300度/RT	200度/RT	300度/RT
X-1	onサファイア基板	1447	未測定	1082	3453	18622	オーミックNG	オーミックNG	0.58	0.42
X-2		1025	未測定	811	1521	6252	オーミックNG	オーミックNG	0.59	0.44
X-3		682	987	625	995	3110			0.6	0.45
X-4		447	742	513	711	2754			0.6	0.45
X-5	onサファイア基板 g-AlGaNバッファ			421	570	2641			0.61	0.46
X-6	onサファイア基板 g-AlGaNバッファ +AlNの多層膜			413	562	2614			0.61	0.46
X-7	onAlN基板	47	67	177	332	2471			0.62	0.47
X-8	onAlGaN基板			84	159	2032			0.63	0.48

【 図 10 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 (2006.01)

(出願人による申告)平成19年度独立行政法人新エネルギー・産業技術総合研究機構「ナノエレクトロニクス半導体新材料・新構造技術開発 - 窒化物系化合物半導体基板・エピタキシャル成長技術の開発」に関する委託研究、産業技術力強化法第19条の適用を受ける特許出願

- (72)発明者 橋本 信
兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内
- (72)発明者 秋田 勝史
兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内
- (72)発明者 山本 喜之
兵庫県伊丹市昆陽北一丁目1番1号 住友電気工業株式会社伊丹製作所内
- (72)発明者 葛原 正明
福井県福井市文京3丁目9番1号 国立大学法人福井大学内
- (72)発明者 矢船 憲成
奈良県天理市樺本町2613番地の1 シャープ株式会社内

審査官 儀同 孝信

- (56)参考文献 特開2008-243881(JP,A)
特開2009-269816(JP,A)
国際公開第2009/119356(WO,A1)
特開2009-158804(JP,A)
特開2009-188252(JP,A)
特開2006-310644(JP,A)
特開2009-212291(JP,A)
特開2008-305894(JP,A)
特開2007-258230(JP,A)
特開2005-277254(JP,A)
国際公開第2009/119357(WO,A1)
特開平09-199515(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/338
H 0 1 L 21/205
H 0 1 L 21/28
H 0 1 L 29/417
H 0 1 L 29/778
H 0 1 L 29/812