



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월13일
(11) 등록번호 10-1212152
(24) 등록일자 2012년12월07일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2005-0134409

(22) 출원일자 2005년12월29일

심사청구일자 2010년12월16일

(65) 공개번호 10-2007-0071181

(43) 공개일자 2007년07월04일

(56) 선행기술조사문헌

KR1019990066081 A*

US20040161873 A1*

US20050263756 A1*

KR1020050104513 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

한창욱

서울 마포구 연남동 573 코오롱아파트 102동 1306호

(74) 대리인

김용인, 심창섭

전체 청구항 수 : 총 11 항

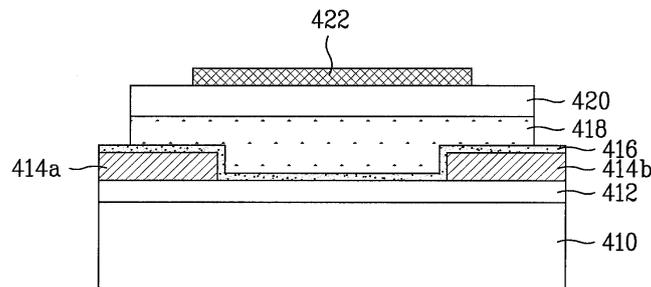
심사관 : 이명진

(54) 발명의 명칭 유기박막트랜지스터 및 그 제조방법

(57) 요약

본 발명은 유기박막트랜지스터 및 그 제조방법에 관한 것으로, 본 발명의 유기박막트랜지스터는 기판상에 형성된 버퍼막과, 상기 버퍼막 상에 각각 섬형상으로 형성된 소스/드레인전극과, 상기 소스/드레인전극 상에 형성된 유기반도체층과, 상기 유기반도체층 상에 형성된 게이트 절연막과, 상기 소스/드레인전극의 양에지와 오버랩되어 상기 게이트 절연막 상에 형성된 게이트전극과, 상기 유기반도체층과 접촉되는 상기 소스/드레인전극의 소정영역에 형성된 터널링 장벽층을 포함한다.

대표도 - 도2d



특허청구의 범위

청구항 1

기관상에 형성된 버퍼막과,
 상기 버퍼막 상에 각각 섬형상으로 형성된 소스/드레인전극과,
 상기 소스/드레인전극 상에 형성된 유기반도체층과,
 상기 유기반도체층 상에 형성된 게이트 절연막과,
 상기 소스/드레인전극의 양에지와 오버랩되어 상기 게이트 절연막 상에 형성된 게이트전극과,
 상기 유기반도체층과 접촉되는 상기 소스/드레인전극의 소정영역에 형성된 터널링 장벽층을 포함하며,
 상기 터널링 장벽층은 CBP(4,48-N,N 8-dicarbazole-biphenyl), BCP(2,9-dimethyl-4,7-diphenyl-1,10-phenanthroline), SiO₂ 중 어느 하나이며, 10~ 110Å 정도의 두께로 형성된 것을 특징으로 하는 유기박막트랜지스터.

청구항 2

제1 항에 있어서, 상기 터널링 장벽층은
 상기 소스/드레인 전극을 포함한 버퍼막 상에 형성되는 것을 특징으로 하는 유기박막트랜지스터.

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 소스/드레인전극은
 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막인 것을 특징으로 하는 유기박막트랜지스터.

청구항 5

제1 항에 있어서, 상기 소스/드레인전극은
 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막 중 어느 하나와 크롬(Cr) 또는 몰리브덴(Mo) 중 어느 하나가 적층된 이중막인 것을 특징으로 하는 유기박막트랜지스터.

청구항 6

제1 항에 있어서, 상기 유기반도체층은
 LCPBC(liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene) 및 폴리사이오핀(polythiophene) 중 어느 하나인 것을 특징으로 하는 유기박막트랜지스터.

청구항 7

기관상에 버퍼막, 투명도전막을 형성하는 단계와,
 상기 투명도전막을 패터닝하여, 소스/드레인전극을 형성하는 단계와,
 상기 소스/드레인전극이 형성된 상기 버퍼막 상에 터널링 장벽층을 형성하는 단계와,
 상기 터널링 장벽층이 형성된 기관상에 유기 반도체층 및 게이트 절연막을 순차적으로 형성하는 단계와,
 상기 게이트 절연막 상에 게이트전극을 형성하는 단계를 포함하며,
 상기 터널링 장벽층은 CBP(4,48-N,N 8-dicarbazole-biphenyl), BCP(2,9-dimethyl-4,7-diphenyl-1,10-phenanthroline), SiO₂ 중 어느 하나로 형성하고, 10~ 110Å 정도의 두께로 증착하는 것을 특징으로 하는 유기

박막트랜지스터의 제조방법.

청구항 8

삭제

청구항 9

제7 항에 있어서, 상기 투명도전막은

ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막으로 형성하는 것을 특징으로 하는 유기박막트랜지스터의 제조방법.

청구항 10

제7 항에 있어서,

상기 투명도전막 하부에는 크롬(Cr) 또는 몰리브덴(Mo) 중 어느 하나를 더 형성하는 것을 특징으로 하는 유기박막트랜지스터의 제조방법.

청구항 11

제7 항에 있어서, 상기 유기반도체층은

LCPBC(Liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene) 및 폴리사이오핀(polythiophene) 중 어느 하나로 형성하는 것을 특징으로 하는 유기박막트랜지스터의 제조방법.

청구항 12

제1 항에 있어서, 상기 터널링 장벽층은

상기 소스 전극과 상기 유기 반도체층 사이, 상기 드레인 전극과 유기 반도체층 사이 및 버퍼층과 유기 반도체층 사이에 형성되는 것을 특징으로 하는 유기박막트랜지스터.

청구항 13

제7 항에 있어서, 상기 터널링 장벽층은

상기 소스 전극과 상기 유기 반도체층 사이, 상기 드레인 전극과 유기 반도체층 사이 및 버퍼층과 유기 반도체층 사이에 하는 것을 특징으로 하는 유기박막트랜지스터의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0009] 본 발명은 박막트랜지스터에 관한 것으로, 특히 유기박막트랜지스터 및 그 제조방법, 그리고 이를 적용한 액정 표시소자에 관한 것이다.
- [0010] 통상, 박막 트랜지스터는 이미지 표시용 디스플레이에서 스위치 소자로 사용되는 것으로, 박막 트랜지스터 중 유기 박막 트랜지스터는 반도체층 재료로서 반도체성 유기 물질을 사용하고, 유리기판 대신 플렉시블(flexible)한 기판을 사용한다는 점을 제외하고는 실리콘 박막 트랜지스터와 비교하여 구조적으로 유사한 형태를 갖는다.
- [0011] 유기 박막 트랜지스터는, 도 1에 도시된 바와 같이, 하부 기판(51) 상에 금속을 사용하여 형성된 게이트 전극(52a)과, 상기 게이트 전극(52a)을 포함한 상기 하부기판(51)에 형성되는 게이트 절연막(53)과, 상기 게이트 전극(52a)의 양측 에지의 상기 게이트 절연막(53)상에 각각 형성된 소스 전극(55a) 및 드레인 전극(55b)과, 상기 소스/드레인 전극(55a, 55b)을 포함한 상기 게이트절연막(53) 상에 형성된 유기 반도체층(54)으로 구성된다.

[0012] 이때, 상기 소스/드레인 전극(55a, 55b)은 팔라듐(Pd), 은(Ag) 등의 금속을 사용하여 형성한다.

발명이 이루고자 하는 기술적 과제

[0013] 그러나, 종래와 같이 납, 은 등의 금속을 소스/드레인전극으로 사용하는 유기 박막 트랜지스터는 소스/드레인 전극용 금속 형성공정이 용이하지 않고 인접한 막들간의 접착력이 떨어지는 등의 문제점이 발생하였다.

[0014] 따라서, 최근에는 유기 박막 트랜지스터가 적용될 액정표시장치에서 일반적으로 사용되고 공정이 용이한 투명도 전막 즉, ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막을 소스/드레인 전극으로 사용하고 있다.

[0015] 따라서, 최근에는 유기 박막 트랜지스터가 적용될 액정표시장치에서 일반적으로 사용되고 공정이 용이한 투명도 전막 즉, ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막을 소스/드레인 전극으로 사용하고 있다.

[0016] 그러나, 투명도전막으로 이루어진 소스/드레인 전극과 유기 반도체는 직접 접촉하게 되어 상기 막간의 접촉저항을 증가시키게 된다.

[0017] 다시 말해, 투명도전막으로 형성된 소스/드레인 전극과 유기 반도체층이 직접 접촉하게 되면, 이들막간은 차지 인젝션(charge injection)을 방해하는 에너지 장벽(barrier)이 형성되어 축적모드(accumulation mode)시 형성된 다수의 운반자(majority carrier)들의 이동이 원활하지 못하게 되어 상기 막간 접촉면의 저항이 증가하게 된다.

[0018] 따라서, 소스/드레인 전극(55a, 55b)과 유기 반도체층(54)간의 저항증가로 인해, 박막 트랜지스터의 특성 중 이동도(mobility)가 낮아지고, 박막 트랜지스터의 출력(output)특성에서 저전압에서의 전류 비선형성(current clouding)현상이 발생하게 되는 문제점이 있다.

[0019] 본 발명은 소스/드레인 전극과 유기 반도체 간의 접촉면에서 발생하는 접촉저항을 감소시켜, 소자의 특성을 향상시킬 수 있도록 하는 유기 박막트랜지스터 및 그 제조방법, 그리고 이를 이용한 액정표시장치를 제공함에 있다.

발명의 구성 및 작용

[0020] 상술한 목적을 달성하기 위한 본 발명의 유기박막트랜지스터는 기판상에 형성된 버퍼막과, 상기 버퍼막 상에 각각 섬형상으로 형성된 소스/드레인전극과, 상기 소스/드레인전극 상에 형성된 유기반도체층과, 상기 유기반도체층 상에 형성된 게이트 절연막과, 상기 소스/드레인전극의 양예지와 오버랩되어 상기 게이트 절연막 상에 형성된 게이트전극과, 상기 유기반도체층과 접촉되는 상기 소스/드레인전극의 소정영역에 형성된 터널링 장벽층을 포함한다.

[0021] 상기 터널링 장벽층은 상기 소스/드레인 전극을 포함한 버퍼막 상에 형성되고, 상기 터널링 장벽층은 CBP(4,48-N,N 8-dicarbazole-biphenyl), BCP(2,9-dimethyl-4,7-diphenyl-1,10-phenanthroline), SiNx, SiO₂ 중 어느 하나로 형성한다.

[0022] 상기 소스/드레인전극은 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막이고, 상기 소스/드레인전극은 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막 중 어느 하나와 크롬(Cr) 또는 몰리브덴(Mo) 중 어느 하나가 적층된 이중막이다.

[0023] 상기 유기반도체층은 LCPBC(liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene) 및 폴리사이오핀(polythiophene) 중 어느 하나이다.

[0024] 상술한 목적을 달성하기 위한 본 발명의 유기박막트랜지스터의 제조방법은 기판상에 버퍼막, 투명도전막을 형성하는 단계와, 상기 투명도전막을 패터닝하여, 소스/드레인전극을 형성하는 단계와, 상기 소스/드레인전극이 형성된 상기 버퍼막 상에 터널링 장벽층을 형성하는 단계와, 상기 터널링 장벽층이 형성된 기판상에 유기 반도체층 및 게이트 절연막을 순차적으로 형성하는 단계와, 상기 게이트 절연막 상에 게이트전극을 형성하는 단계를 포함한다.

[0025] 상기 터널링 장벽층은 CBP(4,48-N,N 8-dicarbazole-biphenyl), BCP(2,9-dimethyl-4,7-diphenyl-1,10-phenanthroline), SiNx, SiO₂ 중 어느 하나로 형성한다.

[0026] 상기 투명도전막은 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막으로 형성하고, 상기 투명도전막

하부에는 크롬(Cr) 또는 몰리브덴(Mo) 중 어느 하나를 더 형성한다.

- [0027] 상기 유기반도체층은 LCPBC(Liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene) 및 폴리사이오핀(polythiophene) 중 어느 하나로 형성한다.
- [0028] 도 2a 내지 도 2d는 본 발명의 실시 예에 따른 유기 박막 트랜지스터의 제조방법을 설명하기 위한 단면도들이고, 도 3은 본 발명의 실시예에 따른 유기 박막 트랜지스터를 이용한 액정표시장치의 단면도이다.
- [0029] 우선, 본 발명의 제1 실시예에 따른 유기 박막 트랜지스터는, 도 2d에 도시된 바와 같이, 기판(410)상에 유기물질로 형성된 버퍼막(412)과, 상기 버퍼막(412)상에 각각 섬형상으로 투명도전막 즉, ITO막 또는 IZO막으로 형성된 소스/드레인 전극(414a, 414b)과, 상기 소스/드레인 전극(414a, 414b)을 포함한 버퍼막(412)상에 형성된 터널링 장벽층(416)과, 상기 터널링 장벽층(416) 상에 형성된 LCPBC(Liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene), 폴리사이오핀(polythiophene) 등의 유기 반도체층(418)과, 상기 유기 반도체층(418) 상에 형성된 게이트 절연막(420)과, 상기 소스/드레인 전극(414a, 414b)과 오버랩되도록 게이트 절연막(420) 상에 형성된 게이트전극(422)으로 구성된다.
- [0030] 이때, 상기 터널링 장벽층(416)은 상기 소스/드레인전극(414a, 414b)으로 홀(hole)의 주입(injection)이 용이하도록 소스/드레인전극(414a, 414b)과 유기 반도체층(418)간의 전압강하를 유도하여 소스/드레인 전극(414a, 414b)의 일함수를 낮아지게 하는 막으로 형성되어, 이로 인해 차지 인젝션(charge injection)을 방해하는 에너지 장벽을 낮아지게 하여, 유기 반도체층(418)과 소스/드레인전극(414a, 414b)간의 접촉면 저항을 감소시킨다.
- [0031] 한편, 상기 터널링 장벽층(416)의 두께에 따라 접촉면 저항이 변화될 수 있다. 즉, 터널링 장벽층(416)이 10~110Å 정도의 두께로 형성되면, 유기 반도체층(418)과 소스/드레인전극(414a, 414b)간의 접촉면 저항을 감소시키지만, 터널링 장벽층(416)이 100Å 보다 두꺼운 두께로 형성되면, 유기 반도체층(418)과 소스/드레인전극(414a, 414b)간의 접촉면 저항을 증가시키게 된다.
- [0032] 따라서, 상기 터널링 장벽층(416)은 10~ 110Å 정도의 두께로 증착되어야 한다.
- [0033] 상기 터널링 장벽층(416)은 CBP(4,48-N,N 8-dicarbazole-biphenyl), BCP(2,9-dimethyl-4,7-diphenyl-1,10-phenanthroline), SiNx, SiO₂ 중 어느 하나로 형성한다.
- [0034] 상기와 같은 유기 박막 트랜지스터의 제조방법을 설명하면 다음과 같다.
- [0035] 우선, 도 2a에 도시된 바와 같이, 유리 또는 투명한 플라스틱의 기판(410) 상에 버퍼막(412)을 형성한다.
- [0036] 상기 버퍼막(412)은 이후 형성될 유기반도체층의 결정성장을 좋게 하기 위해 증착되고, 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 및 실리콘 산화물(SiOx)과 실리콘 질화물(SiNx)이 적층된 이중막 중 어느 하나의 무기 절연물질을 형성하거나 또는 BCB(Benzocyclobutene), 아크릴계 물질, 폴리이미드, 폴리메틸메타크릴레이트(polymethylmethacrylate : PMMA)와 같은 유기절연물질을 형성한다.
- [0037] 이어, 상기 버퍼막(412)상에 투명도전막(414)을 형성한다.
- [0038] 상기 투명 도전층(414)은 액정표시장치에 적용되는 소자에서 일반적으로 사용되고 형성공정이 용이한 ITO(Indium Tin Oxide)막 또는 IZO(Indium Zinc Oxide)막으로 사용한다.
- [0039] 한편, 크롬(Cr) 또는 몰리브덴(Mo)과 같은 금속층을 상기 투명도전막 하부에 증착하여 투명도전막 및 금속막으로 적층된 이중구조로 소스/드레인전극을 형성하면, 유기박막트랜지스터의 소스/드레인 전극에 대한 라인저항이 감소될 수 있다.
- [0040] 계속, 도 2b에 도시된 바와 같이, 상기 투명도전막(414) 상에 포토 레지스트(Photo resist)(도시하지 않음)를 도포하고, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 포토 마스크를 정렬한 후, 광선을 조사하여 노광하고 그 이후에 현상하여 포토레지스트를 패터닝한다.
- [0041] 이어, 패터닝된 포토 레지스트를 마스크로 사용하여 투명 도전층(414)을 선택적으로 식각하여 소스/드레인 전극(414a, 414b)을 형성하고, 상기 포토레지스트를 제거한다.
- [0042] 도 2c에 도시된 바와 같이, 상기 소스/드레인 전극(414a, 414b)이 형성된 버퍼막(412)상에 터널링 장벽층(416)을 형성한다.
- [0043] 상기 터널링 장벽층(416)은 상기 터널링 장벽층(416)은 CBP(4,48-N,N 8-dicarbazole-biphenyl), BCP(2,9-

dimethyl-4,7-diphenyl-1,10-phenanthroline), SiNx, SiO₂ 중 어느 하나로 형성하고, 10~ 110Å 정도의 두께로 형성한다.

- [0044] 따라서, 상기 터널링 장벽층(416)은 소스/드레인전극(414a, 414b) 상부 및 측벽뿐만 아니라 버퍼막(412)의 상부에도 형성된다.
- [0045] 이어, 도 2d에 도시된 바와 같이, 상기 터널링 장벽층(416)이 형성된 기판 전면에 유기 물질을 도포하여 패터닝한 후, 유기 반도체층(418)을 형성한다.
- [0046] 상기 유기 반도체층으로 사용될 유기 물질로는 LCPBC(Liquid Crystalline Polyfluorene Block copolymer), 펜타센(Pentacene), 폴리사이오핀(polythiophene) 등의 있다.
- [0047] 이어서, 유기반도체층(418) 상에 무기절연물질을 증착하거나 또는 유기절연물질을 도포하여 게이트 절연막(420)을 형성한다.
- [0048] 상기 게이트 절연막(420)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiNx)등의 무기 절연물질을 형성하거나 또는 BCB(Benzocyclobutene), 아크릴계 물질, 폴리이미드와 같은 유기절연물질을 형성한다. 다만, 이후 형성될 유기 반도체층과의 접촉특성을 위해 무기절연물질보다는 유기절연물질을 사용하여 게이트 절연막을 형성하는 것이 바람직할 것이다.
- [0049] 이어서, 상기 게이트 절연막(420) 상에 금속을 증착한 후 포토 식각기술로 패터닝하여, 소스/드레인전극(414a, 414b)과 오버랩되도록 게이트 전극(422)을 형성함으로써, 유기 박막트랜지스터를 완성한다.
- [0050] 상기 게이트 전극(422)은 크롬(Cr), 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄합금(Al alloy), 텅스텐(W)계열등의 금속물질 중에서 적어도 하나 또는 하나 이상으로 이루어진다.
- [0051] 이때, 상기 유기 박막 트랜지스터의 게이트 전극(422), 게이트 절연막(420), 소스/드레인 전극(414a,414b) 및 유기 반도체층(418)이 모두 유기물질로 형성되는 경우에는 저온 공정이 가능하므로 상기 기판(410)은 플렉서블한 특성의 플라스틱 기판 또는 필름으로 사용 가능하다.
- [0052] 한편, 상기 실시예에 의한 유기 박막 트랜지스터를 포함하는 액정표시소자는, 도 3에 도시된 바와 같이, 상기의 유기 박막 트랜지스터가 형성된 기판(410) 상에 BCB, 아크릴계 물질, 폴리이미드와 같은 유기절연물질로 형성된 보호막(419)과, 상기 콘택홀(421)을 통해 상기 드레인 전극(414b)에 연결되도록 상기 보호막(419)의 화소영역에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 형성되는 화소전극(417)이 더 구비된다. 그리고, 상기 하부기판(410)에 대향합착된 상부기판(432)에는 화소영역을 제외한 부분에서 빛을 차광하는 블랙 매트릭스(430), 색상을 구현하기 위한 컬러필터층(428) 및 화소를 구동하기 위한 공통전극(426)이 구비된다. 이와 같은 상부기판(432)과 하부기판(410)이 일정공간을 갖고 합착되고 그 사이에 액정층(431)이 형성된다.
- [0053] 한편, 상기와 같은 본 실시예에 의한 유기박막트랜지스터가 형성된 유기발광전계소자(도시되지 않았음)는, 상기 유기박막 트랜지스터가 형성된 기판(410)과 대향합착된 상부기판에는 제1 전극과, 제2 전극과, 그 사이에 유기 발광층을 갖는 유기 발광 다이오드가 형성된다.

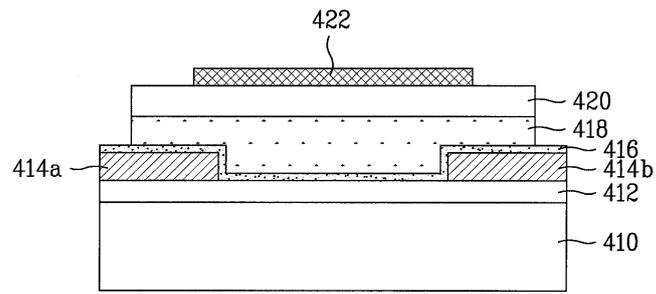
발명의 효과

- [0054] 본 발명에 따른 유기박막트랜지스터 및 이의 제조방법에 의하면, 차지인젝션(charge injection)을 방해하는 에너지장벽을 낮아지게 하는 터널링 장벽층을 유기 반도체층과 소스/드레인전극 접촉면에 형성함으로써, 유기 반도체층과 소스/드레인전극간의 접촉면 저항은 감소하게 되어, 박막 트랜지스터의 특성 중 이동도(mobility)가 향상되고, 박막 트랜지스터의 출력(output)특성에서 저전압에서의 전류의 비선형성(current clouding)현상이 개선되는 효과가 있다.

도면의 간단한 설명

- [0001] 도 1은 종래의 유기박막트랜지스터의 개략적인 구성을 보여주는 단면도
- [0002] 도 2a 내지 도 2d는 본 발명의 실시 예에 따른 유기 박막 트랜지스터의 제조방법을 설명하기 위한 단면도들
- [0003] 도 3은 본 발명의 실시예에 따른 유기 박막 트랜지스터를 이용한 액정표시장치의 단면도
- [0004] <도면의 주요부분에 대한 부호의 설명>

도면2d



도면3

