

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6566512号  
(P6566512)

(45) 発行日 令和1年8月28日(2019.8.28)

(24) 登録日 令和1年8月9日(2019.8.9)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 C
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 A
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 F
	HO 1 L 29/78 6 5 2 M
	HO 1 L 29/78 6 5 2 J
請求項の数 38 (全 27 頁) 最終頁に続く	

(21) 出願番号 特願2015-81869 (P2015-81869)  
 (22) 出願日 平成27年4月13日 (2015.4.13)  
 (65) 公開番号 特開2015-213163 (P2015-213163A)  
 (43) 公開日 平成27年11月26日 (2015.11.26)  
 審査請求日 平成30年3月16日 (2018.3.16)  
 (31) 優先権主張番号 特願2014-83755 (P2014-83755)  
 (32) 優先日 平成26年4月15日 (2014.4.15)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)  
 (31) 優先権主張番号 特願2014-83756 (P2014-83756)  
 (32) 優先日 平成26年4月15日 (2014.4.15)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)

(73) 特許権者 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100087701  
 弁理士 稲岡 耕作  
 (74) 代理人 100101328  
 弁理士 川崎 実夫  
 (74) 代理人 100149766  
 弁理士 京村 順二  
 (72) 発明者 日笠 旭紘  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内  
 審査官 恩田 和彦

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体層と、  
 前記半導体層の表面部に配置された第 2 導電型のベース領域と、  
 前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチであって、  
 それぞれの間にアクティブ領域を定義するトレンチと、  
 前記アクティブ領域に選択的に配置され、下部で前記ベース領域に接続された第 2 導電  
 型のベースコンタクト領域と、  
 前記アクティブ領域に配置された第 1 導電型の複数のエミッタ領域であって、それぞれ  
 が隣り合う前記トレンチをつなぐエミッタ領域と、  
 前記トレンチに埋め込まれたゲート電極と、  
 前記ゲート電極上で前記トレンチに埋め込まれ、前記半導体層の表面と同じか当該表面  
 よりも低い高さ位置に上面を有する埋め込み絶縁膜と、  
 前記アクティブ領域および前記埋め込み絶縁膜を覆っており、前記ベース領域および前  
 記エミッタ領域に電気的に接続されたエミッタ電極とを含み、  
 前記ベースコンタクト領域が、前記埋め込み絶縁膜よりも浅く形成され、  
 前記エミッタ領域が、前記埋め込み絶縁膜よりも深く形成されている、半導体装置。

【請求項 2】

前記エミッタ電極が、平坦電極である、請求項 1 に記載の半導体装置。

【請求項 3】

前記ベースコンタクト領域が、前記エミッタ領域よりも浅く形成されている、請求項1または2に記載の半導体装置。

【請求項4】

前記ベースコンタクト領域は、前記アクティブ領域の前記エミッタ領域を除く全領域に形成されている、請求項1～3のいずれか一項に記載の半導体装置。

【請求項5】

前記トレンチは、ストライプ状に形成され、

前記エミッタ領域は、当該ストライプ状のトレンチに垂直に交わるストライプ状に形成されている、請求項1～4のいずれか一項に記載の半導体装置。

【請求項6】

隣り合う前記トレンチの間隔は、 $1\ \mu\text{m}$ 以下である、請求項1～5のいずれか一項に記載の半導体装置。

【請求項7】

隣り合う前記エミッタ領域の間隔は、 $3.5\ \mu\text{m} \sim 10\ \mu\text{m}$ である、請求項6に記載の半導体装置。

【請求項8】

第1導電型の半導体層と、

前記半導体層の表面部に配置された第2導電型のベース領域と、

前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチであって、それぞれの間にアクティブ領域を定義するトレンチと、

前記アクティブ領域に配置された第1導電型の複数のエミッタ領域であって、それぞれが隣り合う前記トレンチをつなぐエミッタ領域と、

前記トレンチに埋め込まれたゲート電極と、

前記ゲート電極上で前記トレンチに埋め込まれ、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する埋め込み絶縁膜と、

前記アクティブ領域および前記埋め込み絶縁膜を覆っており、前記ベース領域および前記エミッタ領域に電氣的に接続されたエミッタ電極とを含み、

隣り合う前記トレンチの間隔は、 $1\ \mu\text{m}$ 以下であり、

隣り合う前記エミッタ領域の間隔は、 $3.5\ \mu\text{m} \sim 10\ \mu\text{m}$ である、半導体装置。

【請求項9】

前記エミッタ電極が、平坦電極である、請求項8に記載の半導体装置。

【請求項10】

前記アクティブ領域に選択的に配置され、下部で前記ベース領域に接続された第2導電型のベースコンタクト領域を含む、請求項8または9に記載の半導体装置。

【請求項11】

前記ベースコンタクト領域が、前記エミッタ領域よりも浅く形成されている、請求項10に記載の半導体装置。

【請求項12】

前記ベースコンタクト領域は、前記アクティブ領域の前記エミッタ領域を除く全領域に形成されている、請求項10または11に記載の半導体装置。

【請求項13】

前記トレンチは、ストライプ状に形成され、

前記エミッタ領域は、当該ストライプ状のトレンチに垂直に交わるストライプ状に形成されている、請求項8～12のいずれか一項に記載の半導体装置。

【請求項14】

前記埋め込み絶縁膜は、 $\text{SiO}_2$ からなる、請求項1～13のいずれか一項に記載の半導体装置。

【請求項15】

前記ゲート電極は、ポリシリコンからなる、請求項1～14のいずれか一項に記載の半導体装置。

10

20

30

40

50

## 【請求項 16】

前記半導体層は、Siからなる、請求項1～15のいずれか一項に記載の半導体装置。

## 【請求項 17】

前記エミッタ電極は、Al-Si-Cu系合金からなる、請求項1～16のいずれか一項に記載の半導体装置。

## 【請求項 18】

前記エミッタ電極と前記半導体層との間に配置されたTi/TiN/Ti積層構造を有するバリア層をさらに含む、請求項17に記載の半導体装置。

## 【請求項 19】

第1導電型の半導体層の表面部に、第2導電型のベース領域を形成する工程と、  
それぞれの間にアクティブ領域を定義するように、前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチを形成する工程と、

前記トレンチをゲート電極で埋め戻す工程と、

前記ゲート電極を上部から選択的に除去することによって、前記ゲート電極上に前記トレンチの側面で定義されたスペースを形成する工程と、

前記スペースに、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する埋め込み絶縁膜を埋め込む工程と、

それぞれが隣り合う前記トレンチをつなぐように、かつ前記埋め込み絶縁膜よりも深くなるように、前記アクティブ領域に第1導電型の複数のエミッタ領域を形成する工程と、

前記埋め込み絶縁膜よりも浅くなるように、かつ下部で前記ベース領域に接続されるように、前記アクティブ領域に第2導電型のベースコンタクト領域を形成する工程と、

前記アクティブ領域および前記埋め込み絶縁膜を覆うようにエミッタ電極を形成する工程とを含む、半導体装置の製造方法。

## 【請求項 20】

前記埋め込み絶縁膜を埋め込む工程は、

前記半導体層の表面を覆うように絶縁材料を堆積させる工程と、

前記半導体層の表面が露出するまで前記絶縁材料をエッチバックすることによって、前記埋め込み絶縁膜を形成する工程とを含む、請求項19に記載の半導体装置の製造方法。

## 【請求項 21】

前記絶縁材料を堆積させる工程は、TEOS原料を用いたCVD法によってSiO<sub>2</sub>を堆積させる工程を含む、請求項20に記載の半導体装置の製造方法。

## 【請求項 22】

第1導電型の半導体層と、

前記半導体層の表面部に配置された第2導電型のベース領域と、

前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチと、

前記トレンチに埋め込まれたゲート電極と、

前記ゲート電極上で前記半導体層の表面を超えて突出し、前記トレンチの側面と連続する側面を有する絶縁膜と、

前記半導体層と前記絶縁膜との間の段差によって形成され、底部に前記半導体層からなるアクティブ領域が定義された掘り込み構造と、

前記アクティブ領域に選択的に配置され、前記トレンチに沿って複数形成された第1導電型のエミッタ領域と、

前記アクティブ領域および前記絶縁膜を覆っており、前記ベース領域および前記エミッタ領域に電氣的に接続されたエミッタ電極とを含み、

隣り合う前記トレンチの間隔は、1 μm以下であり、

隣り合う前記エミッタ領域の間隔は、3.5 μm～10 μmである、半導体装置。

## 【請求項 23】

前記掘り込み構造は、隣り合う前記トレンチの間の半導体領域の全域に広がっている、請求項22に記載の半導体装置。

## 【請求項 24】

10

20

30

40

50

前記エミッタ領域は、隣り合う前記トレンチをつなぐように形成されている、請求項2または23に記載の半導体装置。

【請求項25】

前記アクティブ領域に選択的に配置され、下部で前記ベース領域に接続された第2導電型のベースコンタクト領域を含む、請求項22～24のいずれか一項に記載の半導体装置。

【請求項26】

前記ベースコンタクト領域が、前記エミッタ領域と同じ深さで形成されている、請求項25に記載の半導体装置。

【請求項27】

前記ベースコンタクト領域は、前記アクティブ領域の前記エミッタ領域を除く全領域に形成されている、請求項25または26に記載の半導体装置。

【請求項28】

前記トレンチは、ストライプ状に形成され、  
前記エミッタ領域は、当該ストライプ状のトレンチに垂直に交わるストライプ状に形成されている、請求項22～27のいずれか一項に記載の半導体装置。

【請求項29】

前記絶縁膜は、 $SiO_2$ からなる、請求項22～28のいずれか一項に記載の半導体装置。

【請求項30】

前記ゲート電極は、ポリシリコンからなる、請求項22～29のいずれか一項に記載の半導体装置。

【請求項31】

前記半導体層は、 $Si$ からなる、請求項22～30のいずれか一項に記載の半導体装置。

【請求項32】

前記エミッタ電極は、 $Al-Si-Cu$ 系合金からなる、請求項22～31のいずれか一項に記載の半導体装置。

【請求項33】

前記エミッタ電極と前記半導体層との間に配置された $Ti/TiN/Ti$ 積層構造を有するバリア層をさらに含む、請求項32に記載の半導体装置。

【請求項34】

第1導電型の半導体層の表面部に、第2導電型のベース領域を形成する工程と、  
前記半導体層の表面から前記ベース領域の底部を超えて延び、互いに $1\mu m$ 以下の間隔を空けて配列された複数のトレンチを形成する工程と、

前記トレンチをゲート電極で埋め戻す工程と、

前記ゲート電極を上部から選択的に除去することによって、前記ゲート電極上に前記トレンチの側面で定義されたスペースを形成する工程と、

前記スペースに、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する絶縁膜を埋め込む工程と、

前記半導体層を表面から前記絶縁膜に対して自己整合的に除去することによって、底部に前記半導体層からなるアクティブ領域が定義された掘り込み構造を形成し、かつ前記絶縁膜を、前記トレンチの側面と連続する側面を有するように、前記ゲート電極上で前記半導体層の表面を超えて突出させる工程と、

前記掘り込み構造に第1導電型の不純物を選択的に注入し、拡散させることによって、前記アクティブ領域にエミッタ領域を形成する工程と、

前記アクティブ領域および前記絶縁膜を覆うように、前記ベース領域および前記エミッタ領域に電氣的に接続されるエミッタ電極を形成する工程とを含み、

前記エミッタ領域は、前記トレンチに沿って複数形成され、かつ互いに $3.5\mu m \sim 10\mu m$ の間隔を空けて形成される、半導体装置の製造方法。

10

20

30

40

50

## 【請求項 35】

前記絶縁膜を埋め込む工程は、  
 前記半導体層の表面を覆うように絶縁材料を堆積させる工程と、  
 前記半導体層の表面が露出するまで前記絶縁材料をエッチバックすることによって、前記絶縁膜を形成する工程とを含む、請求項 34 に記載の半導体装置の製造方法。

## 【請求項 36】

前記絶縁材料を堆積させる工程は、TEOS 原料を用いた CVD 法によって SiO<sub>2</sub> を堆積させる工程を含む、請求項 35 に記載の半導体装置の製造方法。

## 【請求項 37】

第 1 導電型の半導体層と 前記半導体層に形成されたゲートトレンチおよびエミッタトレンチと、 10

前記ゲートトレンチに埋め込まれたゲート電極と、  
 前記エミッタトレンチに埋め込まれた埋め込み電極と、  
 前記ゲートトレンチと前記エミッタトレンチとの間において前記半導体層の表面部に形成された第 2 導電型のベース領域と、

前記ベース領域の表面部に形成された第 1 導電型のエミッタ領域と、  
 前記ゲート電極上で前記ゲートトレンチに埋め込まれ、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する第 1 埋め込み絶縁膜と、

前記埋め込み電極上で前記エミッタトレンチに埋め込まれ、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する第 2 埋め込み絶縁膜と、 20

前記第 1 および第 2 埋め込み絶縁膜を覆っており、前記ベース領域および前記エミッタ領域に電氣的に接続されたエミッタ電極とを含む、半導体装置。

## 【請求項 38】

前記エミッタトレンチが複数形成されており、  
 前記複数のエミッタトレンチの間に形成された第 2 導電型のフローティング領域を含む、請求項 37 に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、トレンチゲート型 IGBT を備える半導体装置およびその製造方法に関する 30

## 【背景技術】

## 【0002】

一般的なトレンチゲート型 IGBT を開示する文献として、たとえば、特許文献 1 が公知である。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特許第 4785334 号公報

## 【発明の概要】 40

## 【発明が解決しようとする課題】

## 【0004】

特許文献 1 の IGBT の構造では、トレンチ内部のゲート電極とエミッタ電極とが、Si 表面上の層間絶縁膜によって絶縁されている。層間絶縁膜には、隣り合うトレンチの間の Si 表面を露出させるコンタクトホールが形成されている。エミッタ電極は、当該コンタクトホールを介して Si 表面に接続されている。

このような構造では、ゲート電極とエミッタ電極との短絡を防止するために、マスクの位置ずれおよび寸法ばらつき等を考慮したマージン（たとえば、0.35 μm ~ 0.5 μm）を含めてコンタクトホールの位置・大きさをデザインしなければならない。この制約が、隣り合うトレンチの間隔を制限し、デバイスの微細化を困難にしている。 50

## 【0005】

本発明の目的は、エミッタ領域へのコンタクトを形成する際のデザインマージンが必要なく、デバイスの微細化を図ることができる半導体装置およびその製造方法を提供することである。

## 【課題を解決するための手段】

## 【0006】

本発明の一実施形態は、第1導電型の半導体層と、前記半導体層の表面部に配置された第2導電型のベース領域と、前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチであって、それぞれの間アクティブ領域を定義するトレンチと、前記アクティブ領域に配置された第1導電型の複数のエミッタ領域であって、それぞれが隣り合う前記トレンチをつなぐエミッタ領域と、前記トレンチに埋め込まれたゲート電極と、前記ゲート電極上で前記トレンチに埋め込まれ、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する埋め込み絶縁膜と、前記アクティブ領域および前記埋め込み絶縁膜を覆っており、前記ベース領域および前記エミッタ領域に電気的に接続されたエミッタ電極とを含む、半導体装置を提供する。

10

## 【0007】

この構成によれば、ゲート電極とエミッタ電極とを埋め込み絶縁膜で絶縁できるので、隣り合うトレンチ間のアクティブ領域の半導体表面全体を、エミッタコンタクト領域として使用することができる。そのため、エミッタ領域へのコンタクトを形成する際に、マスクの位置ずれおよび寸法ばらつき等を考慮したデザインマージンが必要ない。さらに、エミッタ領域の構造が、隣り合うトレンチをつなぐ橋掛け構造であるため、前記同様のデザインマージンを必要としない。その結果、前記デザインマージンを削減したデバイスの微細化を達成することができる。

20

## 【0008】

そして、微細化によるアクティブ領域の幅の縮小化によって、半導体層でのホール密度を高めてオン電圧を低減することができる。そのため、比較的低いオン電圧を確保したまま、ベース領域に対するエミッタ領域の面積比（エミッタ領域の配置率）を調節することによって、短絡耐量値を容易に制御することができる。その結果、オン電圧と短絡耐量のトレードオフの関係を改善することができる。

## 【0009】

本発明の一実施形態では、前記エミッタ電極が、平坦電極であってもよい。

30

この構成によれば、エミッタ電極にボンディングワイヤ等の配線材を接合するときの接合強度を向上させることができる。

本発明の一実施形態は、前記アクティブ領域に選択的に配置され、下部で前記ベース領域に接続された第2導電型のベースコンタクト領域を含んでいてもよい。

## 【0010】

前記ベースコンタクト領域は、前記エミッタ領域よりも浅く形成されていてもよい。

前記ベースコンタクト領域が、前記埋め込み絶縁膜よりも浅く形成され、前記エミッタ領域が、前記埋め込み絶縁膜よりも深く形成されていてもよい。

前記ベースコンタクト領域は、前記アクティブ領域の前記エミッタ領域を除く全領域に形成されていてもよい。

40

## 【0011】

前記トレンチは、ストライプ状に形成され、前記エミッタ領域は、当該ストライプ状のトレンチに垂直に交わるストライプ状に形成されていてもよい。

隣り合う前記トレンチの間隔は、1  $\mu\text{m}$ 以下であってもよい。

隣り合う前記エミッタ領域の間隔は、3 . 5  $\mu\text{m}$  ~ 10  $\mu\text{m}$ であってもよい。

前記埋め込み絶縁膜は、 $\text{SiO}_2$ からなってもよいし、前記ゲート電極は、ポリシリコンからなってもよい。また、前記半導体層は、 $\text{Si}$ からなってもよいし、前記エミッタ電極は、 $\text{Al-Si-Cu}$ 系合金からなってもよい。

## 【0012】

50

本発明の一実施形態は、前記エミッタ電極と前記半導体層との間に配置されたTi/N/Ti積層構造を有するバリア層をさらに含んでもよい。

本発明の一実施形態は、第1導電型の半導体層の表面部に、第2導電型のベース領域を形成する工程と、それぞれの間アクティブ領域を定義するように、前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチを形成する工程と、前記トレンチをゲート電極で埋め戻す工程と、前記ゲート電極を上部から選択的に除去することによって、前記ゲート電極上に前記トレンチの側面で定義されたスペースを形成する工程と、前記スペースに、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する埋め込み絶縁膜を埋め込む工程と、それぞれが隣り合う前記トレンチをつなぐように、前記アクティブ領域に第1導電型の複数のエミッタ領域を形成する工程と、前記アクティブ領域および前記埋め込み絶縁膜を覆うようにエミッタ電極を形成する工程とを含む、半導体装置の製造方法を提供する。

10

#### 【0013】

この方法によって、前述の半導体装置を製造することができる。

前記埋め込み絶縁膜を埋め込む工程は、前記半導体層の表面を覆うように絶縁材料を堆積させる工程と、前記半導体層の表面が露出するまで前記絶縁材料をエッチバックすることによって、前記埋め込み絶縁膜を形成する工程とを含んでもよい。

前記絶縁材料を堆積させる工程は、TEOS原料を用いたCVD法によってSiO<sub>2</sub>を堆積させる工程を含んでもよい。

#### 【0014】

20

本発明の一実施形態は、第1導電型の半導体層と、前記半導体層の表面部に配置された第2導電型のベース領域と、前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチと、前記トレンチに埋め込まれたゲート電極と、前記ゲート電極上で前記半導体層の表面を超えて突出し、前記トレンチの側面と連続する側面を有する絶縁膜と、前記半導体層と前記絶縁膜との間の段差によって形成され、底部に前記半導体層からなるアクティブ領域が定義された掘り込み構造と、前記アクティブ領域に選択的に配置された第1導電型のエミッタ領域と、前記アクティブ領域および前記絶縁膜を覆っており、前記ベース領域および前記エミッタ領域に電気的に接続されたエミッタ電極とを含む、半導体装置を提供する。

#### 【0015】

30

この構成によれば、ゲート電極とエミッタ電極とを、トレンチの側面と連続する側面を有する絶縁膜で絶縁できるので、隣り合うトレンチ間のアクティブ領域の半導体表面全体を、エミッタコンタクト領域として使用することができる。そのため、エミッタ領域へのコンタクトを形成する際に、マスクの位置ずれおよび寸法ばらつき等を考慮したデザインマージンが必要ない。その結果、前記デザインマージンを削減したデバイスの微細化を達成することができる。

#### 【0016】

そして、微細化によるアクティブ領域の幅の縮小化によって、半導体層でのホール密度を高めてオン電圧を低減することができる。そのため、比較的低いオン電圧を確保したまま、ベース領域に対するエミッタ領域の面積比（エミッタ領域の配置率）を調節することによって、短絡耐量値を容易に制御することができる。その結果、オン電圧と短絡耐量のトレードオフの関係を改善することができる。

40

#### 【0017】

さらに、掘り込み構造が形成されているので、アクティブ領域における半導体表面からゲート電極の頂部までの距離を短くすることができる。そのため、この構造が形成されていない場合に比べてエミッタ領域を浅く形成しても、エミッタ領域をゲート電極に確実に対向させることができる。エミッタ領域が浅くてよいので、エミッタ領域を形成する際の不純物の拡散時間を短縮でき、半導体層の表面に沿う面内方向への不純物の横広がりを抑制することができる。これにより、エミッタ領域パターンのロスの低減による微細化を達成できると共に、ベース領域の半導体表面からの深さ（ベース長）を短くできることによ

50

る高性能化を実現することができる。

【0018】

前記掘り込み構造は、隣り合う前記トレンチの間の半導体領域の全域に広がっていてもよい。

前記エミッタ領域は、隣り合う前記トレンチをつなぐように形成されていてもよい。

この構成によれば、エミッタ領域の構造が、隣り合うトレンチをつなぐ橋掛け構造であるため、前記同様のデザインマージンを必要としない。その結果、前記デザインマージンを削減したデバイスの微細化をより良好に達成することができる。

【0019】

本発明の一実施形態は、前記アクティブ領域に選択的に配置され、下部で前記ベース領域に接続された第2導電型のベースコンタクト領域を含んでいてもよい。

前記ベースコンタクト領域は、前記エミッタ領域と同じ深さで形成されていてもよい。

前記ベースコンタクト領域は、前記アクティブ領域の前記エミッタ領域を除く全領域に形成されていてもよい。

【0020】

前記トレンチは、ストライプ状に形成され、前記エミッタ領域は、当該ストライプ状のトレンチに垂直に交わるストライプ状に形成されていてもよい。

隣り合う前記トレンチの間隔は、 $1\ \mu\text{m}$ 以下であってもよい。

前記エミッタ領域は、前記トレンチに沿って複数形成されており、隣り合う前記エミッタ領域の間隔は、 $3.5\ \mu\text{m} \sim 10\ \mu\text{m}$ であってもよい。

【0021】

前記絶縁膜は、 $\text{SiO}_2$ からなってもよいし、前記ゲート電極は、ポリシリコンからなってもよい。また、前記半導体層は、 $\text{Si}$ からなってもよいし、前記エミッタ電極は、 $\text{Al-Si-Cu}$ 系合金からなってもよい。

本発明の半導体装置は、前記エミッタ電極と前記半導体層との間に配置された $\text{Ti/TiN/Ti}$ 積層構造を有するバリア層をさらに含んでいてもよい。

【0022】

本発明の一実施形態は、第1導電型の半導体層の表面部に、第2導電型のベース領域を形成する工程と、前記半導体層の表面から前記ベース領域の底部を超えて延びる複数のトレンチを形成する工程と、前記トレンチをゲート電極で埋め戻す工程と、前記ゲート電極を上部から選択的に除去することによって、前記ゲート電極上に前記トレンチの側面で定義されたスペースを形成する工程と、前記スペースに、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する絶縁膜を埋め込む工程と、前記半導体層を表面から前記絶縁膜に対して自己整合的に除去することによって、底部に前記半導体層からなるアクティブ領域が定義された掘り込み構造を形成する工程と、前記掘り込み構造に第1導電型の不純物を選択的に注入し、拡散させることによって、前記アクティブ領域にエミッタ領域を形成する工程と、前記アクティブ領域および前記絶縁膜を覆うようにエミッタ電極を形成する工程とを含む、半導体装置の製造方法を提供する。

【0023】

この方法によって、前述の半導体装置を製造することができる。

前記絶縁膜を埋め込む工程は、前記半導体層の表面を覆うように絶縁材料を堆積させる工程と、前記半導体層の表面が露出するまで前記絶縁材料をエッチバックすることによって、前記絶縁膜を形成する工程とを含んでいてもよい。

前記絶縁材料を堆積させる工程は、 $\text{TEOS}$ 原料を用いた $\text{CVD}$ 法によって $\text{SiO}_2$ を堆積させる工程を含んでいてもよい。

【0024】

本発明の一実施形態は、第1導電型の半導体層と、前記半導体層に形成されたゲートトレンチおよびエミッタトレンチと、前記ゲートトレンチに埋め込まれたゲート電極と、前記エミッタトレンチに埋め込まれた埋め込み電極と、前記ゲートトレンチと前記エミッタトレンチとの間において前記半導体層の表面部に形成された第2導電型のベース領域と、

前記ベース領域の表面部に形成された第1導電型のエミッタ領域と、前記ゲート電極上で前記ゲートトレンチに埋め込まれ、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する第1埋め込み絶縁膜と、前記埋め込み電極上で前記エミッタトレンチに埋め込まれ、前記半導体層の表面と同じか当該表面よりも低い高さ位置に上面を有する第2埋め込み絶縁膜と、前記第1および第2埋め込み絶縁膜を覆っており、前記ベース領域および前記エミッタ領域に電氣的に接続されたエミッタ電極とを含む、半導体装置を提供する。

【0025】

本発明の一実施形態では、前記エミッタトレンチが複数形成されており、前記複数のエミッタトレンチの間に形成された第2導電型のフローティング領域を含んでいてもよい。

10

【図面の簡単な説明】

【0026】

【図1】図1は、本発明の一実施形態に係る半導体装置の模式的な平面図である。

【図2】図2は、本発明の一実施形態に係る半導体装置の模式的な断面図であって、図1の切断線A-Aで前記半導体装置を切断したときの断面に対応している。

【図3】図3は、本発明の一実施形態に係る半導体装置の模式的な断面図であって、図1の切断線B-Bで前記半導体装置を切断したときの断面に対応している。

【図4】図4は、前記半導体装置が組み込まれたインバータ回路図である。

【図5A】図5Aは、前記半導体装置の製造工程の一部を示す図である。

【図5B】図5Bは、図5Aの次の工程を示す図である。

20

【図5C】図5Cは、図5Bの次の工程を示す図である。

【図5D】図5Dは、図5Cの次の工程を示す図である。

【図5E】図5Eは、図5Dの次の工程を示す図である。

【図5F】図5Fは、図5Eの次の工程を示す図である。

【図5G】図5Gは、図5Fの次の工程を示す図である。

【図5H】図5Hは、図5Gの次の工程を示す図である。

【図5I】図5Iは、図5Hの次の工程を示す図である。

【図5J】図5Jは、図5Iの次の工程を示す図である。

【図5K】図5Kは、図5Jの次の工程を示す図である。

【図5L】図5Lは、図5Kの次の工程を示す図である。

30

【図6】図6は、Si表面からの深さとホール密度との関係を示すシミュレーションデータである。

【図7】図7は、コレクタ-エミッタ電圧(VCE)とコレクタ電流(IC)との関係を示すシミュレーションデータである。

【図8】図8は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

【図9】図9は、本発明の一実施形態に係る半導体装置の模式的な断面図であって、図1の切断線A-Aで前記半導体装置を切断したときの断面に対応している。

【図10】図10は、本発明の一実施形態に係る半導体装置の模式的な断面図であって、図1の切断線B-Bで前記半導体装置を切断したときの断面に対応している。

【図11】図11は、本発明の一実施形態に係る半導体装置の模式的な断面図であって、図1の切断線C-Cで前記半導体装置を切断したときの断面に対応している。

40

【図12A】図12Aは、図9~図11の半導体装置の製造工程の一部を示す図である。

【図12B】図12Bは、図12Aの次の工程を示す図である。

【図12C】図12Cは、図12Bの次の工程を示す図である。

【図12D】図12Dは、図12Cの次の工程を示す図である。

【図12E】図12Eは、図12Dの次の工程を示す図である。

【図12F】図12Fは、図12Eの次の工程を示す図である。

【発明を実施するための形態】

【0027】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

50

図1は、本発明の一実施形態に係る半導体装置1, 51の模式的な平面図である。図2および図3は、半導体装置1の模式的な断面図であって、それぞれ、図1の切断線A-AおよびB-Bで半導体装置1を切断したときの断面に対応している。なお、図1は、平面図であるが、明瞭化のために幾つかの構成要素にハッチングを付している。

【0028】

半導体装置1は、トレンチゲート型IGBTを備えるデバイスであって、本発明の半導体層の一例としての半導体基板2を含む。半導体基板2は、たとえば、50 $\mu\text{m}$ ~200 $\mu\text{m}$ の厚さのn<sup>-</sup>型シリコン基板であってよい。

半導体基板2は、その裏面3から表面7へ向かって順に、p<sup>+</sup>型コレクタ領域4、n型バッファ領域5およびn<sup>-</sup>型ドリフト領域6が積層された構造を有している。

10

【0029】

p<sup>+</sup>型コレクタ領域4のp型ドーパントとしては、たとえば、B（ホウ素）、Al（アルミニウム）等を使用できる（以下、p型不純物領域において同じ）。一方、n型バッファ領域5およびn<sup>-</sup>型ドリフト領域6のn型ドーパントとしては、たとえば、N（窒素）、P（リン）、As（ヒ素）等を使用できる（以下、n型不純物領域において同じ）。

また、p<sup>+</sup>型コレクタ領域4のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$  ~  $2 \times 10^{19} \text{ cm}^{-3}$ である。一方、n型バッファ領域5のドーパント濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3}$  ~  $5 \times 10^{17} \text{ cm}^{-3}$ であり、n<sup>-</sup>型ドリフト領域6のドーパント濃度は、たとえば、 $1 \times 10^{13} \text{ cm}^{-3}$  ~  $5 \times 10^{14} \text{ cm}^{-3}$ である。

【0030】

n<sup>-</sup>型ドリフト領域6の表面部には、p型ベース領域8が形成され、さらに、表面7からp型ベース領域8の底部を超えて延びる複数のゲートトレンチ9が形成されている。p型ベース領域8のドーパント濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3}$  ~  $1 \times 10^{18} \text{ cm}^{-3}$ である。また、p型ベース領域8の表面7からの深さは、たとえば、1.0 $\mu\text{m}$  ~ 4.0 $\mu\text{m}$ である。

20

【0031】

複数のゲートトレンチ9は、互いに平行なストライプ状に形成されている。これにより、隣り合うゲートトレンチ9間のp型ベース領域8は、ストライプ状に分割されている。この分割されたストライプ状の半導体領域（Si結晶領域）が、アクティブ領域10として定義される。

30

図1に示すように、隣り合うゲートトレンチ9の間隔P<sub>1</sub>（ゲートトレンチ9の中心間の距離）は、たとえば、1 $\mu\text{m}$ 以下である。また、ゲートトレンチ9の幅W<sub>1</sub>は、たとえば、0.6 $\mu\text{m}$  ~ 3.0 $\mu\text{m}$ であり、アクティブ領域10の幅W<sub>2</sub>は、幅W<sub>1</sub>よりも狭く、たとえば、0.5 $\mu\text{m}$  ~ 1.5 $\mu\text{m}$ である。

【0032】

ゲートトレンチ9には、ゲート絶縁膜11を介してゲート電極12が埋め込まれている。ゲート絶縁膜11は、たとえばSiO<sub>2</sub>からなり、ゲート電極12は、たとえばポリシリコンからなる。また、ゲート絶縁膜11の厚さは、たとえば、1100 ~ 1300（この実施形態では、1200）である。

ゲート電極12は、ゲートトレンチ9の深さ方向途中まで埋め込まれている。これにより、ゲートトレンチ9においてゲート電極12の上方には、ゲート電極12の上面およびゲートトレンチ9の両側面によって定義されたスペース13が形成されている。

40

【0033】

スペース13は、p型ベース領域8よりも浅く形成されており、たとえば、ゲートトレンチ9の長手方向全域に亘って延びるシャロートレンチとなっている。スペース13の表面7からの深さは、たとえば、0.2 $\mu\text{m}$  ~ 0.5 $\mu\text{m}$ である。

スペース13には、埋め込み絶縁膜14が埋め込まれている。埋め込み絶縁膜14は、たとえばSiO<sub>2</sub>からなる。埋め込み絶縁膜14は、アクティブ領域10の表面7と同じか当該表面7よりも低い高さ位置に上面15を有している。上面15がアクティブ領域10の表面7よりも低い高さ位置の場合、その高低差は、後述する絶縁材料38のエッチバ

50

ックの際に、当該絶縁材料 38 が若干オーバーエッチングされることによって形成される凹みによって生じるものである。したがって、半導体基板 2 の表面 7 は、半導体 (Si) 表面と絶縁物 (SiO<sub>2</sub>) 表面とが互いに段差なく連続して平坦面となっているか、もしくは、半導体 (Si) 表面に対して絶縁物 (SiO<sub>2</sub>) 表面が若干凹むことで非常に浅い凹部が形成された略平坦な面となっている。

#### 【0034】

埋め込み絶縁膜 14 とゲート電極 12 との間には、絶縁薄膜 16 が介在されている。絶縁薄膜 16 は、たとえば SiO<sub>2</sub> からなる。また、絶縁薄膜 16 は、ゲート絶縁膜 11 よりも薄く、たとえば、150 ~ 250 (この実施形態では、200) の厚さを有している。

アクティブ領域 10 において p 型ベース領域 8 の表面部には、複数の n<sup>+</sup> 型エミッタ領域 17 が形成されている。各 n<sup>+</sup> 型エミッタ領域 17 は、隣り合うゲートトレンチ 9 をつなぐように形成されている。n<sup>+</sup> 型エミッタ領域 17 が隣り合うゲートトレンチ 9 をつなぐとは、図 1 に示すように、各 n<sup>+</sup> 型エミッタ領域 17 が、一方のゲートトレンチ 9 から他方のゲートトレンチ 9 に延びる過程で分断されていないことを意味している。

#### 【0035】

また、複数の n<sup>+</sup> 型エミッタ領域 17 は、ストライプ状のゲートトレンチ 9 に垂直に交わるストライプ状に配列されている。これにより、ゲートトレンチ 9 および n<sup>+</sup> 型エミッタ領域 17 は、全体として、平面視格子状に形成されている。図 1 に示すように、隣り合う n<sup>+</sup> 型エミッタ領域 17 の間隔 P<sub>2</sub> (n<sup>+</sup> 型エミッタ領域 17 の中心間の距離) は、たとえば、3.5 μm ~ 10 μm である。各 n<sup>+</sup> 型エミッタ領域 17 の幅 W<sub>3</sub> は、たとえば、0.35 μm ~ 1.0 μm である。

#### 【0036】

また、各 n<sup>+</sup> 型エミッタ領域 17 は、埋め込み絶縁膜 14 の底部よりも深く形成されていて、ゲート絶縁膜 11 を介してゲート電極 12 に対向している。n<sup>+</sup> 型エミッタ領域 17 の表面 7 からの深さは、たとえば、0.6 μm ~ 0.8 μm である。また、n<sup>+</sup> 型エミッタ領域 17 のドーパント濃度は、1 × 10<sup>19</sup> cm<sup>-3</sup> ~ 5 × 10<sup>20</sup> cm<sup>-3</sup> である。

#### 【0037】

また、アクティブ領域 10 において p 型ベース領域 8 の表面部には、複数の p<sup>+</sup> 型ベースコンタクト領域 18 が形成されている。p<sup>+</sup> 型ベースコンタクト領域 18 は、アクティブ領域 10 の n<sup>+</sup> 型エミッタ領域 17 を除く全領域に形成されている。つまり、アクティブ領域 10 において p 型ベース領域 8 の表面部には、n<sup>+</sup> 型エミッタ領域 17 および p<sup>+</sup> 型ベースコンタクト領域 18 がゲートトレンチ 9 に沿って交互に配置されている。p<sup>+</sup> 型ベースコンタクト領域 18 の幅 W<sub>4</sub> は、幅 W<sub>3</sub> よりも広く、たとえば、3 μm ~ 9 μm である。このようなアクティブ領域 10 において、p 型ベース領域 8 に対する n<sup>+</sup> 型エミッタ領域 17 の面積比 (n<sup>+</sup> 型エミッタ領域 17 の配置率) は、たとえば、20% 以下であり、好ましくは、10% ~ 15% である。これにより、良好な短絡耐量を達成することができる。

#### 【0038】

また、各 p<sup>+</sup> 型ベースコンタクト領域 18 は、n<sup>+</sup> 型エミッタ領域 17 および埋め込み絶縁膜 14 の底部よりも浅く形成されている。p<sup>+</sup> 型ベースコンタクト領域 18 の表面 7 からの深さは、たとえば、0.2 μm ~ 0.8 μm である。また、p<sup>+</sup> 型ベースコンタクト領域 18 のドーパント濃度は、たとえば、5 × 10<sup>18</sup> cm<sup>-3</sup> ~ 1 × 10<sup>20</sup> cm<sup>-3</sup> である。

#### 【0039】

半導体基板 2 上には、エミッタ電極 19 が形成されている。エミッタ電極 19 は、たとえば Al-Si-Cu 系合金からなる。エミッタ電極 19 は、その一方表面および他方表面が表面 7 の半導体 (Si) 表面および絶縁物 (SiO<sub>2</sub>) 表面に沿うように、アクティブ領域 10 および埋め込み絶縁膜 14 を覆っている。前述のように表面 7 が (略) 平坦面

10

20

30

40

50

となっていることから、エミッタ電極 19 は、この平坦性を引き継いだ平坦電極となっている。そのため、エミッタ電極 19 にボンディングワイヤ等の配線材を接合するときの接合強度を向上させることができる。

#### 【0040】

つまり、図 2 および図 3 に示すように、エミッタ電極 19 では、アクティブ領域 10 に接して  $n^+$  型エミッタ領域 17 および  $p^+$  型ベースコンタクト領域 18 に接続されたコンタクト部分と、埋め込み絶縁膜 14 に接してゲート電極 12 に対向する非コンタクト部分とが、互いに段差なく連続している。非コンタクト部とゲート電極 12 とは、埋め込み絶縁膜 14 によって絶縁されている。

#### 【0041】

また、半導体基板 2 とエミッタ電極 19 との間には、図 2 および図 3 に示すように、Ti/TiN/Ti 積層構造を有するバリア膜 20 が介在されていてもよい。

半導体基板 2 の裏面 3 には、コレクタ電極 21 が形成されている。コレクタ電極 21 は、裏面 3 から順に積層された AlSi/Ti/Ni/Au 積層構造を有している。

そして、半導体装置 1 は、たとえば、図 4 に示すようなインバータ回路 22 に組み込んで使用することができる。図 4 は、半導体装置 1 が組み込まれたインバータ回路図である。

#### 【0042】

インバータ回路 22 は、負荷の一例としての三相モータ 23 に接続される三相インバータ回路である。インバータ回路 22 は、直流電源 24 およびスイッチ部 25 を含む。

直流電源 24 は、この実施形態では、たとえば、700V である。直流電源 24 には、その高圧側に高圧側配線 26 が接続され、その低圧側に低圧側配線 27 が接続されている。

#### 【0043】

スイッチ部 25 は、三相モータ 23 の U 相 23U、V 相 23V および W 相 23W のそれぞれの相に対応する 3 つのアーム 28 ~ 30 を備えている。

アーム 28 ~ 30 は、高圧側配線 26 と低圧側配線 27 との間に並列に接続されている。アーム 28 ~ 30 は、それぞれ高圧側のハイサイドトランジスタ（半導体装置 1）31H ~ 33H と、低圧側のローサイドトランジスタ（半導体装置 1）31L ~ 33L とを備えている。各トランジスタ 31H ~ 33H および 31L ~ 33L には、それぞれ回生ダイオード 34H ~ 36H および 34L ~ 36L が、低圧側から高圧側に順方向電流が流れるような向きで並列に接続されている。

#### 【0044】

インバータ回路 22 では、各アーム 28 ~ 30 のハイサイドトランジスタ 31H ~ 33H およびローサイドトランジスタ 31L ~ 33L のオン/オフ制御を交互に切り替えることによって、つまり、一方のトランジスタがスイッチオンで、他方のトランジスタがスイッチオフである状態を交互に切り替えることによって、三相モータ 23 に交流電流を流すことができる。一方、両方のトランジスタをスイッチオフの状態にすることによって、三相モータ 23 への通電を停止することができる。このようにして、三相モータ 23 のスイッチング動作を行う。

#### 【0045】

図 5A ~ 図 5L は、半導体装置 1 の製造工程の一部を工程順に示す図である。図 5A ~ 図 5L において、紙面左側の図が図 2 の断面に対応しており、紙面右側の図が図 3 の断面に対応している。

半導体装置 1 を製造するには、図 5A に示すように、 $n^-$  型の半導体基板 2（ $n^-$  型ドリフト領域 6）の表面 7 に対して  $p$  型ドーパントがイオン注入（インプラ）され、その後、半導体基板 2 がアニール処理される。これにより、 $p$  型ドーパントがドライブイン拡散して  $p$  型ベース領域 8 が形成される。

#### 【0046】

次に、図 5B に示すように、半導体基板 2 が選択的にエッチングされることによって、

10

20

30

40

50

ゲートトレンチ 9 が形成される。また、隣り合うゲートトレンチ 9 で挟まれた部分にアクティブ領域 10 が形成される。

次に、図 5 C に示すように、半導体基板 2 が熱酸化されることによって、ゲートトレンチ 9 の内面を含む表面全域にゲート絶縁膜 11 が形成される。

【 0 0 4 7 】

次に、図 5 D に示すように、たとえば L P C V D (Low Pressure Chemical Vapor Deposition) 法によって、ポリシリコン等の電極材料 37 が半導体基板 2 上に堆積される。電極材料 37 の堆積は、ゲートトレンチ 9 を完全に埋め戻し、半導体基板 2 が電極材料 37 で覆われるまで続けられる。

次に、図 5 E に示すように、電極材料 37 がエッチバックされることによって、電極材料 37 の不要部分が除去される。これにより、ゲートトレンチ 9 の深さ方向途中部まで埋め込まれたゲート電極 12 が形成されると共に、ゲート電極 12 の上方にスペース 13 が形成される。

【 0 0 4 8 】

次に、図 5 F に示すように、半導体基板 2 が熱酸化されることによって、ゲート絶縁膜 11 で覆われていないゲート電極 12 の上面に絶縁薄膜 16 (熱酸化膜) が形成される。

次に、図 5 G に示すように、T E O S 原料を用いた C V D 法によって S i O <sub>2</sub> からなる絶縁材料 38 が半導体基板 2 上に堆積される。その後、絶縁材料 38 の表面を平坦化させるため、半導体基板 2 をアニール処理してもよい。また、このアニール処理は、前述の図 5 A (ドライブイン拡散)、図 5 C (ゲート熱酸化) および図 5 D (ポリシリコンデポ) 等の加熱工程を経て徐々に深くなった p 型ベース領域 8 のこの時点での深さを確認した上で、最終的な深さ調整をするために利用してもよい。

【 0 0 4 9 】

次に、図 5 H に示すように、絶縁材料 38 がエッチバックされることによって、絶縁材料 38 の不要部分が除去される。これにより、スペース 13 に埋め込まれた埋め込み絶縁膜 14 が形成される。

次に、図 5 I に示すように、半導体基板 2 の表面 7 に対して n 型ドーパントがイオン注入 (インプラ) され、その後、半導体基板 2 がアニール処理される。これにより、n 型ドーパントがドライブイン拡散して n<sup>+</sup> 型エミッタ領域 17 が形成される。

【 0 0 5 0 】

次に、図 5 J に示すように、半導体基板 2 の表面 7 に対して p 型ドーパントがイオン注入 (インプラ) され、その後、半導体基板 2 がアニール処理される。これにより、p 型ドーパントがドライブイン拡散して p<sup>+</sup> 型ベースコンタクト領域 18 が形成される。

次に、半導体基板 2 上に、たとえばスパッタ法によって、T i 膜が堆積されアニール処理された後、同様の方法によって T i N 膜、T i 膜および A l - S i - C u 系合金膜が順に堆積される。そして、これら T i / T i N / T i / A l - S i - C u 系合金をパターニングすることによって、図 5 K に示すように、エミッタ電極 19 およびバリア膜 20 が同時に形成される。

【 0 0 5 1 】

次に、必要に応じて半導体基板 2 を裏面 3 からの研削によって薄化させた後、図 5 L に示すように、半導体基板 2 の裏面 3 に対して選択的に n 型および p 型ドーパントがイオン注入 (インプラ) され、その後、半導体基板 2 がアニール処理 (この実施形態では、レーザーアニール) される。これにより、n 型および p 型ドーパントがドライブイン拡散して n 型バッファ領域 5 および p<sup>+</sup> 型コレクタ領域 4 が形成される。その後、たとえばスパッタ法によって、A l S i 膜、T i 膜、N i 膜および A u 膜が順に堆積される。これにより、コレクタ電極 21 が形成される。

【 0 0 5 2 】

以上のような工程を経て、図 1 ~ 図 3 に示す半導体装置 1 が得られる。なお、図 5 A ~ 図 5 L では半導体装置 1 の製造工程の一部を表したに過ぎず、当該製造工程は、図 5 A ~ 図 5 L で示されなかった工程を含んでいてもよい。

10

20

30

40

50

この半導体装置 1 によれば、図 2 および図 3 に示すように、ゲート電極 1 2 とエミッタ電極 1 9 とを埋め込み絶縁膜 1 4 で絶縁できるので、隣り合うゲートトレンチ 9 間のアクティブ領域 1 0 の半導体 (Si) 表面全体を、エミッタコンタクト領域として使用することができる。そのため、 $n^+$  型エミッタ領域 1 7 および  $p^+$  型ベースコンタクト領域 1 8 の形成 (図 5 I および図 5 J) 後、半導体基板 2 に層間絶縁膜等の絶縁膜を形成する工程を経ずに、図 5 K に示すように、エミッタ電極 1 9 の材料を直接堆積すればよい。

【0053】

したがって、 $n^+$  型エミッタ領域 1 7 および  $p^+$  型ベースコンタクト領域 1 8 へのコンタクトを形成する際に、ゲートトレンチ 9 に直交する方向におけるマスクの位置ずれおよび寸法ばらつき等を考慮したデザインマージンが必要ない。さらに、 $n^+$  型エミッタ領域 1 7 の構造が、図 1 に示すように、隣り合うゲートトレンチ 9 をつなぐ橋掛け構造であるため、その形成にあたり、前記同様のデザインマージンを必要としない。その結果、前記デザインマージンを削減したデバイスの微細化を達成することができる。

10

【0054】

そして、微細化によるアクティブ領域 1 0 の幅  $W_2$  の縮小化によって、 $p$  型ベース領域 8 と  $n^-$  型ドリフト領域 6 との界面付近でのホール密度を高めてオン電圧を低減することができる。ホール密度の向上効果およびオン電圧の低減効果は、それぞれ、図 6 および図 7 によって証明することができる。

図 6 は、Si 表面からの深さとホール密度との関係を示すシミュレーションデータである。図 7 は、コレクタ - エミッタ電圧 (VCE) とコレクタ電流 (IC) との関係を示すシミュレーションデータである。

20

【0055】

図 6 および図 7 において、実施例の実線は、この実施形態に係る半導体装置 1 の結果を示している。一方、参考例は、ゲート電極 1 2 とエミッタ電極 1 9 とを絶縁するための絶縁膜として、埋め込み絶縁膜 1 4 に代えて表面 7 上の層間絶縁膜を採用し、コンタクトホール形成のためのデザインマージンを考慮してゲートトレンチ 9 の間隔  $P_1$  を半導体装置 1 よりも広げた、半導体装置の結果を示している。

【0056】

図 6 から、実施例のホール密度は、Si 表面からの深さに関係なく、参考例よりも高いことがわかる。また、図 7 から、実施例のオン電圧が参考例よりも低いことが明らかである。

30

以上より、半導体装置 1 のようにゲートトレンチ 9 の間隔  $P_1$  を狭めることによって、ホール密度を向上できると共に、オン電圧を低減できることがわかった。その結果、前記間隔  $P_1$  を維持して比較的低いオン電圧を確保したまま、 $p$  型ベース領域 8 に対する  $n^+$  型エミッタ領域 1 7 の面積比 ( $n^+$  型エミッタ領域 1 7 の配置率) を調節することによって、短絡耐量値も容易に向上させることができる。つまり、半導体装置 1 によれば、オン電圧と短絡耐量のトレードオフの関係を改善することができる。

【0057】

図 8 は、本発明の一実施形態に係る半導体装置 5 0 の模式的な断面図である。図 8 では、前述の半導体装置 1 と異なる構成要素について主に説明し、共通の構成要素については同じ符号を付して説明を省略する。

40

半導体装置 5 1 では、 $n^-$  型ドリフト領域 6 を介してゲートトレンチ 9 に対向するようにエミッタトレンチ 4 4 が形成されている。エミッタトレンチ 4 4 は、図 8 に示すように、各ゲートトレンチ 9 を挟むように一対ずつ設けられていてもよい。図 8 では、ゲートトレンチ 9 および一対のエミッタトレンチ 4 4 を含むトレンチユニットが、ストライプ状に複数形成されている。

【0058】

エミッタトレンチ 4 4 には、ゲートトレンチ 9 と同様に、絶縁膜 4 5 を介して埋め込み電極 4 6 が配置されていてもよい。埋め込み電極 4 6 は、エミッタ電極 1 9 に電氣的に接続されていてもよい。絶縁膜 4 5 および埋め込み電極 4 6 は、それぞれ、ゲート絶縁膜 1

50

1 およびゲート電極 12 と同じ工程で形成することができる。したがって、エミッタトレンチ 44 において埋め込み電極 46 の上方には、埋め込み電極 46 の上面およびエミッタトレンチ 44 の両側面によって定義されたスペース 47 が形成されていてもよい。

【0059】

スペース 47 には、 $\text{SiO}_2$  等の絶縁材料からなる埋め込み絶縁膜 48 が埋め込まれていてもよい。埋め込み絶縁膜 48 は、隣り合うエミッタトレンチ 44 を繋ぐ表面絶縁膜 49 と一体的に形成されていてもよい。埋め込み絶縁膜 48 および表面絶縁膜 49 は、埋め込み絶縁膜 14 と同じ工程で形成することができる。たとえば、図 5G で絶縁材料 38 を堆積した後、エミッタ電極 19 のコンタクトに必要な箇所を選択的にエッチングしてコンタクトホール 53 を形成し、コンタクトホール 53 以外の部分を表面絶縁膜 49 として残せばよい。

10

【0060】

ゲートトレンチ 9 と一方のエミッタトレンチ 44 との間の p 型ベース領域 8 の表面部に  $n^+$  型エミッタ領域 17 が形成され、ゲートトレンチ 9 と他方のエミッタトレンチ 44 との間の p 型ベース領域 8 の表面部に  $p^+$  型ベースコンタクト領域 18 が形成されている。

隣り合うエミッタトレンチ 44 間の  $n^-$  型ドリフト領域 6 には、p 型フローティング領域 52 が形成されている。p 型フローティング領域 52 は、表面絶縁膜 49 に対向している。p 型フローティング領域 52 は、電氣的にフローティング状態が保たれた半導体領域であり、ゲートトレンチ 9 に隣り合うエミッタトレンチ 44 によって、ゲートトレンチ 9 と分離されている。p 型フローティング領域 52 は、p 型ベース領域 8 よりも深い位置（たとえば、エミッタトレンチ 44 の底部を超える位置）まで延びていてもよい。これにより、スイッチングオフ動作時にエミッタトレンチ 44 に負荷するコレクタ - エミッタ電圧を緩和することができる。そのため、急峻な電圧変化 ( $dv/dt$ ) に対してデバイスの破壊を防止することができる。p 型フローティング領域 52 のドーパント濃度は、たとえば、 $5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$  である。

20

【0061】

隣り合うエミッタトレンチ 44 の間隔  $P_3$  は、たとえば、 $1.5 \mu\text{m}$  以上であり、好ましくは、 $3 \mu\text{m}$  以下である。また、ゲートトレンチ 9 を挟んで対向する一対のエミッタトレンチ 44 の間隔  $P_4$  は、たとえば、 $3 \mu\text{m}$  以下である。この間隔  $P_4$  は、たとえば、コンタクトホール 53 と同じサイズであってもよい。

30

以上、半導体装置 50 によれば、埋め込み絶縁膜 14, 48 が形成されているので、前述の半導体装置 1 と同様に、デザインマージンを削減したデバイスの微細化を達成することができる。さらに、p 型フローティング領域 52 によって高い短絡耐量を達成することもできる。つまり、デバイスの微細化と高性能化の両立を図ることができる。たとえば、微細化に関しては、コンタクトホール 53 を  $3 \mu\text{m}$  程度に抑えることができる。

【0062】

図 9 ~ 図 11 は、本発明の一実施形態に係る半導体装置 51 の模式的な断面図であって、それぞれ、図 1 の切断線 A - A、B - B および C - C で半導体装置 51 を切断したときの断面に対応している。なお、図 9 ~ 図 11 では、前述の半導体装置 1 と異なる構成要素について主に説明し、共通の構成要素については同じ符号を付して説明を省略する。

40

半導体装置 51 において、スペース 13 には、埋め込み絶縁膜 14 が埋め込まれている。埋め込み絶縁膜 14 は、たとえば  $\text{SiO}_2$  からなる。埋め込み絶縁膜 14 は、アクティブ領域 10 の表面 7 を超えて突出し、ゲートトレンチ 9 の側面 39 と連続する側面 40 を有している。つまり、ゲートトレンチ 9 の側面 39 と埋め込み絶縁膜 14 の側面 40 とが、ゲートトレンチ 9 の深さ方向に沿って互いに段差なく連続している。なお、この「段差なく連続する」は、ゲート絶縁膜 11 のような薄膜の厚さによって形成される微小な段差は無視するものとする。

【0063】

また、埋め込み絶縁膜 14 が表面 7 を超えて突出しているため、半導体基板 2 上には、半導体基板 2 の表面 7 と埋め込み絶縁膜 14 の上面 15 との間に段差によって形成され、

50

底部にアクティブ領域 10 が露出する掘り込み構造 41 が形成されている。掘り込み構造 41 は、ゲートトレンチ 9 によって分割されたストライプ状の半導体領域の全域に形成されている。

【0064】

また、掘り込み構造 41 は、図 9 および図 10 に示すように、アクティブ領域 10 の表面 7 の深さ位置が、埋め込み絶縁膜 14 の厚さ方向途中に配置される深さで形成されていてもよい。つまり、埋め込み絶縁膜 14 が、アクティブ領域 10 の表面 7 に対して下側および上側に跨るように形成されていてもよい。掘り込み構造 41 の深さは、たとえば、 $0.3 \mu\text{m} \sim 0.6 \mu\text{m}$  である。

【0065】

埋め込み絶縁膜 14 とゲート電極 12 との間には、絶縁薄膜 16 が介在されている。絶縁薄膜 16 は、たとえば  $\text{SiO}_2$  からなる。また、絶縁薄膜 16 は、ゲート絶縁膜 11 よりも薄く、たとえば、 $150 \sim 250$  (この実施形態では、 $200$ ) の厚さを有している。

アクティブ領域 10 において p 型ベース領域 8 の表面部には、複数の  $n^+$  型エミッタ領域 17 が形成されている。各  $n^+$  型エミッタ領域 17 は、隣り合うゲートトレンチ 9 をつなぐように形成されている。 $n^+$  型エミッタ領域 17 が隣り合うゲートトレンチ 9 をつなぐとは、図 1 に示すように、各  $n^+$  型エミッタ領域 17 が、一方のゲートトレンチ 9 から他方のゲートトレンチ 9 に延びる過程で分断されていないことを意味している。

【0066】

また、複数の  $n^+$  型エミッタ領域 17 は、ストライプ状のゲートトレンチ 9 に垂直に交わるストライプ状に配列されている。これにより、ゲートトレンチ 9 および  $n^+$  型エミッタ領域 17 は、全体として、平面視格子状に形成されている。図 1 に示すように、隣り合う  $n^+$  型エミッタ領域 17 の間隔  $P_2$  ( $n^+$  型エミッタ領域 17 の中心間の距離) は、たとえば、 $3.5 \mu\text{m} \sim 10 \mu\text{m}$  である。各  $n^+$  型エミッタ領域 17 の幅  $W_3$  は、たとえば、 $0.35 \mu\text{m} \sim 1.0 \mu\text{m}$  である。

【0067】

また、各  $n^+$  型エミッタ領域 17 は、埋め込み絶縁膜 14 の底部よりも深く形成されていて、ゲート絶縁膜 11 を介してゲート電極 12 に対向している。 $n^+$  型エミッタ領域 17 の表面 7 からの深さは、たとえば、 $0.2 \mu\text{m} \sim 0.5 \mu\text{m}$  である。また、 $n^+$  型エミッタ領域 17 のドーパント濃度は、 $1 \times 10^{19} \text{cm}^{-3} \sim 5 \times 10^{20} \text{cm}^{-3}$  である。

【0068】

また、アクティブ領域 10 において p 型ベース領域 8 の表面部には、複数の  $p^+$  型ベースコンタクト領域 18 が形成されている。 $p^+$  型ベースコンタクト領域 18 は、アクティブ領域 10 の  $n^+$  型エミッタ領域 17 を除く全領域に形成されている。つまり、アクティブ領域 10 において p 型ベース領域 8 の表面部には、 $n^+$  型エミッタ領域 17 および  $p^+$  型ベースコンタクト領域 18 がゲートトレンチ 9 に沿って交互に配置されている。 $p^+$  型ベースコンタクト領域 18 の幅  $W_4$  は、幅  $W_3$  よりも広く、たとえば、 $3 \mu\text{m} \sim 9 \mu\text{m}$  である。このようなアクティブ領域 10 において、p 型ベース領域 8 に対する  $n^+$  型エミッタ領域 17 の面積比 ( $n^+$  型エミッタ領域 17 の配置率) は、たとえば、20% 以下であり、好ましくは、10% ~ 15% である。これにより、良好な短絡耐量を達成することができる。

【0069】

また、各  $p^+$  型ベースコンタクト領域 18 は、図 11 に示すように、 $n^+$  型エミッタ領域 17 と同じ深さで形成されている。 $p^+$  型ベースコンタクト領域 18 の表面 7 からの深さは、たとえば、 $0.2 \mu\text{m} \sim 0.8 \mu\text{m}$  である。また、 $p^+$  型ベースコンタクト領域 18 のドーパント濃度は、たとえば、 $5 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$  である。

半導体基板 2 上には、エミッタ電極 19 が形成されている。エミッタ電極 19 は、たと

10

20

30

40

50

えば Al - Si - Cu 系合金からなる。エミッタ電極 19 は、掘り込み構造 41 に入り込んで n<sup>+</sup> 型エミッタ領域 17 および p<sup>+</sup> 型ベースコンタクト領域 18 に接続されている。

【0070】

具体的には、図 9 および図 10 に示すように、エミッタ電極 19 は、アクティブ領域 10 に接して n<sup>+</sup> 型エミッタ領域 17 および p<sup>+</sup> 型ベースコンタクト領域 18 に接続されたコンタクト部分と、埋め込み絶縁膜 14 に接してゲート電極 12 に対向する非コンタクト部分とを有している。非コンタクト部とゲート電極 12 とは、埋め込み絶縁膜 14 によって絶縁されている。

【0071】

また、半導体基板 2 とエミッタ電極 19 との間には、図 9 および図 10 に示すように、Ti / TiN / Ti 積層構造を有するバリア膜 20 が介在されていてもよい。バリア膜 20 は、その一方表面および他方表面が、掘り込み構造 41 によって形成された半導体基板 2 上の凹凸に沿うように形成されている。

半導体基板 2 の裏面 3 には、コレクタ電極 21 が形成されている。コレクタ電極 21 は、裏面 3 から順に積層された AlSi / Ti / Ni / Au 積層構造を有している。

【0072】

そして、この半導体装置 51 も、前述の半導体装置 1 と同様に、たとえば、図 4 に示すようなインバータ回路 22 に組み込んで使用することができる。

次に、半導体装置 51 の製造方法を説明する。

半導体装置 51 を製造するには、まず、図 5A ~ 図 5G に示した工程と同じ工程が行われる。

【0073】

図 5G において、絶縁材料 38 が半導体基板 2 上に堆積された後、図 12A に示すように、絶縁材料 38 がエッチバックされることによって、絶縁材料 38 の不要部分が除去される。これにより、スペース 13 に埋め込まれた埋め込み絶縁膜 14 が形成される。このとき、埋め込み絶縁膜 14 の上面 15 は、アクティブ領域 10 の表面 7 と同じか当該表面 7 よりも低い高さ位置に上面 15 を有している。上面 15 がアクティブ領域 10 の表面 7 よりも低い高さ位置の場合、その高低差は、絶縁材料 38 のエッチバックの際に、当該絶縁材料 38 が若干オーバーエッチングされることによって形成される凹みによって生じるものである。したがって、半導体基板 2 の表面 7 は、半導体 (Si) 表面と絶縁物 (SiO<sub>2</sub>) 表面とが互いに段差なく連続して平坦面となっているか、もしくは、半導体 (Si) 表面に対して絶縁物 (SiO<sub>2</sub>) 表面が若干凹むことで非常に浅い凹部が形成された略平坦な面となっている。

【0074】

次に、図 12B に示すように、埋め込み絶縁膜 14 で挟まれたアクティブ領域 10 が選択的にエッチングされることによって掘り込み構造 41 が形成される。この際、埋め込み絶縁膜 14 (SiO<sub>2</sub>) は、アクティブ領域 10 (Si) に対してエッチング選択比を有しているため、エッチングマスクとして使用することができる。これにより、掘り込み構造 41 は、埋め込み構造 41 に対して自己整合的に形成される。

【0075】

次に、図 12C に示すように、半導体基板 2 の表面 7 に対して n 型ドーパントがイオン注入 (インプラ) され、その後、半導体基板 2 がアニール処理される。これにより、n 型ドーパントがドライブイン拡散して n<sup>+</sup> 型エミッタ領域 17 が形成される。

次に、図 12D に示すように、半導体基板 2 の表面 7 に対して p 型ドーパントがイオン注入 (インプラ) され、その後、半導体基板 2 がアニール処理される。これにより、p 型ドーパントがドライブイン拡散して p<sup>+</sup> 型ベースコンタクト領域 18 が形成される。

【0076】

次に、半導体基板 2 上に、たとえばスパッタ法によって、Ti 膜が堆積されアニール処理された後、同様の方法によって TiN 膜、Ti 膜および Al - Si - Cu 系合金膜が順に堆積される。そして、これら Ti / TiN / Ti / Al - Si - Cu 系合金をパターンニ

10

20

30

40

50

ングすることによって、図 1 2 E に示すように、エミッタ電極 1 9 およびバリア膜 2 0 が同時に形成される。

【 0 0 7 7 】

次に、必要に応じて半導体基板 2 を裏面 3 からの研削によって薄化させた後、図 1 2 F に示すように、半導体基板 2 の裏面 3 に対して選択的に n 型および p 型ドーパントがイオン注入（インプラ）され、その後、半導体基板 2 がアニール処理（この実施形態では、レーザアニール）される。これにより、n 型および p 型ドーパントがドライブイン拡散して n 型バッファ領域 5 および p<sup>+</sup> 型コレクタ領域 4 が形成される。その後、たとえばスパッタ法によって、AlSi 膜、Ti 膜、Ni 膜および Au 膜が順に堆積される。これにより、コレクタ電極 2 1 が形成される。

10

【 0 0 7 8 】

以上のような工程を経て、図 9 ~ 図 1 1 に示す半導体装置 5 1 が得られる。なお、図 1 2 A ~ 図 1 2 F では半導体装置 5 1 の製造工程の一部を表したに過ぎず、当該製造工程は、図 1 2 A ~ 図 1 2 F で示されなかった工程を含んでいてもよい。

この半導体装置 5 1 によれば、図 9 および図 1 0 に示すように、ゲート電極 1 2 とエミッタ電極 1 9 とを埋め込み絶縁膜 1 4 で絶縁できるので、隣り合うゲートトレンチ 9 間のアクティブ領域 1 0 の半導体（Si）表面全体を、エミッタコンタクト領域として使用することができる。そのため、n<sup>+</sup> 型エミッタ領域 1 7 および p<sup>+</sup> 型ベースコンタクト領域 1 8 の形成（図 1 2 C および図 1 2 D）後、半導体基板 2 に層間絶縁膜等の絶縁膜を形成する工程を経ずに、図 1 2 E に示すように、エミッタ電極 1 9 の材料を直接堆積すればよい。

20

【 0 0 7 9 】

したがって、n<sup>+</sup> 型エミッタ領域 1 7 および p<sup>+</sup> 型ベースコンタクト領域 1 8 へのコンタクトを形成する際に、ゲートトレンチ 9 に直交する方向におけるマスクの位置ずれおよび寸法ばらつき等を考慮したデザインマージンが必要ない。さらに、n<sup>+</sup> 型エミッタ領域 1 7 の構造が、図 1 に示すように、隣り合うゲートトレンチ 9 をつなぐ橋掛け構造であるため、その形成にあたり、前記同様のデザインマージンを必要としない。その結果、前記デザインマージンを削減したデバイスの微細化を達成することができる。

【 0 0 8 0 】

そして、微細化によるアクティブ領域 1 0 の幅  $W_2$  の縮小化によって、p 型ベース領域 8 と n<sup>-</sup> 型ドリフト領域 6 との界面付近でのホール密度を高めてオン電圧を低減することができる。ホール密度の向上効果およびオン電圧の低減効果は、それぞれ、前述の半導体装置 1 と同様に、図 6 および図 7 によって証明することができる。

30

以上より、半導体装置 5 1 のようにゲートトレンチ 9 の間隔  $P_1$  を狭めることによって、ホール密度を向上できると共に、オン電圧を低減できることがわかった。その結果、前記間隔  $P_1$  を維持して比較的低いオン電圧を確保したまま、p 型ベース領域 8 に対する n<sup>+</sup> 型エミッタ領域 1 7 の面積比（n<sup>+</sup> 型エミッタ領域 1 7 の配置率）を調節することによって、短絡耐量値も容易に向上させることができる。つまり、半導体装置 5 1 によれば、オン電圧と短絡耐量のトレードオフの関係を改善することができる。

【 0 0 8 1 】

40

さらに、半導体装置 5 1 によれば、掘り込み構造 4 1 が形成されているので、アクティブ領域 1 0 における半導体（Si）表面からゲート電極 1 2 の頂部までの距離を短くすることができる。具体的には、図 1 1 に示すように、掘り込み構造 4 1 が形成されていない場合の表面 7 の高さ位置 4 2 に比べて、表面 7 を低くすることができる。そのため、n<sup>+</sup> 型エミッタ領域 1 7 を浅く形成しても、n<sup>+</sup> 型エミッタ領域 1 7 をゲート電極 1 2 に確実に対向させることができる。n<sup>+</sup> 型エミッタ領域 1 7 が浅くてよいので、n<sup>+</sup> 型エミッタ領域 1 7 を形成する際の不純物の拡散時間を短縮することができる。これにより、図 1 1 に示すように、半導体基板 2 の表面 7 に沿う面内方向への不純物の横広がり 4 3 を抑制することができる。その結果、n<sup>+</sup> 型エミッタ領域 1 7 パターンの口スの低減による微細化を達成できると共に、p 型ベース領域 8 の表面 7 からの深さ（p 型ベース長）を短くでき

50

ることによる高性能化（エミッタ電極 19 の直列抵抗の低減）を実現することができる。

【0082】

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、半導体装置 1, 50, 51 の各半導体部分の導電型を反転した構成が採用されてもよい。つまり、半導体装置 1, 50, 51 において、p 型の部分が n 型であり、n 型の部分が p 型であってもよい。

また、前述の実施形態では、半導体装置 1, 50, 51 が備える IGBT の構成のみを図示したが、本発明の半導体装置は、IGBT 以外の素子（たとえば、MOSFET、ダイオード等）を IGBT の形成領域とは異なる領域に備えていてもよい。

【0083】

また、半導体装置 51 において、埋め込み絶縁膜 14 は、その底部が半導体基板 2 の表面 7 と同じ高さ位置にあってもよい。

また、半導体装置 51 において、各 n<sup>+</sup> 型エミッタ領域 17 は、一方のゲートトレンチ 9 から他方のゲートトレンチ 9 に延びる過程で分断されていてもよい。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

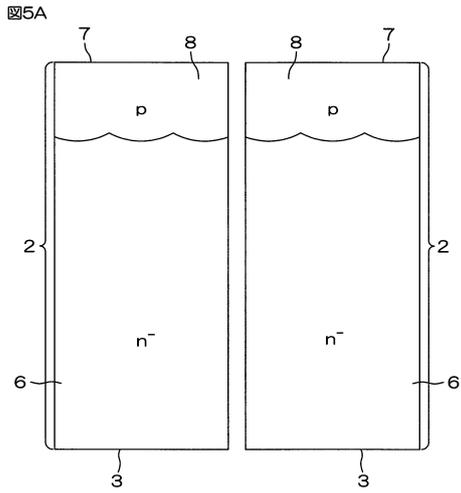
【符号の説明】

【0084】

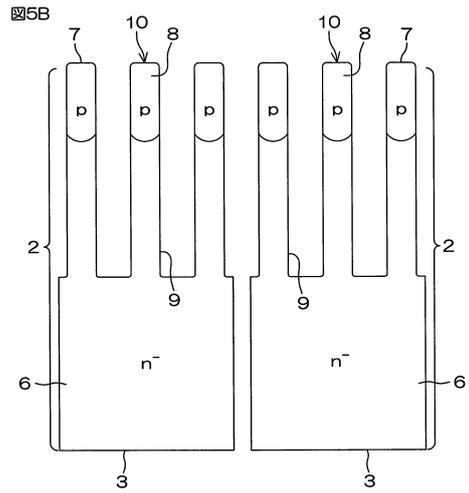
- |    |                            |    |
|----|----------------------------|----|
| 1  | 半導体装置                      |    |
| 2  | 半導体基板                      | 20 |
| 3  | (半導体基板)裏面                  |    |
| 4  | p <sup>+</sup> 型コレクタ領域     |    |
| 5  | n型バッファ領域                   |    |
| 6  | n <sup>-</sup> 型ドリフト領域     |    |
| 7  | (半導体基板)表面                  |    |
| 8  | p型ベース領域                    |    |
| 9  | ゲートトレンチ                    |    |
| 10 | アクティブ領域                    |    |
| 11 | ゲート絶縁膜                     |    |
| 12 | ゲート電極                      | 30 |
| 13 | スペース                       |    |
| 14 | 埋め込み絶縁膜                    |    |
| 15 | (埋め込み絶縁膜)上面                |    |
| 16 | 絶縁薄膜                       |    |
| 17 | n <sup>+</sup> 型エミッタ領域     |    |
| 18 | p <sup>+</sup> 型ベースコンタクト領域 |    |
| 19 | エミッタ電極                     |    |
| 20 | バリア膜                       |    |
| 21 | コレクタ電極                     |    |
| 37 | 電極材料                       | 40 |
| 38 | 絶縁材料                       |    |
| 39 | (ゲートトレンチ)側面                |    |
| 40 | (埋め込み絶縁膜)側面                |    |
| 41 | 掘り込み構造                     |    |
| 50 | 半導体装置                      |    |
| 51 | 半導体装置                      |    |



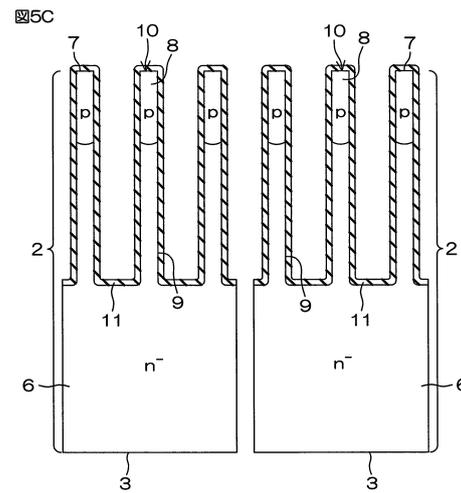
【図5A】



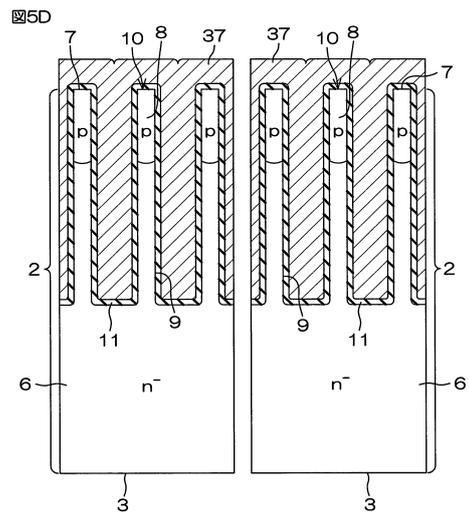
【図5B】



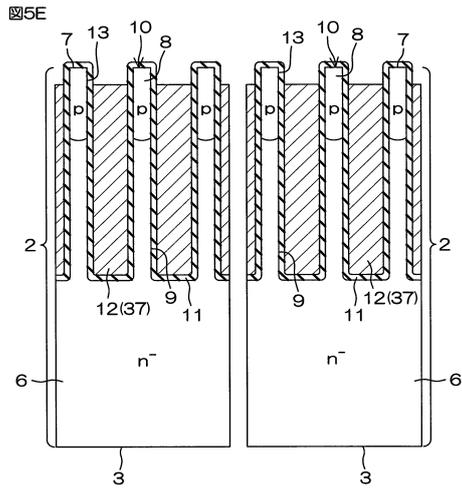
【図5C】



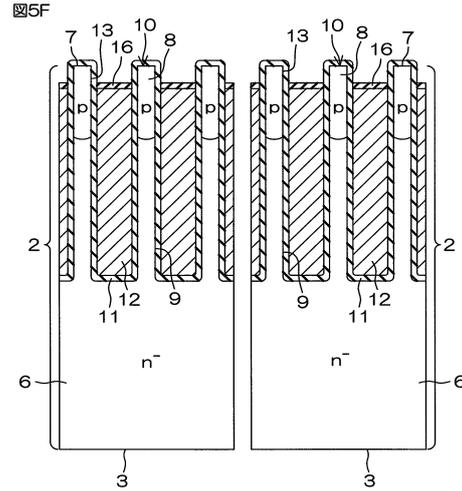
【図5D】



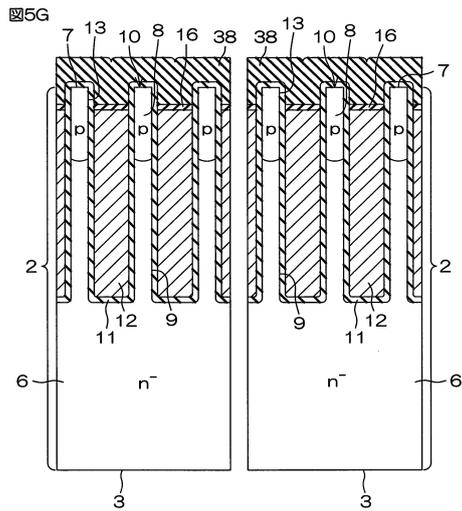
【図 5 E】



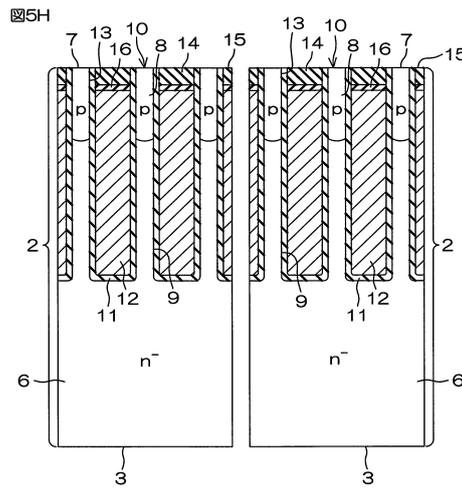
【図 5 F】



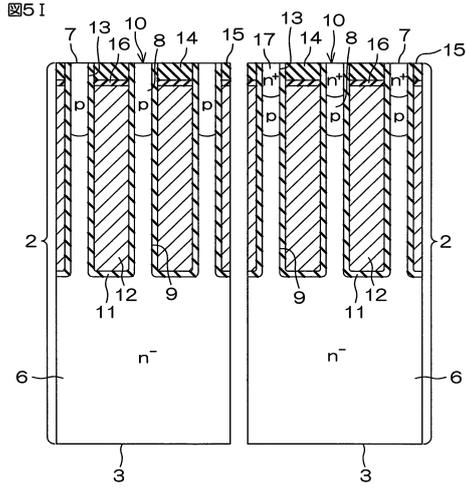
【図 5 G】



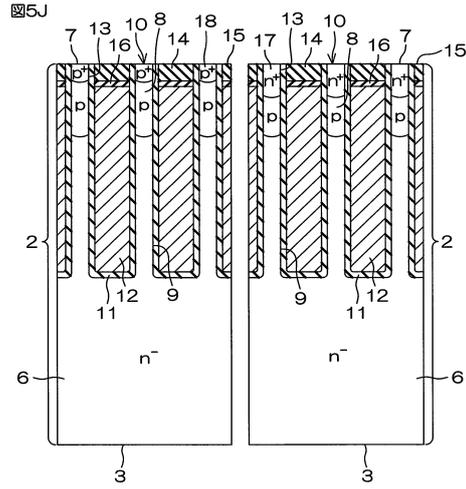
【図 5 H】



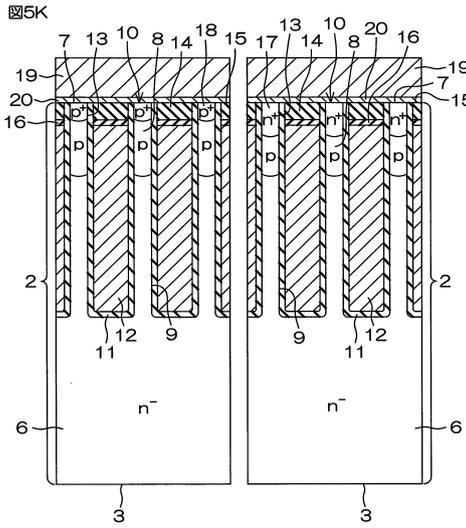
【図5I】



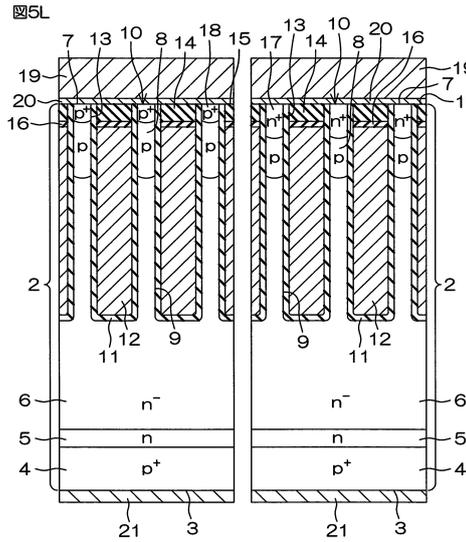
【図5J】



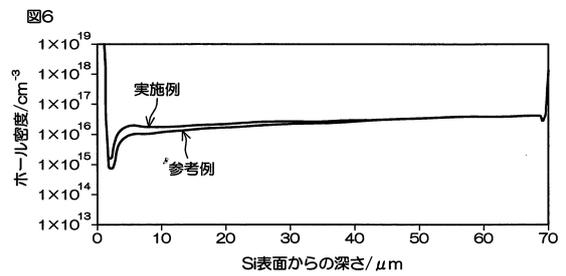
【図5K】



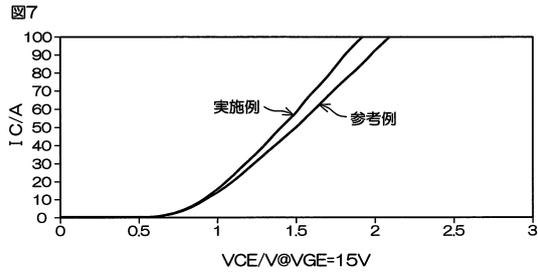
【図5L】



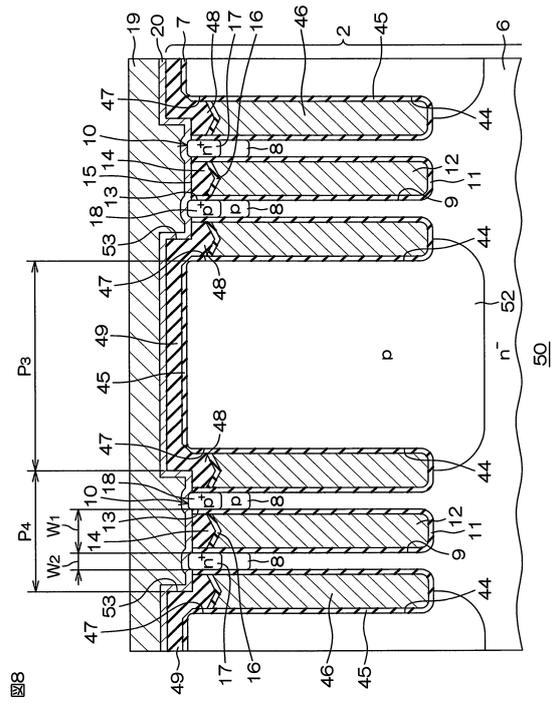
【図6】



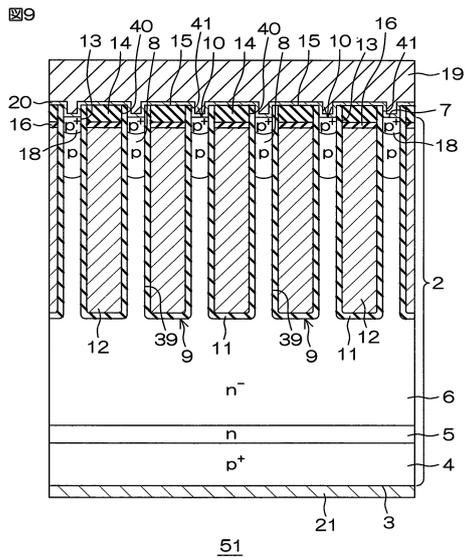
【 図 7 】



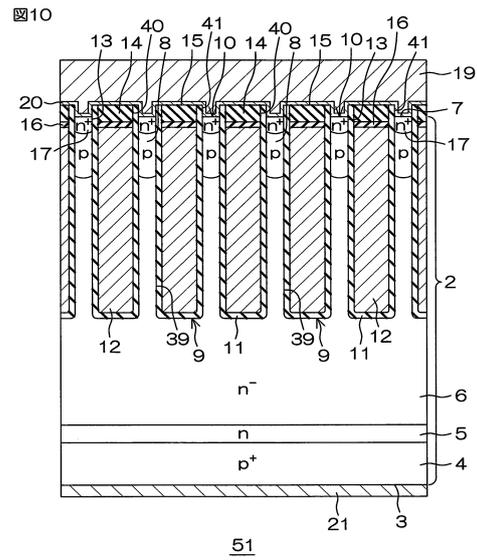
【 図 8 】



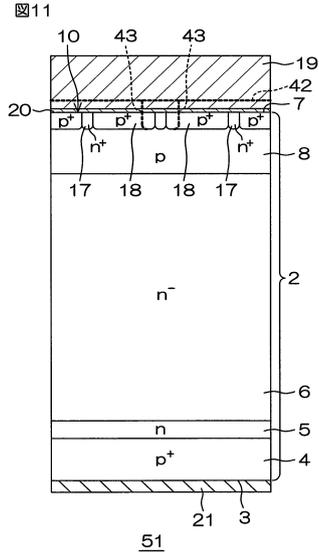
【 図 9 】



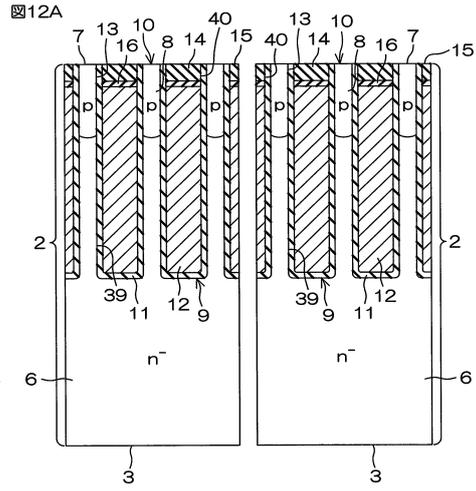
【 図 10 】



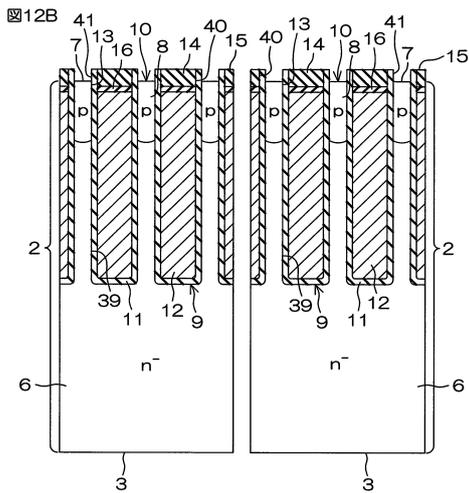
【図11】



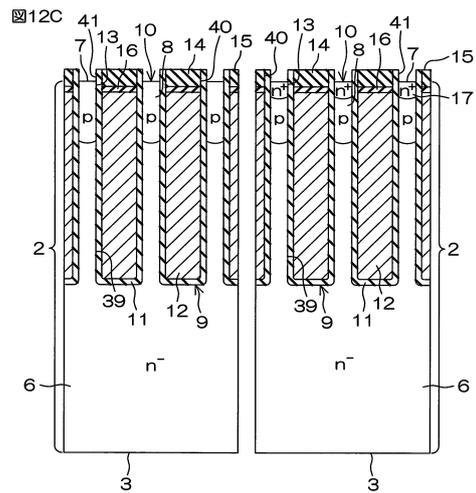
【図12A】



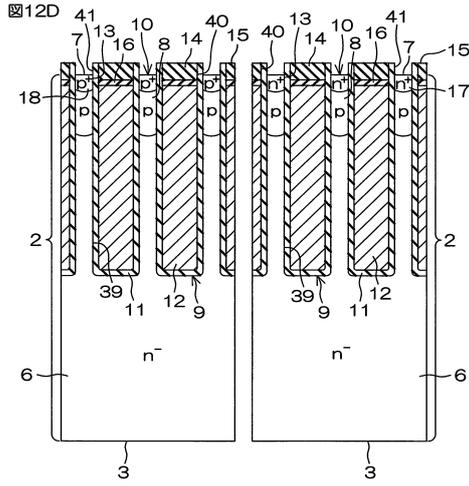
【図12B】



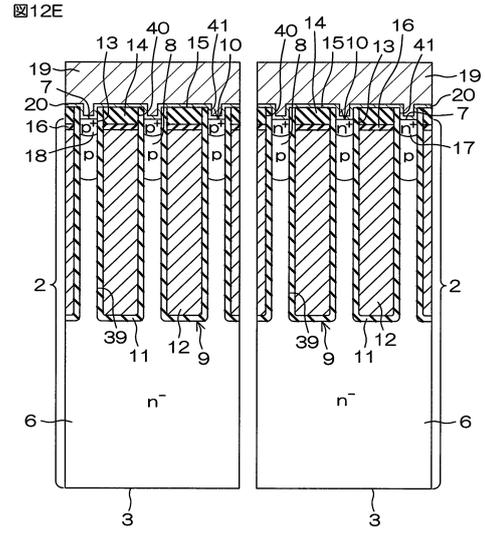
【図12C】



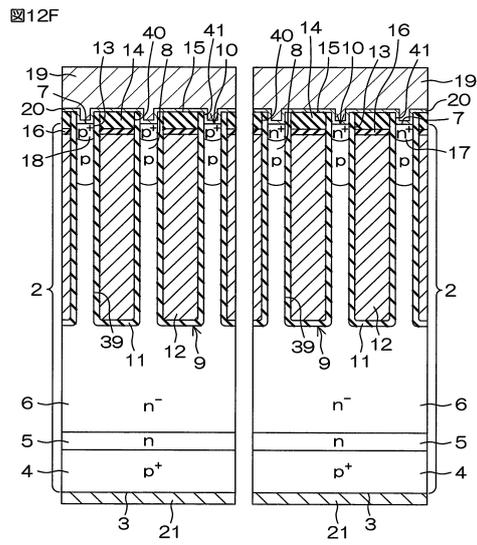
【図12D】



【図12E】



【図12F】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 5 2 B  
H 0 1 L 21/28 3 0 1 A  
H 0 1 L 21/28 3 0 1 R

(56)参考文献 特開2003-303967(JP,A)  
特開2013-182935(JP,A)  
特開2008-282859(JP,A)  
特開2010-129707(JP,A)  
特開2005-209807(JP,A)  
特開2009-016480(JP,A)  
特開2014-060387(JP,A)  
特開2013-251466(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 9 / 7 3 9