

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-531461

(P2007-531461A)

(43) 公表日 平成19年11月1日(2007.11.1)

(51) Int. Cl.	F I	ターマコード (参考)
H03K 19/177 (2006.01)	H03K 19/177	5F064
H01L 21/82 (2006.01)	H01L 21/82 A	5J042

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号 特願2007-506180 (P2007-506180)
 (86) (22) 出願日 平成17年2月28日 (2005. 2. 28)
 (85) 翻訳文提出日 平成18年9月29日 (2006. 9. 29)
 (86) 国際出願番号 PCT/US2005/006583
 (87) 国際公開番号 W02005/104375
 (87) 国際公開日 平成17年11月3日 (2005. 11. 3)
 (31) 優先権主張番号 10/814, 943
 (32) 優先日 平成16年3月30日 (2004. 3. 30)
 (33) 優先権主張国 米国 (US)

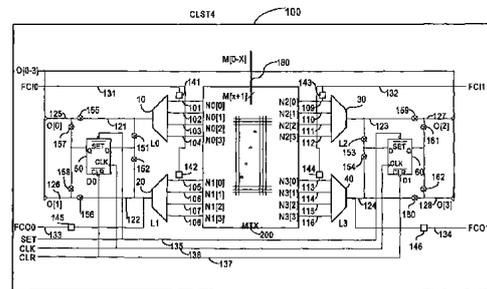
(71) 出願人 303023337
 アドヴァンテージ・ロジック・インコーポ
 レーテッド
 アメリカ合衆国・95014・カリフォル
 ニア州・クーペルティノ・タウン センタ
 ー レーン・20380・スイート 25
 0
 (74) 代理人 100064621
 弁理士 山川 政樹
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (72) 発明者 パニ, ピーター・エム
 アメリカ合衆国・94040・カリフォル
 ニア州・マウンテンビュー・アナ プリバ
 ダ・1110

最終頁に続く

(54) 【発明の名称】 プログラム可能論理用のスケーラブル・ノンブロッキング・スイッチング・ネットワーク

(57) 【要約】

それぞれの相互接続リソース制約内で無制限の形で第1の複数の導体を導体の他の複数の組に接続するために使用されるスイッチ(151~160)と中間(ステージの)導体を有するスケーラブル・ノンブロッキング・スイッチング・ネットワーク(SN)。SN(200)は、ネットワーク、ルータ、プログラム可能論理回路で使用される大きいスイッチ・ネットワークをもたらすために、並列にまたは階層的に、広範囲の応用例に適用することができる。SNは、導体の第1組(101~104)をSNを介して所与の論理回路階層内の導体の複数の組に接続するのに使用され、これによって、複数の組のそれぞれに含まれる導体が同等または交換可能になり、これによって、構成によって、導体の第1組が、回路階層の次のレベルで使用される時に同等になる。SNは、導体の多きいサイズの組にスケーラブルであり、大きいサイズの回路の中のプログラム可能相互接続を可能にするために階層的に使用することができる。



【特許請求の範囲】

【請求項 1】

M 個の第 1 の複数の導体と、
 k 組の N 個の第 2 の複数の導体 ($k \times N$ 個の導体) と、
 M が少なくとも $k + N$ であり、k が少なくとも 2 であり、N が少なくとも 2 である、ス
 イッチング・ネットワーク (SN) と

を含む集積回路であって、前記 SN が、

複数のスイッチと、

$i = [1 - N_0]$ について N_0 組の I_{0_i} 個の導体を含む 1_0 個の第 3 の複数の導体
 であって、 N_0 が少なくとも 2 であり、N が少なくとも N_0 であり、 I_{0_i} が少なくとも M
 と等しく M が ($k \times N$) より小さい時に M と ($k \times N$) の間である、 1_0 個の第 3 の複数の
 導体と

を含み、

前記 M 個の第 1 の複数の導体のうちの任意の 2 つの導体が、別の導体のトラバーサル
 を必要とせずに前記複数のスイッチを介して $p, q = [1 - N_0]$ についてそれぞれ少な
 くとも 2 つの異なる I_{0_p} 個の導体と I_{0_q} 個の導体からそれぞれ選択される少なくとも 2
 つの異なる導体に選択的に結合され、

前記少なくとも 2 つの異なる導体のうちの第 1 導体が、前記 SN を介して多くとも ($k \times (M / N_0)$)
 個の導体の第 1 組に選択的に結合され、多くとも ($k \times (M / N_0)$)
) 個の導体の前記第 1 組が、前記 k 組の N 個の導体のそれぞれからの多くとも (M / N_0
) 個の導体を有し、

前記少なくとも 2 つの異なる導体のうちの第 2 導体が、前記 SN を介して多くとも ($k \times (M / N_0)$)
 個の導体の第 2 組に選択的に結合され、多くとも ($k \times (M / N_0)$)
) 個の導体の前記第 2 組が、前記 k 組の N 個の導体のそれぞれからの多くとも ($k \times (M / N_0)$)
) 個の導体の前記第 1 組と異なる多くとも (M / N_0) 個の導体を有する
 集積回路。

【請求項 2】

前記 I_{0_i} 個の導体の各導体が、別の導体のトラバーサルを必要とせずに前記 SN を介
 して k 個の導体に選択的に結合される請求項 1 に記載の集積回路。

【請求項 3】

前記 I_{0_i} 個が、多くとも ($k \times N / N_0$) 個と (M / N_0) 個のうちの大きい方であ
 り、前記複数のスイッチが、少なくとも $[(M - N + 1) \times N + M \times k]$ 個のスイッチで
 あり、多くとも $M \times (k + N)$ 個のスイッチである請求項 2 に記載の集積回路。

【請求項 4】

k 個のプログラム可能論理セルをさらに含み、前記 k 個のプログラム可能論理セルのそ
 れぞれが、N 個の入力導体を有し、前記 k 個の導体のそれぞれが、前記 k 個のプログラム
 可能論理セルの前記 N 個の入力導体のうちの 1 つの導体に対応する請求項 2 に記載の集積
 回路。

【請求項 5】

M が、 $R \times (k \times N)$ と等しく、R が、少なくとも 0.5 であり、多くとも 1.0 であ
 る請求項 1 に記載の集積回路。

【請求項 6】

前記 I_{0_i} 個の導体に選択的に結合される第 4 の複数の I_{1_i} 個の導体であって、前記 I_{1_i}
 I_{1_j} 個の導体が、 $j = [1 - N_1]$ について N_1 個のグループの $I_{1_{ij}}$ 個の導体を含み、
 N_1 が少なくとも 2 である、第 4 の複数の I_{1_i} 個の導体
 をさらに含み、

前記 I_{0_i} 個の導体のうちの任意の 2 つの導体が、別の導体のトラバーサルを必要とせ
 ずに前記複数のスイッチを介して前記 I_{1_i} 個の導体のうちの 2 つの異なる導体に選択的
 に結合され、 $r, s = [1 - N_1]$ について、前記 2 つの異なる導体のうちの第 3 導体が
 、 $I_{1_{ir}}$ 個の導体からであり、前記 2 つの異なる導体のうちの第 4 導体が、 $I_{1_{is}}$ 個の導

10

20

30

40

50

体からであり、数 r が数 s と異なり、

前記第 3 導体が、前記 $S N$ を介して前記 k 組の N 個の導体からの多くとも $(k \times (M / (N_0 \times N_1)))$ 個の導体の第 3 組に選択的に結合され、多くとも $(k \times (M / (N_0 \times N_1)))$ 個の導体の前記第 3 組が、前記 k 組の N 個の導体のそれぞれからの多くとも $(M / (N_0 \times N_1))$ 個の導体を有し、

前記第 4 導体が、前記 $S N$ を介して前記 k 組の N 個の導体からの多くとも $(k \times (M / (N_0 \times N_1)))$ 個の導体の第 4 組に選択的に結合され、多くとも $(k \times (M / (N_0 \times N_1)))$ 個の導体の前記第 4 組が、前記 k 組の N 個の導体のそれぞれからの、多くとも $(k \times (M / (N_0 \times N_1)))$ 個の導体の前記第 3 組と異なる多くとも $(M / (N_0 \times N_1))$ 個の導体を有する

10

請求項 1 に記載の集積回路。

【請求項 7】

前記 I_{1ij} 個の導体の各導体が、別の導体のトラバーサルを必要とせずに前記 $S N$ を介して k 個の導体を選択的に結合する請求項 6 に記載の集積回路。

【請求項 8】

k 個のプログラム可能論理セルをさらに含み、前記 k 個のプログラム可能論理セルのそれぞれが、 N 個の入力導体を有し、前記 k 個の導体のそれぞれが、前記 k 個のプログラム可能論理セルの前記 N 個の入力導体のうちの 1 つの導体に対応する請求項 7 に記載の集積回路。

【請求項 9】

前記 I_{1ij} 個が、多くとも $(k \times N / (N_0 \times N_1))$ 個と $(M / (N_0 \times N_1))$ 個のうち大きい方であり、前記複数のスイッチが、多くとも $[M \times (N_0 + N_1 + k)]$ のスイッチからなる請求項 7 に記載の集積回路。

20

【請求項 10】

前記複数のスイッチのそれぞれが、少なくともプログラム制御パスゲートからなる請求項 1 に記載の集積回路。

【請求項 11】

前記複数のスイッチのそれぞれが、少なくともプログラム制御ドライバ/レシーバからなる請求項 1 に記載の集積回路。

【請求項 12】

前記複数のスイッチのそれぞれが、プログラム制御パスゲートとプログラム制御ドライバ/レシーバのうち少なくとも 1 つからなる請求項 1 に記載の集積回路。

30

【請求項 13】

前記複数のスイッチのうちの一つが、プログラム制御されるオン状態とオフ状態を有する請求項 1 に記載の集積回路。

【請求項 14】

前記集積回路が、メモリ・デバイスを組み込むプロセス・テクノロジーを使用して実装される請求項 1 に記載の集積回路。

【請求項 15】

前記集積回路が、不揮発性メモリ・デバイスを組み込むプロセス・テクノロジーを使用して実装される請求項 1 に記載の集積回路。

40

【請求項 16】

前記集積回路が、ヒューズ・デバイスを組み込むプロセス・テクノロジーを使用して実装される請求項 1 に記載の集積回路。

【請求項 17】

前記集積回路が、アンチヒューズ・デバイスを組み込むプロセス・テクノロジーを使用して実装される請求項 1 に記載の集積回路。

【請求項 18】

前記集積回路が、強誘電デバイスを組み込むプロセス・テクノロジーを使用して実装される請求項 1 に記載の集積回路。

50

【請求項 19】

M が、 $R \times (k \times N)$ によって決定され、R が、少なくとも 0.5 であり、多くとも 1.0 である請求項 1 に記載の集積回路。

【請求項 20】

M 個の第 1 の複数の導体と、k 組の N 個の第 2 の複数の導体 ($k \times N$ 個の導体) と、M が少なくとも $k + N$ であり、k が少なくとも 2 であり、N が少なくとも 2 であるスイッチング・ネットワーク (SN) とを含む集積回路内の接続性の方法であって、前記 SN が、複数のスイッチと、 $i = [1 - N_0]$ について N_0 組の I_{0_i} 個の導体を含む 1_0 個の第 3 の複数の導体であって、 N_0 が少なくとも 2 であり、N が少なくとも N_0 であり、 I_0 が少なくとも M と等しく M が ($k \times N$) より小さい時に M と ($k \times N$) の間である、 1_0 個の第 3 の複数の導体とを含み、前記方法が、

10

別の導体のトラバースルを必要とせずに前記複数のスイッチを介して $p, q = [1 - N_0]$ についてそれぞれ少なくとも 2 つの異なる I_{0_p} 個の導体と I_{0_q} 個の導体からそれぞれ選択される少なくとも 2 つの異なる導体に前記 M 個の第 1 の複数の導体のうちの任意の 2 つの導体を選択的に結合することと、

前記 SN を介して多くとも ($k \times (M / N_0)$) 個の導体の第 1 組に前記少なくとも 2 つの異なる導体のうちの第 1 導体を選択的に結合することであって、多くとも ($k \times (M / N_0)$) 個の導体の前記第 1 組が、前記 k 組の N 個の導体のそれぞれからの多くとも (M / N_0) 個の導体を有する、選択的に結合することと、

前記 SN を介して多くとも ($k \times (M / N_0)$) 個の導体の第 2 組に前記少なくとも 2 つの異なる導体のうちの第 2 導体を選択的に結合することであって、多くとも ($k \times (M / N_0)$) 個の導体の前記第 2 組が、前記 k 組の N 個の導体のそれぞれからの、多くとも ($k \times (M / N_0)$) 個の導体の前記第 1 組と異なる多くとも (M / N_0) 個の導体を有する、選択的に結合することと

20

を含む方法。

【請求項 21】

前記 I_{0_i} 個の導体の各導体を、別の導体のトラバースルを必要とせずに前記 SN を介して k 個の導体を選択的に結合することをさらに含む請求項 20 に記載の方法。

【請求項 22】

導体の前記 I_{0_i} 個が、多くとも ($k \times N / N_0$) 個と (M / N_0) 個のうちの大きい方であり、前記複数のスイッチが、少なくとも $[(M - N + 1) \times N + M \times k]$ 個のスイッチであり、多くとも $M \times (k + N)$ 個のスイッチである請求項 21 に記載の方法。

30

【請求項 23】

k 個のプログラム可能論理セルをさらに含み、前記 k 個のプログラム可能論理セルのそれぞれが、N 個の入力導体を有し、前記 k 個の導体のそれぞれが、前記 k 個のプログラム可能論理セルの前記 N 個の入力導体のうちの 1 つの導体に対応する請求項 21 に記載の方法。

【請求項 24】

M が、 $R \times (k \times N)$ と等しく、R が、少なくとも 0.5 であり、多くとも 1.0 である請求項 20 に記載の方法。

40

【請求項 25】

I_{1_i} 個の第 4 の複数の導体を前記 I_{0_i} 個の導体を選択的に結合することであって、前記 I_{1_i} 個の導体が、 $j = [1 - N_1]$ について N_1 個のグループの $I_{1_{ij}}$ 個の導体を含み、 N_1 が少なくとも 2 つである、選択的に結合することと、

前記 I_{0_i} 個の導体のうちの任意の 2 つの導体を、別の導体のトラバースルを必要とせずに前記複数のスイッチを介して前記 I_{1_i} 個の導体のうちの 2 つの異なる導体を選択的に結合することであって、 $r, s = [1 - N_1]$ について、前記 2 つの異なる導体のうちの第 3 導体が $I_{1_{ir}}$ 個の導体からであり、前記 2 つの異なる導体のうちの第 4 導体が $I_{1_{is}}$ 個の導体からであり、r が s と異なる、選択的に結合することと、

前記第 3 導体を、前記 SN を介して前記 k 組の N 個の導体からの多くとも ($k \times (M /$

50

($N_0 \times N_1$)個の導体の第3組に選択的に結合することであって、多くとも($k \times (M / (N_0 \times N_1))$)個の導体の前記第3組が、前記k組のN個の導体のそれぞれからの多くとも($M / (N_0 \times N_1)$)個の導体を有する、選択的に結合することと、

前記第4導体を、前記SNを介して前記k組のN個の導体からの多くとも($k \times (M / (N_0 \times N_1))$)個の導体の第4組に選択的に結合することであって、多くとも($k \times (M / (N_0 \times N_1))$)個の導体の前記第4組が、前記k組のN個の導体のそれぞれからの、多くとも($k \times (M / (N_0 \times N_1))$)個の導体の前記第3組と異なる多くとも($M / (N_0 \times N_1)$)個の導体を有する、選択的に結合することと

をさらに含む請求項20に記載の方法。

【請求項26】

前記 $I_{1,j}$ 個の導体の各導体を、別の導体のトラバーサルを必要とせずにk個の導体に選択的に結合することをさらに含む請求項25に記載の方法。

【請求項27】

k個のプログラム可能論理セルをさらに含み、前記k個のプログラム可能論理セルのそれぞれが、N個の入力導体を有し、前記k個の導体のそれぞれが、前記k個のプログラム可能論理セルの前記N個の入力導体のうちの1つの導体に対応する請求項26に記載の方法。

【請求項28】

前記 $I_{1,j}$ 個が、多くとも($k \times N / (N_0 \times N_1)$)個と($M / (N_0 \times N_1)$)個のうちの大きい方であり、前記複数のスイッチが、多くとも $[M \times (N_0 + N_1 + k)]$ のスイッチを含む請求項26に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、スイッチング・ネットワークに関し、具体的には、プログラム可能論理回路と共に使用されるスイッチング・ネットワークに関する。

【背景技術】

【0002】

フィールド・プログラマブル・ゲート・アレイ(FPGA)とも称するプログラム可能論理回路は、論理機能を実行するためにユーザがプログラムできる既製品の集積論理回路である。回路設計者が所望の論理機能を定義し、それに対応して信号を処理するように回路がプログラムされる。論理密度要件と生産量に応じて、プログラム可能論理回路は、コストと製品化までの時間に関して優れた代替物である。通常のプログラム可能論理回路は論理セルからなり、論理セルのそれぞれは、入力変数に関して論理機能を実行するようにプログラムされる。さらに、相互接続リソースが、プログラム可能論理回路全体に設けられ、これをプログラムして、ユーザ仕様に従って論理セルの出力から論理セルの入力に信号を伝えることができる。

【0003】

技術が進歩して、より大きくより洗練されたプログラム可能論理回路が可能になると、論理セルの個数と必要な相互接続リソースの両方が回路内で増える。論理セルと相互接続リソースの増加した個数と競合するのが、回路サイズを小さく保つ必要性である。必要な回路サイズを最小化する形の1つが、あるレベルの接続性を維持しながら相互接続リソースを最小にすることである。したがって、チップ上で実装される機能性が増えるにつれて、多数の信号を接続するのに必要な相互接続するリソースがより早く使い果たされる可能性があることがわかるであろう。トレード・オフは、回路サイズを小さく保って回路内の論理セルの利用をより低くするか、あるいは回路サイズを劇的に増やすことになる、より多くのルーティング・リソースを設けることである。

【0004】

最近40年間に、プログラム可能論理回路の分野でますます複雑になる接続スタイルの進歩があった。L. M. Spandorferは、1965年に、隣接相互接続を使用す

10

20

30

40

50

るプログラム可能論理回路と、C l o s ネットワーク内でスイッチを使用する複数の導体を介する接続との可能な実施を説明した。R . G . S h o u p は、1970年の彼の博士論文で、隣接相互接続の使用と、より長距離の相互接続用のバスの使用との両方を説明した。

【0005】

F r e e m a n は、1989年の米国特許第4870302号で、隣接相互接続、短(長さ1、単一と呼ばれる)距離相互接続と、クロックなどの信号用のグローバル信号線を使用するFPGAの商業的实施を説明した。短距離相互接続は、論理セルの入力と出力に相互作用し、各入力は、論理セルに隣接するすべての短いワイヤにスイッチを介して接続され、水平・垂直の短いワイヤが、ジャンクション内のスイッチ・ボックスを介して接続される。E l G a m a l 他は、米国特許第4758745号で、セグメント化されたルーティングを導入し、この場合に、論理セルの入出力が、1次元の異なる長さのルーティング・セグメントと相互作用する。

10

【0006】

P e t e r s o n 他は、米国特許第5260610号とC l i f f 他は、米国特許第5260611号で、論理要素の組とインターフェースする導体のローカル・セットが導入され、ここで、論理要素のすべての入力が、スイッチを介してその組のすべてのローカル導体に接続され、追加のチップ長導体が水平・垂直の両方に導入され、その水平導体は垂直導体に接続され、水平導体が複数のローカル導体に接続される。米国特許第4870302号、米国特許第5260610号、米国特許第4758745号、米国特許第5260611号で、論理セルの入力導体が、ローカル導体の組への完全な接続を有する(たとえば、 n 個の入力と k 個のローカル導体の場合に、入力をローカル導体に接続する $n \times k$ 個のスイッチがある。マルチプレクサ(MUX)方式を使用することもでき、その結果、トランジスタの個数が減る)。米国特許第4870302号、米国特許第4758745号、米国特許第5260610号、米国特許第5260611号で、全般的な相互接続リソースが、1つまたは2つの異なる長さに制限され(すなわち、米国特許第4870302号の単一の長さ、米国特許第5260610号と米国特許第5260611号ではローカルおよびチップ長)、あるいは1次元に制限される(すなわち、米国特許第4758745号では水平方向の異なる長さ、米国特許第5260610号と米国特許第5260611号では垂直方向のローカル)。

20

30

【0007】

C a m a r o t a 他は、米国特許第5144166号とK e a n の米国特許第5469003号で、両方の次元で複数の異なる長さを有し、これらの導体の到達範囲に制限があるルーティング方式が導入された。米国特許第5144166号は、複数の可能な駆動ソースによって各ワイヤを選択的に駆動することを可能にするが、米国特許第5469003号は、各ワイヤがMUX出力にハードワイヤされるという点で単一方向に制限されている。米国特許第5144166号と米国特許第5469003号の両方で実現される接続性は、両方の接続が隣接または相対的にローカルであるという前提に基づけば非常に低く、あるいは、論理セル自体を、論理機能の実行ではなく相互接続リソースとして使用することができる。T i n g の米国特許第5457410号、米国特許第6507217号、米国特許第6051991号、米国特許第6597196号に、複数の長さの導体が論理セルの階層内のスイッチを介して相互接続される、複数レベル・アーキテクチャが記載されている。

40

【0008】

Y o u n g 他は、米国特許出願第2001/0007428と米国特許第5914616号に、2次元の複数の長さのワイヤ(各次元で3つ)を有するアーキテクチャが記載されており、ここで、短いローカル接続について、クロスバーに近い方式が使用され、論理セル出力の組が出力ポートの減らされた組に多重化され、この減らされた組が他の相互接続リソースにインターフェースされる。より長いワイヤは、一般に、めいめいの次元でより短い長さのワイヤにファンインする。R e d d y 他は、米国特許第6417694号に、イ

50

インタースーパー領域導体、インター領域導体、ローカル導体が使用されるもう1つのアーキテクチャが開示されている。ローカル・ワイヤが論理要素の入力へのユニバーサル・アクセスを有するために、クロスバー方式が最低レベルで(MUXを使用して)使用される。Reddy 他米国特許第5883526号に、ローカル・クロスバー内の回路削減技法を有するさまざまな方式が開示されている。

【0009】

回路階層のベース・レベルでは、4入力ック・アップ・テーブル(LUT)論理セルが一般的に使用される。ベース論理セルでLUTを使用することに2つの利益がある。1つの利益は、回路が、プログラム可能な制御を有するすべての4入力1出力ブール機能を可能にすることである。もう1つの利益は、4つの入力交換可能であり、論理的に同等であることである。したがって、LUTが正しく機能するために、この4つの信号がLUTの4つの入力に接続される限り、どの信号がLUTのどの入力ピンに接続されるかは問題でない。

10

【発明の開示】

【発明が解決しようとする課題】

【0010】

プログラム可能論理回路で解決されるべき共通の問題は、相互接続性の問題すなわち、信号を発する論理セルとその信号を受け取る論理セルが集積回路内の広い面積に分散している場合に(すなわち、各出力が複数の論理セルの入力に接続される場合のM論理セルのM出力)、信号を搬送する導体の第1組をこれらの信号を受け取る導体の複数の組にどのように接続するかである。非常に望ましいがほとんどの場合に非実用的な解決策は、クロスバー・スイッチを使用することであり、この場合に、第1組のすべての導体が、スイッチを介して導体の複数の組のすべての導体に接続可能である。ある段階または別の段階の以前の解決策は、分割統治戦略を使用して接続性問題を複数の片に分割することを試み、その際、論理セルのローカル・クラスタが相互接続され、ローカル接続の延長を介してまたはより長距離の接続を使用してのいずれかで、論理の他のクラスタに延長される。これらの以前の相互接続方式は、アド・ホックであり、ほとんどは経験的体験に基づく。望ましいルーティング・モデルまたは相互接続アーキテクチャは、常に、回路の大きい部分にまたがる導体の複数の組を接続する多数の入出力の(プログラム可能な相互接続導体を介する)十分な接続性を保証しなければならない。

20

30

【0011】

総合接続リソースを追跡するために複雑なソフトウェアが必要であると同時に、アルゴリズムが、プログラム可能論理回路を使用してカスタム設計を実装するプレース・アンド・ルート(place and route)ステージ中に相互接続性を改善するのに使用される。したがって、ルータビリティ(routability)または相互接続性をよりグローバルなスケールで保証できると同時に、相互接続のコストが必要なスイッチに関して低いままであり、カスタム設計実装のプレース・アンド・ルートを判定するソフトウェア労力が単純化される、プログラム可能論理回路用の新しい相互接続方式を有することが望ましい。

【発明を実施するための最良の形態】

【0012】

本発明の目的、特徴、利益は、次の詳細な説明から明らかになる。

40

【0013】

革新的なスケラブル・ノンブロッキング・スイッチング・ネットワーク(SN)であって、スイッチを使用し、第1の複数の導体を導体の複数の組に接続する導体の中間ステージを含み、第1の複数の導体の各導体がSNを介して導体の複数の組のそれぞれからの1つの導体に接続することができる、スケラブル・ノンブロッキング・スイッチング・ネットワークをまず説明する。このスケラブル・ノンブロッキング・スイッチング・ネットワークは、単一ステージで、または複数ステージで階層的に、のいずれかで使用される時に、スイッチング回路、ルータ回路、プログラム可能論理回路で使用される大きいスイッチ・ネットワークを実現するために、広範囲の応用例に適用することができる。スケ

50

ーラブル・ノンブロッキング・スイッチング・ネットワークは、導体の第1組をSNを介して導体の複数の組に接続するのに使用され、これによって、複数の組のそれぞれに含まれる導体が同等または交換可能になり、たとえば、複数の組のうちの1組の導体が論理セルの入力(LUTへの入力または論理セルの階層への入力とすることができる)になる。本発明のスケラブル・ノンブロッキング・スイッチング・ネットワークは、導体の第1組の任意のサブセットを、SNを介して導体の第2の複数の組の導体に接続することを可能にし、その結果、このサブセットの各導体を、導体の複数の組の各組からの1つの導体に接続できるようになる。

【0014】

次の説明では、説明のために、本発明の完全な理解を提供するために多数の具体的な詳細を示す。本発明の実施形態をこれらの詳細なしで実践できることは、当業者に明白であろう。他の場合に、周知の構造と回路は、本発明を不必要に不明瞭にしないようにするために、ブロック図形式で図示する。説明のために、そうでないと指定されない限り、プログラム制御スイッチとスイッチの各用語は、この説明の文脈で交換可能であり、プログラム構成論理セル、論理セル、セル、ルック・アップ・テーブル(LUT)、プログラム可能論理セルの各用語は、この説明の文脈で交換可能であり、導体、信号、ピン、ポート、信号線の各用語は、この説明の文脈で交換可能である。本発明が、使用されるスイッチの状態をセットするためにプログラム制御手段を使用し、この制御手段を、ヒューズ/アンチヒューズ・テクノロジーなど、ワン・タイムとしたり、あるいは、SRAM(揮発性である)、フラッシュ(不揮発性である)、強誘電性(不揮発性である)など、再プログラム可能とすることができる実施形態を説明することに留意されたい。したがって、本発明は、スタティック・ランダム・アクセス・メモリ(SRAM)プロセス、ダイナミック・ランダム・アクセス・メモリ(DRAM)プロセス、ヒューズ/アンチヒューズ・プロセス、消去可能プログラム可能読取専用メモリ(EPROM)プロセス、フラッシュなどの電気的消去可能プログラム可能読取専用メモリ(EEPROM)プロセス、強誘電プロセスを含むがこれらに限定されないさまざまなプロセスに関する。

10

20

【0015】

本明細書で説明するプログラム可能論理回路で利用されるスケラブル・ノンブロッキング・スイッチング・ネットワークの概念は、一般に、接続要件が使用可能な導体を超えない限り、複数の導体と導体の複数の組との間の無制限の接続を可能にするために適用することができる。

30

【0016】

プログラム制御スイッチが、ある導体を別の導体に相互接続するのに使用される時に、ドライバ回路をそのスイッチに結合して、これらの導体をトラバースする信号の速度を改善することができる。さらに、複数の導体(信号)が、プログラム制御スイッチを介して1つの導体にファンインする場合に、望まれるならば、使用されるプロセス・テクノロジーに応じて、導体への負荷を減らすか回路サイズを減らすかその両方のために、MUX方式を使用することが可能である。MUXが使用される場合に、複数のスイッチが新しいスイッチ機構に変換される。ここで、有効な状態の個数はスイッチの個数と同一であり、接続性は、2つの導体を接続する際に特定の状態(複数のスイッチが使用される場合のスイッチに対応する)を選択することによってイネーブルされ、状態はプログラム可能制御によって決定される。

40

【0017】

さまざまなタイプのスケラブル・ノンブロッキング・スイッチング・ネットワークを説明するが、これには、ステージ0スケラブル・ノンブロッキング・スイッチング・ネットワーク(0-SN)、ステージ1スケラブル・ノンブロッキング・スイッチング・ネットワーク(1-SN)、ステージ2スケラブル・ノンブロッキング・スイッチング・ネットワーク(2-SN)を含み、さらにマルチステージ・スケラブル・ノンブロッキング・スイッチング・ネットワークへの拡張とプログラム可能論理回路への接続性を実現する上でのこれらのスケラブル・ノンブロッキング・スイッチング・ネットワークの

50

階層的な使用が含まれるが、これに限定はされない。

【0018】

図1に、クラスタ(C L S T 4)回路100の実施形態を示すが、これには、スケールブル・ノンブロッキング・スイッチング・ネットワーク200が含まれ、k個の4入力論理セル(この実施形態では $k = 4$ である)10、20、30、40と、2つのフリップフロップ50、60が含まれる。論理セル10~40のそれぞれは、それぞれセル10~40の4つの出力としての4つの導体121~124と共に、セル10の4つの入力101~104($N_0[0-3]$)、セル20の4つの入力105~108($N_1[0-3]$)、セル30の4つの入力109~112($N_2[0-3]$)、セル40の4つの入力113~116($N_3[0-3]$)を有する。スイッチ151~156、159、160は、論理セル出力がフリップフロップを駆動するのか、論理セルが回路100出力125~128を直接に出力するのかを制御するのに使用される。フリップフロップ50、60は、スイッチ157、158、161、162を使用して回路100出力125~128に出力する。さらに、導体131は、スイッチ141を介してセル10の導体101を、スイッチ142を介してセル20の導体105を駆動することができる。同様に、導体132は、それぞれスイッチ143、144を介してセル30、40を駆動することができる。セル20は、導体133へのスイッチ145を使用して、出力122を介して隣接するC L S T 4回路(図1には図示せず)を駆動することができる。セル40の出力124は、図1のスイッチ146を介して導体134を駆動する。3つの他の信号135~137は、それぞれSET、CLOCK、CLEARとしてフリップフロップを制御するのに使用される。さらに、図1は、スイッチ・ネットワークM T X 200を使用して16個の入力101~116を駆動するためにファン・インする($X + 1$)個の導体180($M[0-X]$)を有する。導体 $M[0-X]180$ は、M導体と呼ばれ、Mは、図1の実施形態の導体の個数($X + 1$)と等しい。 $i = [0 - (k - 1)]$ の入力導体 $N_i[0-3]101 \sim 116$ は N_i 導体と呼ばれ、 N_i は入力の個数と等しく、図1の実施形態では4である。図示のために、サイズ $N_i = N = 4$ が図1に示されている。代替案では、各 N_i が、本明細書で説明する接続性特性を変更せずに異なるサイズを有することができる。

【0019】

図2に、一実施形態を示すが、ここでは、図1のM T X 200が、ステージ0スケールブル・ノンブロッキング・スイッチング・ネットワーク(0 - S N)300によって表されており、各N導体101~116が、M導体(たとえば、図1の導体180)201~211($M[0-10]$)の($M - N + 1$)個の導体に接続可能であり、したがって、導体101~116の入力導体ごとに図2に示されたスイッチの個数は、図2の0 - S N 300では($M - N + 1$) = 8である。スイッチ・ネットワーク0 - S N 300は、接続の個数が使用可能な相互接続リソースを超えない限り(すなわち、論理セルのうちのいずれかの入力を駆動するM導体の個数が論理セルの入力の個数を超えることはできない)、M導体201~211の任意のサブセットが一切ブロッキングなしで300のスイッチを使用して論理セル10~40のそれぞれの1つの入力導体を駆動することを可能にする。図2の方式は、クロス・パー接続に対する改善であり、ここで、 $M \times (k \times N) = 11 \times (4 \times 4) = 176$ 個のスイッチを含むフル・スイッチ・マトリックスではなく、スイッチの個数は、($M - N + 1$) \times ($k \times N$) = 128個である。図2の0 - S N 300は、論理セルのそれぞれの4つの入力が交換可能または論理的に同等(したがって、図1のセル10の導体101~104が同等または交換可能である)であり、したがって、接続要件が特定のM導体を所与の論理セルに接続することである場合に、特定のM導体(すなわち、 $M[4]$ 導体205)を所与の論理セルの入力ピンのいずれか(すなわち、スイッチ222を使用して図1のセル10の導体101~104のうちの導体101)に接続することだけが必要であると仮定することによって、上で述べた接続性を可能にする。

【0020】

プログラム可能回路で使用されるテクノロジーに応じて、いくつかの面積最小化を達成することができる。たとえば、6つのトランジスタを有するS R A Mメモリ・セルを、パス

ゲートを使用して実施される各スイッチのプログラム制御として使用することによって、入力線 101 あたりの図 2 の 8 つのスイッチ 221 ~ 228 が、56 個のトランジスタを必要とするようになる。その代わりに、3 つのメモリ・ビットを使用する 8 入力 MUX を使用して 8 つの状態を制御して、8 つの SRAM ビットと 8 つのスイッチを効果的に置換することができる。MUX 方式では、3 ビット、14 個のパスゲート、おそらく 1 つのインバータ（信号を再生成するため）が、34 個のトランジスタを使用し、これは、各スイッチのプログラム制御として 8 つの SRAM メモリ・セルと共に使用される 56 個のトランジスタからの大幅な削減である。導体 101 の負荷が、MUX 実施を使用して減らされると同時に、8 対 1 MUX に起因する追加の遅延がある。

【0021】

図 3 に、図 1 の MUX 200 が、サブグループ $M_a = [A_0 - A_4] = 5 \quad 301 \sim 305$ 導体と $M_b = [B_0 - B_4] = 5 \quad 306 \sim 310$ 導体からなる $M = M_a + M_b = 10$ 個の導体 301 ~ 310 を有する 2 つのステージ 0 スケーラブル・ノンブロッキング・スイッチング・ネットワーク 330、320 を使用することによって表される実施形態を示す。4 つの論理セルのそれぞれの上側の 2 つの入力導体（セル 10 は導体 101 ~ 102 からなり、セル 20 は導体 105 ~ 106 からなり、セル 30 は導体 109 ~ 110 からなり、セル 40 は導体 113 ~ 114 からなる）について、 $N_a = 2$ であり、 $k = 4$ の論理セルの下側の 2 つの入力導体（セル 10 は導体 103 ~ 104 からなり、セル 20 は導体 107 ~ 108 からなり、セル 30 は導体 111 ~ 112 からなり、セル 40 は導体 115 ~ 116 からなる）について、 $N_b = 2$ である。図 3 のフル・サイズ・ステージ 0 スケーラブル・ノンブロッキング・スイッチング・ネットワークは、入力導体あたり ($M - N + 1$) = $10 - 4 + 1 = 7$ 個のプログラム制御スイッチを有するはずである。その代わりに、図 3 の実施形態で、入力スイッチの数は、別々の M_a 導体および M_b 導体 ($M_a = M_b = 5$) のゆえに、数 N が 2 つの部分に分割される ($N_a = N_b = 2$) ので、4 つだけである。したがって、ネットワーク 330 の入力導体あたりのプログラム制御スイッチの個数は、 $M_a - N_a + 1 = 5 - 2 + 1 = 4$ であり、ネットワーク 320 の入力導体あたりのプログラム制御スイッチの使用は、 $M_b - N_b - 1 = 4$ である。ネットワーク 330 を使用する 4 つの論理セルの上側の 2 つの入力に接続される $M_a \quad 301 \sim 305$ 導体が、図 2 に示された接続性を維持する（ネットワーク 320 を使用する 4 つの論理セルの下側の 2 つの入力への M_b 導体 306 ~ 310 についても同様である）ことは事実であるが、4 つの論理セルにファンインするための $[A_0 - A_4]$ 、 $[B_0 - B_4]$ の任意の使用がそうであることは事実ではない。この制約は、図 3 の 2 つの 0 - SN 320、330 を介する N 導体への M 導体の任意の割り当てを妨げる。しかし、ステージ 0 スケーラブル・ノンブロッキング・スイッチング・ネットワーク 320、330 は、一緒に、プログラム可能論理回路のよい接続性を実現する経済的な実施とすることができると同時に、許容可能な M 導体使用を記帳し、追跡する上でのソフトウェア労力は、図 2 の方式より複雑である。図 3 は、10 個のうち少なくとも 8 つの M 導体を 4 つの論理セルの入力に任意に接続することを可能にするが、各 1 つの導体が、ネットワーク 320、330 を使用して 4 つの論理セルのそれぞれへの 1 つの入力に接続され、ここでの制約は、10 個の導体を図 2 の事例のように任意に割り当てることができないことである。

【0022】

本発明の実施形態で、導体の第 1 グループは、スイッチ・ネットワークを介して同等の導体の複数のグループに接続される。ここまでは、0 - SN を提示し、ここで、 M 導体の第 1 組と N 導体の複数の k 組の間を無制限に接続するために $(M - N + 1) \times N \times k$ 個のスイッチがあり、 M 導体の任意のサブセットを、ブロックなしで 0 - SN を使用して N 導体の k 個の組のそれぞれへの 1 つの導体に接続することができる。

【0023】

図 4 に、0 - SN の接続特性を変更せずにスイッチ・ネットワーク内で使用されるスイッチの個数を大きく減らすことができる代替実施形態方式を示す。図 4 には、図 1 の MUX 200 が、ステージ 1 スケーラブル・ノンブロッキング・スイッチング・ネットワーク

10

20

30

40

50

(1-SN)によって表されている実施形態が示されている。1-SN400は、1-SN400の2つのスイッチと1つの中間導体を使用して、導体401~411のM導体を導体101~116のN導体に接続する。M導体201~211を図2のネットワーク300(128個のスイッチが使用される)を介してN導体101~116のk個の組に直接に接続するのではなく、図4の1-SN400は、まずスイッチ437を介して中間I導体454に接続し、次にサブネットワーク450のスイッチ441を介してN導体109に接続することによって、M導体407(M[6])をN導体109に接続する。同様に、同一のM導体407を、それぞれスイッチ442、443、444を介して同一の中間導体454を介してN導体101、105、113に接続することができる。図4の1-SN400は、96個のスイッチを有し、これは、図2の0-SN300と比較して、
10
スイッチの個数の25%の削減である。相互接続の中間ステージを有するスケラブル・ノンブロッキング・スイッチング・ネットワークを作成することによって0-SNに必要なスイッチの個数を減らすことが可能であり、ここで、M導体のそれぞれを、N導体のk個の組のそれぞれからの導体に任意に接続することができる。このスケラブル・ノンブロッキング・スイッチング・ネットワークは、M導体をN導体のk個の組のそれぞれからの複数の導体に接続することができるが、論理的に、N導体のそれぞれの複数の導体に接続する必要はない。

【0024】

図4に、 $i = [1-N]$ の中間導体 I_i のN個の組を有する1-SN400を示すが、ここで、11個のM導体401~411、4組のN導体101~104、105~108、
20
109~112、113~116の4つの組があり、kは4である。たとえば、第1中間導体 I_1 は、N導体のそれぞれの第1入力、したがって導体101、105、109、113に関連する4つの導体451~454である。同様に、導体461~464は、導体104、108、112、116に関連する I_4 導体である。0-SNのN導体の各導体の(M-N+1)個のスイッチが、図4の対応する I_i 導体の間で分散される。たとえば、M導体401~408を結合する8つのスイッチ431~438が、 I_1 導体451~454に分散され、 I_1 導体のそれぞれは、 $[(M-N+1)/I_1]$ 個のスイッチに結合され、この個数は2である。図4の例では、 I_i 導体のそれぞれの中間導体の個数が、4である。一般に、異なる I_i は、均一の個数である必要はない(下で説明する)。図4の1-SN400は、 $[(M-N+1) \times N + \sum_{i=[1-N]} (I_i \times k)] = 32 + 64$
30
 $= 96$ 個のスイッチを有し、 I_i は、 I_i 中間導体のN個の組のそれぞれの中間導体の個数である。図4の1-SN400は、図2のめいめいの0-SN300と同一の接続特性を可能にし、M導体の任意の導体を1-SN400の2つのスイッチと1つの中間導体を介してN導体の各k組の1つの導体に接続する。

【0025】

図4の1-SN400では、M導体の任意のNタプルが、 I_i 導体の異なるN組のスイッチの適当な選択を有する。たとえば、導体401、404、405、410は、M導体の4タプル(N=4)であり、導体401は、スイッチ431を介して導体451(I_1 導体の)に接続され、導体404は、スイッチ446を介して導体466(I_2 導体の)に接続され、導体405は、スイッチ447を介して導体467(I_3 導体の)に接続され、
40
導体410は、スイッチ427を介して導体464(I_4 導体の)に接続される。M導体のNタプルの任意のサブセットが、中間導体への同一特性の接続を有する。さらに、 I_i 導体の各中間導体は、N導体のk組のそれぞれの1つのN導体に接続可能である。たとえば、導体451~454の任意の導体が、サブネットワーク450内のスイッチを介して導体101、105、109、113に接続可能である。同様に、導体461~464の任意の導体が、サブネットワーク420内のスイッチを介して導体104、108、112、116に接続可能である。

【0026】

図5に、図1のMTX200を表す1-SNの代替実施形態を示す。1-SN500には、12個のM導体501~512と、4組のN導体101~116と、N組の中間I
50

I_1 導体 5 2 1 ~ 5 2 3、 I_2 導体 5 2 4 ~ 5 2 6、 I_3 導体 5 2 7 ~ 5 2 9、 I_4 導体 5 3 0 ~ 5 3 2 とがあり、 $M = I_1 + I_2 + I_3 + I_4$ または $I_i = M / N = 3$ である。図 5 のスイッチの個数は、 $[(M - N + 1) \times N + \sum_{i=1-N} (I_i \times k)] = 36 + 48 = 84$ である。対応する 0 - SN は、144 個のスイッチを有し、クロス・バーは、192 個のスイッチを有するはずである。図 5 の 1 - SN 500 の接続特性は、図 4 の 1 - SN 400 に関して前に述べたものと同一であるが、より少数の中間導体とスイッチを有する。図 4 と図 5 の図は、それぞれ図 4 のサブネットワーク 450 のスイッチと図 5 のサブネットワーク 540 のスイッチを介して導体 101、105、109、113 (図 1 の 4 つの論理セル 10 ~ 40 のそれぞれの第 1 入力である) に接続される第 1 組の中間 I_1 導体 (図 4 の導体 451 ~ 454 と図 5 の導体 521 ~ 523) を有する。同等に効果的な代替案は、この例の特定の論理セルの 4 つの入力のそれぞれが、 I_i 導体の異なる組によってカバーされる限り、4 つの論理セルのそれぞれからの任意の 1 つの導体 (i 番目ではなく) に I_i 導体の各組を接続することである。

10

【0027】

図 6 に、図 5 の 1 - SN 500 より強い接続性特性を有するステージ 1 スケーラブル・ノンブロッキング・スイッチング・ネットワークの異なる版の一実施形態を示す。より多くのスイッチを必要とするが、1 - SN 600 の 12 個の M 導体 601 - 612 ($M[0] - M[11]$) は、 I_i 中間導体 621 ~ 623、624 ~ 626、627 ~ 629、630 ~ 632 の N 組のそれぞれのすべての導体に接続可能である。これは、図 4 と図 5 の M 導体の $(M - N + 1)$ 個の導体への結合と対照的である。1 - SN 600 では、導体 601 ~ 612 が、サブネットワーク 620 のスイッチを介して I_1 導体 621 ~ 623 に接続可能である。導体 601 ~ 612 は、サブネットワーク 640 のスイッチを介して I_2 導体 624 ~ 626 に接続可能である。導体 601 ~ 612 は、サブネットワーク 650 のスイッチを介して I_3 導体 627 ~ 629 に接続可能である。導体 601 ~ 612 は、サブネットワーク 660 のスイッチを介して I_4 導体 630 ~ 632 に接続可能である。図 6 の 12 個の M 導体 601 ~ 612 は、図 5 の 1 - SN 500 と比較してより強い接続性特性を有し、 M / I_i 導体のうちの 1 つの導体をプログラム選択して、 k 組のうちいずれかの特定の N 導体に接続することができる。例として、図 6 の実施形態では、N タプル導体 601 ~ 604、605 ~ 608、609 ~ 612 (M 導体の) のどれであっても、1 - SN を使用して N 導体の 4 つの ($k = 4$) 組のいずれかの任意の特定の入力導体に接続することができるが、各 4 タプル内の導体は、特定の入力導体に対して相互に排他的である。図 6 の 1 - SN 600 で必要なスイッチの個数は、 $[M \times N + \sum_{i=1-N} (I_i \times k)] = 48 + 48 = 96$ 個のスイッチである。

20

30

【0028】

必要なスイッチに関する 0 - SN と 1 - SN の間の相違は、図 5 の場合に $[(M - N + 1) \times N \times k]$ と $[(M - N + 1) \times N + \sum_{i=1-N} (I_i \times k)]$ の間の差であり、ここで、 $(M - N + 1)$ 個の M 導体が、1 - SN を介して I_i 導体の N 組のそれぞれの I_i 導体に接続可能である。必要なスイッチに関する 0 - SN と 1 - SN の間の相違は、図 6 の場合に $[M \times N \times k]$ と $[M \times N + \sum_{i=1-N} (I_i \times k)]$ の間の差である。各 $I_i = k$ と単純化すると、M は、図 5 の場合に少なくとも $[k + N + 1 / (k - 1)]$ であり、M は、少なくとも $[k + 1 + 1 / (k - 1)]$ であり、図 5 の方式が、それでも M を上の個数未満にするために働くことに留意する価値がある。さらに、1 - SN の方式が働くためには、中間導体 $[(M - N + 1) / I_i]$ あたりのスイッチの個数が、SN のノンブロッキング特性を失わずに、N を超えてはならない。この個数 $[(M - N + 1) / I_i]$ は、整数でない場合があり、その場合に、整数 P_i が、数 $(M - N + 1) / I_i$ を上または下に丸めながら、 $\sum_{i=1-N} P_i = (M - N + 1)$ にすることによって使用される。同様に、図 6 の場合に、M が $(M - N + 1)$ の代わりに使用され、したがって、 P_i は、 (M / I_i) を上または下に丸めながら、 $\sum_{i=1-N} P_i = M$ にした整数である。さらに、図 4 と図 5 の例では、中間導体の個数 $\sum_{i=1-N} I_i$ が、少なくとも M を上限とし、 $k \times N$ が M より大きい場合に、 $\sum_{i=1-N} I_i$ は、M または $k \times N$ のいずれかあるいは

40

50

はその間のある数になる。各個々の I_i は M/N 、 k 、またはその間のある数を上限とするが、 M/N が整数で割り切れない場合があるので、 I_i は、 M/N を上または下に丸めることによる整数となり、したがって、個々の I_i が $i = [1 - N]$ のすべての i の間で均一でない場合があることがわかる。

【0029】

図7に、図6の実施形態のスイッチの個数が、 $1 - SN$ の接続特性を大きく変更せずに減らすことができる実施形態を示す。図7は、導体601が導体621に短縮され、導体602が導体624に短縮され、導体603が導体627に短縮され、導体604が図6の導体630に短縮され、図6のサブネットワーク670の16個のスイッチが削除され、スイッチの個数が、図6の96個ではなく図7で80個である削減を表す。図7の $1 - SN$ 700からサブネットワーク710、720、730、740を引き、 M 導体605~612を加えたものは、図6で説明した $1 - SN$ 600と同一の、より強い接続特性を有し、 $M = 8$ の $1 - SN$ である。たとえば、より多くの M 導体を中間導体に短縮することによって、スイッチの個数をさらに減らすことが可能であるが、接続特性が、大きく減り、接続パターンを判定する際のソフトウェア労力が、ますますより複雑になるはずである。

10

【0030】

図8に、 $M = 48$ 、 $k = 4$ 、 $N = 16$ であり、 $i = [1 - 16]$ について $I_i = 3$ である $1 - SN$ の実施形態を示す。 $1 - SN$ 800には720個のスイッチがあるので、 $0 - SN$ は、2112個のスイッチを必要とし、クロス・バーは、3072個のスイッチを必要とするはずである。 I_i 中間導体の $N (= 16)$ 組のそれぞれ、たとえば I_{16} が、3つの導体(サブネットワーク810の内部)を有し、 I_{16} 導体は、図8では $(M - N + 1) = 33$ 個の M 導体に結合され、この中間導体のそれぞれが、サブネットワーク811内の11個のスイッチを介して11個の M 導体に結合される。接続経路に中間導体と余分のスイッチを導入することによって、 $1 - SN$ 800は、 $0 - SN$ と比較して、必要なスイッチの個数の大きな減少を実現する。

20

【0031】

さまざまな実施形態で、 M が $k \times N$ より小さく、 M 導体がファンイン信号を担持する導体であり、 N 導体の K 個の組がこれらのファンイン信号を受け取る導体である例を使用した。これがそうである必要はない。単純に、 M が $k \times N$ より大きい SN を有することができる。代替案では、たとえば、図6の導体101~104、105~108、109~112、113~116を、論理セルの4つのクラスタからの16個の出力と考え、16個から12個への出力削減のために $1 - SN$ を使用することを考えることができ、ここで、16個の出力のうち12個の出力の任意のサブセットを、 $1 - SN$ を使用して選択することができる。さらに、さまざまな図面の導体101~104、105~108、109~112、113~116は、論理セルの入力または出力のいずれかである必要はなく、複数の同等の導体とすることができ、ここで、複数の同等の導体の特定の導体への接続と異なって、この複数の同等の導体のどの導体への接続でも十分である。

30

【0032】

プログラム可能論理回路の相互接続アーキテクチャの設計において、回路サイズ、速度、顧客指定の設計をブレース・アンドルートするソフトウェアの簡単さなどのエンジニアリング・トレードオフに基づいて、適度な接続性と適度な相互接続リソースを設けることが重要である場合がある。 M 導体と N 導体の k 個の組の間に比 R があり、 $R = M / (k \times N)$ であり、 R が小さすぎる場合に、接続性はより大きい R より制限される。たとえば、図6の回路は $R = 0.75$ を有する。 R を、スケーラブル・ノンブロッキング・スイッチング・ネットワークを使用する回路の階層を構成する際のエクспанション・エクスポネント(expansion exponent)と呼ぶ。スケーラブル・ノンブロッキング・スイッチング・ネットワークを使用するプログラム可能論理回路の設計用の一般的に使用されるエクспанション・エクスポネントは、0.5と1.0の間の範囲内にあり、その選択は、エンジニアリング設計トレードオフ(すなわち、論理利用度、回路面積最小化、ソフトウェア

40

50

・ブレース・アンド・ルート)の簡単さなど)、使用されるテクノロジー(すなわち、SRAM、アンチヒューズなど)などの要因に依存する。時々、回路の一部で、たとえば、多数の出力がSNを使用してより少ない個数に減らされる出力削減で、この範囲を超えることが有利である。

【0033】

前の議論は、0-SNと1-SNの使用を扱ったが、これらは、プログラム可能論理セルの相互接続用の回路階層を構築するのに使用することができ、これによって、階層の各レベルに、さまざまなスケラブル・ノンブロッキング・スイッチング・ネットワークを使用する回路全体のさまざまな導体に接続するための関連する0-SNおよび/または1-SNと共に複数のプログラム可能論理回路が含まれる。前に説明した方式は、相互接続リソースと論理機能が使用可能なままである限り、0-SNと1-SNを使用して、回路階層のすべてのレベルの任意の信号への接続が、階層内の論理セルのいずれへの入力にも達することを可能にする。

10

【0034】

下では、ステージ1とステージ2のスケラブル・ノンブロッキング・スイッチング・ネットワークを階層的に使用してプログラム可能論理回路を構築する方式を説明する。図9に、16個のM導体901~916と、4組のN導体101~104、105~108、109~112、113~116(N=4)と、 $i = [1-N]$ であり各 $I_i = M/N = 4$ であるN組の I_i 導体931~934、935~938、939~942、943~946とを有するステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークを使用する図1のCLST4回路100のMTX回路200の一実施形態を示す。エクспанション・エクスポネントRは、図9の実施形態では1.0である。

20

【0035】

たとえば図9の1-SN900を使用して、プログラム可能回路を作る際の構成によって、M導体901~916の任意のサブセットを、1-SN900を介してN導体のk個の組のそれぞれの1つの導体に個別に接続することができる。これらのM導体自体が、次に、論理的に同等になる。図1のCLST4回路100の外部のどこかで発する任意の信号を図1の4つの論理セル10~40のそれぞれからの4つの入力(導体101から104から1つ、導体105から108から1つ、導体109から112から1つ、導体113から116から1つ)まで接続するために、M導体のうちの1つに接続することだけが必要である。したがって、これらのM導体901~916を、階層的にN導体(N=16)として扱うことができ、1-SNと一緒に4つの論理セルと2つのフリップ・フロップを含む回路をそれぞれが有するこれらの新しいN導体の複数の新しいk個の組が、M導体の新しい組によって、SNなどの新しいスイッチ・ネットワークを介して選択的に接続される。このプロセスを、所望の回路が上で述べた無制限の接続性を可能にしながらか所望の回路サイズに達するまで繰り返すことができる。

30

【0036】

図10に、4組の図1のCLST4 100(図10のCLST4 1010、CLST4 1020、CLST4 1030、CLST4 1040)を使用する回路階層CLST16 1000の次のレベルのブロック図実施形態を示すが、ここで、回路MTX 200は、図9の1-SN900と、48個の導体1055(M[0-47])と16個の導体1056(OW[0-7]、OE[0-7])を有する64個のM導体と4組のN導体1060、1070、1080、1090とを備えた回路MTX16 1050のステージ2スケラブル・ノンブロッキング・スイッチング・ネットワークとを使用して実装され、N導体のそれぞれは、図9の16個のM導体901~916に対応する16個の導体を有する。図10では、64個のM導体1055、1056のうちの16個の導体1056が、4つのCLST4 100回路1010、1020、1030、1040の4つの出力1065、1075、1085、1095に直接に接続される。4つの導体の4つの組を有する16個の導体1056(OW[0-7]、OE[0-7])と4つの導体のそれぞれは、図1のCLST4 100回路の4つの出力125~128(O[0-3

40

50

])に対応する。エクspansion・エクスポートRは、この回路1000では、やはり1.0である。

【0037】

多数の導体を導体の複数の組に接続する、回路階層のこの次レベルのスケラブル・ノンブロッキング・スイッチング・ネットワークの使用を、図11Aに示す。図11Aには、ブロック図形式で、図10の回路MTX16 1050の実施形態が示され、ここで、64個のM導体1101 (M[0-47]、OW[0-7]、OE[0-7])は、図10の導体1055、1056に対応する。中間導体の第1ステージは、N0組 (N0=4)の16個のI0_i導体 (i=[1-N0])についてI0_i=M/N0=16)1150、1160、1170、1180からなる。M導体1101は、サブネットワーク1110、1120、1130、1140のスイッチを使用して、最初の4組の中間ステージI0_i導体1150、1160、1170、1180にインターフェースする。図11Bに、導体1101がサブネットワーク1120を介して導体1160に接続される方式を示す。導体1101がサブネットワーク1120を介して導体1150に、サブネットワーク1130を介して導体1170に、サブネットワーク1140を介して導体1180に接続される接続方式は、図11Bのサブネットワーク1120と同一である。この実施形態でM導体1101と4組の第1ステージ中間導体1150、1160、1170、1180の間で使用されるスイッチの個数は、M×N0=256である。図5に関して説明したように、代替実施形態は、その代わりに(M-N0+1)×N0個のスイッチを有することである。

【0038】

図1に、回路TA1 1165の実施形態を示すが、ここで、導体1160は、第2のN0個の組のI0_i導体であり、i=2であり、I0_i=16であり、中間導体1201~1216 (図11Aの導体1160に対応する)は、16個の導体1241~1256 (図11Aの導体1161~1164に対応する)にインターフェースする。図11Aのサブネットワーク1155、1175、1185は、サブネットワーク1165と同一の回路であって、導体1150、1170、1180を、それぞれ図11Aの導体1151~1154、1171~1174、1181~1184に相互接続する。

【0039】

図12では、回路TA1が、図11Aの1-SN1165であり、M導体1201~1216は、図11Aの16個の中間I0₂導体1160 (I1__1[0-15])であり、16個の中間導体1221~1236は、i=2、j=[1-N1]のN1 (=4)組のI1_{2j} (I1_{2j}=M/N1=4)すなわち、導体1221~1224、1225~1228、1229~1232、1233~1236からなる。I1_{2j}導体は、それぞれ、j=[1-N1]の4組の宛先導体1241~1244、1245~1248、1249~1252、1253~1256に接続される。図12の1-SN1165は、図9の同一の1-SN900を使用する。しかし、1-SN1165は、図11Aのステージ2スケラブル・ノンブロッキング・スイッチング・ネットワークの第2部分内の4つ (サブネットワーク1155、1165、1175、1185)のうちの一つであり、2-SNの導体1151~1154、1161~1164、1171~1174、1181~1184は、それぞれ図10のCLST4回路1010、1020、1030、1040のM導体1060、1070、1080、1090である。CLST4回路1010、1020、1030、1040のそれぞれは、図9の1-SN900と共に、図1のCLST4回路1000に対応する。

【0040】

図12のTA1回路1165は、導体1201~1216を導体1241~1256に選択的にすなわち1241、1245、1249、1253に接続し、これらの導体は、図10のCLST4 1010の16個のM導体1060のうち4つ (C0[0-15]のC0[4-7])に対応する図11Aの導体1161 (N0[4-7])である。同様に、導体1242、1246、1250、1254は、図11Aの導体1162 (N1 50

[4 - 7]) であり、これは、図 10 の C L S T 4 1 0 3 0 の 1 6 個の M 導体 1 0 8 0 のうちの 4 つ (C 1 [0 - 1 5] の C 1 [4 - 7]) に対応する。導体 1 2 4 3、1 2 4 7、1 2 5 1、1 2 5 5 は、図 1 1 A の導体 1 1 6 3 (N 2 [4 - 7]) であり、これは、図 1 0 の C L S T 4 1 0 2 0 の 1 6 個の M 導体 1 0 7 0 のうちの 4 つ (C 2 [0 - 1 5] の C 2 [4 - 7]) に対応する。導体 1 2 4 4、1 2 4 8、1 2 5 2、1 2 5 6 は、図 1 1 A の導体 1 1 6 4 (N 3 [4 - 7]) であり、これは、図 1 0 の C L S T 4 1 0 4 0 の 1 6 個の M 導体 1 0 9 0 のうちの 4 つ (C 3 [0 - 1 5] の C 3 [4 - 7]) に対応する。

【 0 0 4 1 】

図 1 1 A の M T X 1 0 5 0 回路の 1 - S N 実装では、 $M = 64$ 、 $k = 4$ 、 $N = 16$ であり、2 - S N 実装では、中間導体の各ステージの組の個数 $N_0 = 4$ および $N_1 = 4$ であり、積 $N_0 \times N_1$ は N と等しい。図 6 と図 9 で述べた、より強い接続性の S N を使用する図 1 0 の 2 - S N 1 0 5 0 のスイッチの個数は、 $M \times N_0 + \sum_{i=[1-N_0]} [(I_{0i} \times N_1) + \sum_{j=[1-N_1]} (I_{1ij} \times (I_{0i} / N_1))]$ であり、ここで、ネットワーク 1 0 5 0 で $i = [1 - N_0]$ について $I_{0i} = M / N_0$ であり、 $i = [1 - N_0]$ 、 $j = [1 - N_1]$ について $I_{1ij} = I_{0i} / N_1$ であり、したがって、 $I_{0i} = 16$ 、 $I_{1ij} = 4$ であり、1 0 5 0 の 2 - S N は 7 6 8 個のスイッチを有する。1 - S N 実装は 1 2 8 0 個のスイッチを必要とし、フル・クロス・バー・スイッチは 4 0 9 6 個のスイッチを必要とするはずである。各 I_{0i} 導体が、 M 個ではなく $(M - N_0 + 1)$ の M 導体にインターフェースされ、各 I_{1ij} 導体が、 I_{0i} 個ではなく $(I_{0i} - N_1 + 1)$ 個の I_{0i} 導体にインターフェースされる場合に、スイッチの個数は、 $(M - N_0 + 1) \times N_0 + \sum_{i=[1-N_0]} [(I_{0i} - N_1 + 1) \times N_1] + \sum_{j=[1-N_1]} (I_{1ij} \times (I_{0i} / N_1))$ になる。図 1 0 の場合に、 $N = N_0 \times N_1$ 、 $I_{0i} = M / N_0$ 、 $I_{1ij} = M / N = k$ であり、したがって、この場合の 2 - S N のスイッチの個数は $[M \times (N_0 + N_1 + k)]$ である。

【 0 0 4 2 】

前に述べたように、異なる S N の N 導体の K 個の組の N 導体のそれぞれは均一のサイズである必要がない。S N は、異なるサイズを有する N_i を用いて構成することができ、ここで、最大のサイズを有する N_i が、均一のサイズを有する新しい N として使用され、仮想導体とスイッチを、より小さいサイズを有する N_i に追加し、その N_i がサイズ N を有するように見せることができる。相互接続仕様は、より小さいサイズを有する N_i が N_i より多数の接続を有することを要求しないので、S N の接続性特性の変更はない。例として、図 1 で、それぞれ論理セル 1 0 ~ 4 0 の入力としての 4 組の N 導体 1 0 1 ~ 1 0 4、1 0 5 ~ 1 0 8、1 0 9 ~ 1 1 2、1 1 3 ~ 1 1 6 の代わりに、図 1 の論理セル 1 0 が、3 つの入力 1 0 1 ~ 1 0 3 だけを有することができる。M 導体 6 0 1 ~ 6 1 2 を有する図 6 の S N で、図 6 のスイッチおよび中間導体 6 2 1 ~ 6 3 2 は、同一のままであるが、サブネットワーク 6 8 0 の 3 つのスイッチと導体 1 0 4 が、「仮想」であり、図 6 の S N から除外できることが異なる。

【 0 0 4 3 】

スケラブル・ノンブロッキング・スイッチング・ネットワークの複数のステージを、上で説明した方式を使用して作ることができ、たとえば、図 1 0 の M T X 1 0 5 0 を、 $N_0 = 2$ 、 $N_1 = 2$ 、 $N_2 = 4$ を、 $i = [1 - N_0]$ 、 $j = [1 - N_1]$ 、 $k = [1 - N_2]$ について、第 1 中間 I_{0i} 導体 $I_{0i} = M / N_0$ 、 $I_{1ij} = I_{0i} / N_1$ 、 $I_{2ijk} = I_{1ij} / N_2$ と共に使用して、ステージ 3 スケラブル・ノンブロッキング・スイッチング・ネットワークとして実施することができ、ここで、 $N_0 \times N_1 \times N_2 = N = 16$ であり、これは、図 1 0 の 4 つの C L S T 4 回路 1 0 1 0、1 0 2 0、1 0 3 0、1 0 4 0 のそれぞれの入力の個数である。同様に、S N 1 0 5 0 を、ステージ 4 S N として実施することができ、ここで $N_0 = 2$ 、 $N_1 = 2$ 、 $N_2 = 2$ 、 $N_3 = 2$ であり、導体の 4 つの中間ステージが、M 導体を N 導体に接続する。図 1 0 の S N 1 0 5 0 内の 1 - S N 実装の上の 2 - S N 実装は、 $N \times M = 16M$ と $(N_0 + N_1) \times M = (4 + 4) \times M = 8M$ の間の差

によるスイッチの個数の減少を有し、それぞれ $(N_0 + N_1 + N_2) = (2 + 2 + 4) = 8$ および $(N_0 + N_1 + N_2 + N_3) = (2 + 2 + 2 + 2) = 8$ の 3 - SN と 4 - SN は、 $(N_0 + N_1) = (4 + 4) = 8$ の 2 - SN に対する改善を有しない。したがって、これは、 N_i の合計すなわち各ステージの中間導体の組の個数が、合計して前のステージのマルチステージ SN より少ない時に限って意味をなす可能性がある。したがって、 $N = 64$ について、 $N_0 = N_1 = N_2 = 4$ を使用し、 $(N_0 + N_1 + N_2) = 12$ である 3 - SN は、 $N_0 = N_1 = 8$ を使用し、 $(N_0 + N_1) = 16$ である 2 - SN に対してスイッチ削減において非常に効果的であり、 $N = 64$ で 1 - SN に対する 2 - SN も同様である。

【0044】

したがって、64個のM導体が2-SNとその後に1-SNを介して16個の4入力論理セルにファン・インする、スケラブル・ノンブロッキング・スイッチング・ネットワークを使用する回路階層の2レベルを説明した。64個のM導体のうちの16個は、4つのCLST4 (図1の100の125~128) 回路のそれぞれの16個の出力に直接に接続され、任意の出力から16個の論理セルのすべてへ無制限に接続できる。回路階層の第1レベルに、図9の1-SN900として実施されたMTX200と共に図1の回路CLST4 100が含まれ、CLST4 100は、図1に示されているように、4つの4入力論理セル10~40と2つのフリップフロップ50、60を有する。回路階層の次に上位の第2レベルは、図10に示された2-SN MTX16 1050と共に4つのCLST4 100回路を有する図10のCLST16 1000回路であり、ネットワーク1050実装は、図11A、図11B、図12に示されている。CLST16 1000では、16個の出力1065、1075、1085、1095のそれぞれ(導体1056に直接に接続される)が、CLST16 1000回路内のすべての論理セルへの無制限の接続性を有し、図10の他の48個のM導体1055は、回路階層の次のレベルを作る際にCLST16 1000のN導体として扱うことができる。図10の4つのCLST4回路1010、1020、1030、1040のそれぞれの図1のCLST4 100の16個の出力125~128は、16個のM導体1056に直接に配線され、その出力を、さらに、SNを介して、基本構成ブロックとしてCLST16 1000回路を使用して回路階層の次の第3レベルに接続することができ、48個の他のM導体は、CLST16 1000回路の同等のピンまたは入力導体であって、プログラム可能論理回路の継続する高い接続性をもたらす。

【0045】

図10のCLST 1000回路は、4つの1-SNをカスケード接続する2-SNと、64個のM導体1055、1056と、4つのグループ1010、1020、1030、1040に編成された16個の4入力論理セルを使用し、さまざまなSNすなわち図10のSN1050と図10のグループ1010~1040ごとの図1のSN 200の間の合計1280個のスイッチを使用するものとして図示されている。図10のCLST 1000回路は、64個のN導体、 k (たとえば16) 個のN (たとえば4) 導体と共に1-SNを使用し、図9で述べた方法を使用する代替実施を有することができる。スイッチの個数は、本明細書で述べた分析を使用すると $M \times (N + k) = 1280$ である。この場合に、1-SN実装と図10の実施形態の両方が、同一の個数のスイッチを有することがわかる。

【0046】

どの実施がより適するかを判定する際の判断は、図10の実施形態の導体のより多数の中間ステージを有する4入力MUX実施または16入力MUXと1-SN実施の導体のより少数の中間ステージがSRAMテクノロジーの使用より好ましいかどうか、1つのスタイルがレイアウト実施でより好ましいかどうかなどのエンジニアリング考慮事項に依存する。上の分析に基づいて、スイッチの総数と回路階層の次のレベルで別のSNを使用して論理セルの複数のベース・アレイをつなぎ合わせることにオーバーヘッドが論理セルのより大きいサイズのベース・アレイを実施することを超えないようにするために、SNを介して接続される論理セルの適度なサイズのベース・アレイを有することが好ましいことに留

意することが重要である。ほとんどのプログラム可能論理回路で、ベース論理セル（ S_N を有する論理セル・アレイの）は、通常、3入力または4入力のいずれかを有し、上で述べた図示の例から、ベース論理アレイ内の論理セルの個数 k を小さい個数にしてはならず、むしろ、 N のサイズに応じて、 S_N を相互接続ネットワークとして効率的に使用するために、 $k \times N$ を適度なサイズ（たとえば、図1のCLST4 100回路）にしなければならないと認めることが穏当である。

【0047】

多数の実施形態と図示を使用して、さまざまなスケラブル・ノンブロッキング・スイッチング・ネットワークを作ることの詳細な説明が、与えられ、さまざまな組合せで使用されて、プログラム可能論理回路の入力と出力の両方の相互接続が設けられた。テクノロジおよびエンジニアリングの考慮事項に応じて、メモリ制御の数を減らすためのMUXの使用、スイッチ削減などを含むがこれに限定されない、このスケラブル・ノンブロッキング・スイッチング・ネットワークの実施の変形を使用することができる。

10

【図面の簡単な説明】

【0048】

【図1】スケラブル・ノンブロッキング・スイッチング・ネットワーク（ S_N ）を使用する4つの4入力論理セルおよび2つのフリップ・フロップを有する回路の実施形態を示す図である。

【図2】4つの N 導体の4つの組にアクセスする11個の M 導体を有するステージ0スケラブル・ノンブロッキング・スイッチング・ネットワーク（ $0-S_N$ ）を使用する回路の一実施形態を示す図である。

20

【図3】各 $0-S_N$ が2つの N 導体の4つの組にアクセスする5つの M 導体を有する、2つのステージ0スケラブル・ノンブロッキング・スイッチング・ネットワークを使用する回路の一実施形態を示す図である。

【図4】4つの中間導体の N 個の組を介して4つの N 導体の4つの組にアクセスする11個の M 導体を有するステージ1スケラブル・ノンブロッキング・スイッチング・ネットワーク（ $1-S_N$ ）を使用する回路の一実施形態を示す図である。

【図5】より少数の中間導体を介して4つの N 導体の4つの組にアクセスする12個の M 導体を有するステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークを使用する回路の一実施形態を示す図である。

30

【図6】より強い接続性特性を有する4つの N 導体の4つの組にアクセスする12個の M 導体を有するステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークを使用する回路の一実施形態を示す図である。

【図7】より少数のスイッチを有する削減されたステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークの一実施形態を示す図である。

【図8】より大きいサイズのステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークの一実施形態を示す図である。

【図9】16個の M 導体を有するのステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークの一実施形態を示す図である。

【図10】それぞれが図9のスケラブル・ノンブロッキング・スイッチング・ネットワークを使用する、図1の4つの論理回路を有する回路とステージ2スケラブル・ノンブロッキング・スイッチング・ネットワーク（ $2-S_N$ ）との一実施形態を示すブロック図である。

40

【図11A】図10のステージ2スケラブル・ノンブロッキング・スイッチング・ネットワークのブロック図実施形態を示す図である。

【図11B】図11Aのステージ2スケラブル・ノンブロッキング・スイッチング・ネットワークの第1部分の一実施形態を示す図である。

【図12】図11Aの $2-S_N$ の第2部分を実施するステージ1スケラブル・ノンブロッキング・スイッチング・ネットワークの一実施形態を示す図である。

【 図 1 】

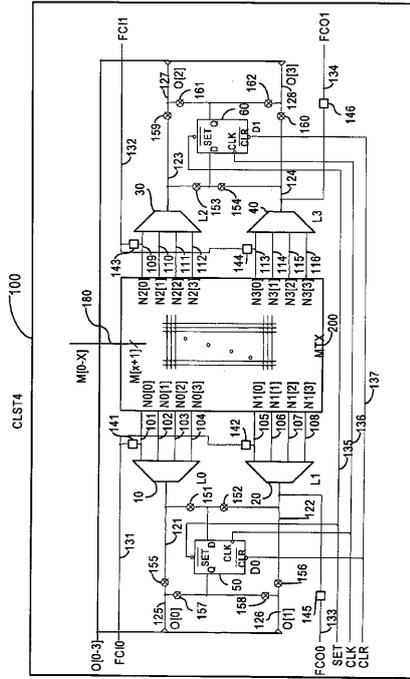


FIG. 1

【 図 2 】

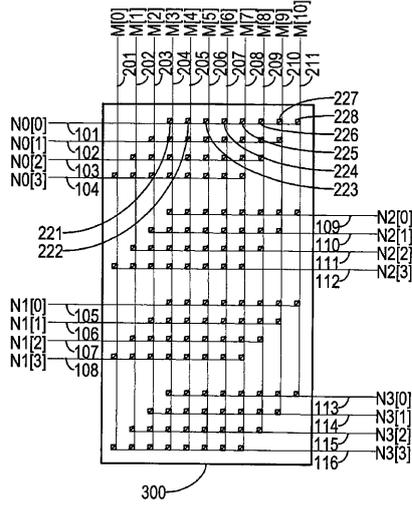


FIG. 2

【 図 3 】

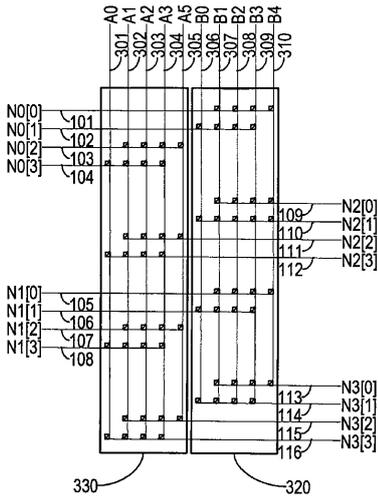


FIG. 3

【 図 4 】

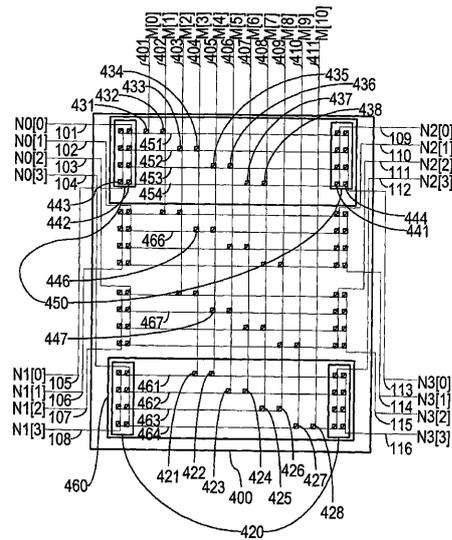


FIG. 4

【 図 5 】

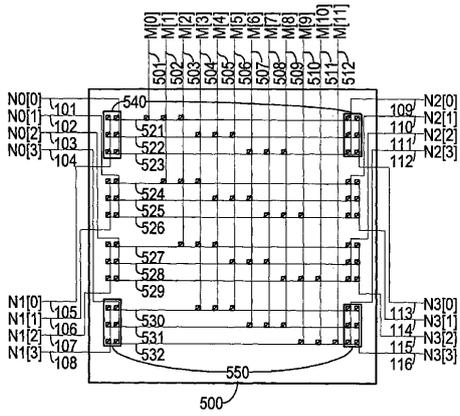


FIG. 5

【 図 6 】

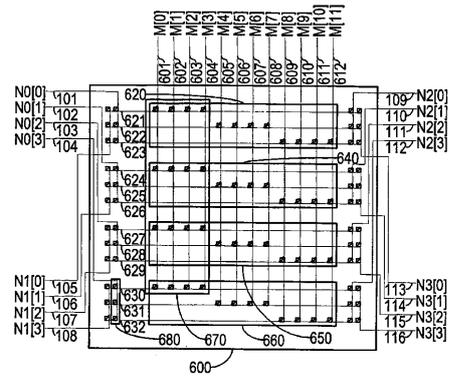


FIG. 6

【 図 7 】

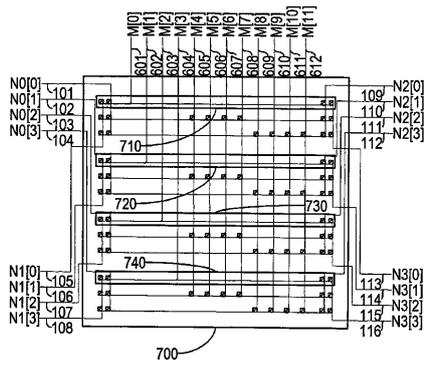


FIG. 7

【 図 8 】

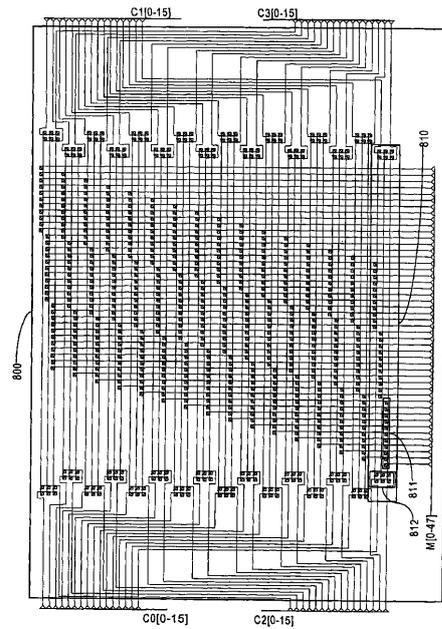


FIG. 8

【 図 1 2 】

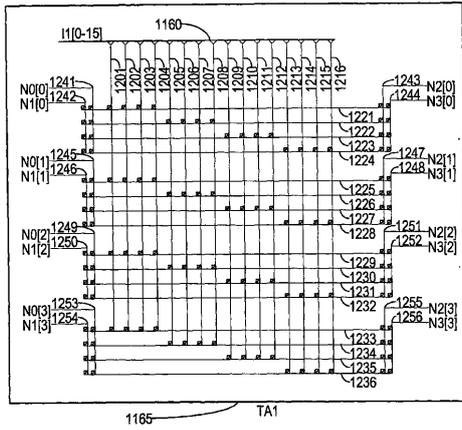


FIG. 12

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/06583
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H03K 19/177 US CL : 326/38-41,47,101; 716/12,14,17 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 326/38-41,47,101; 716/12,14,17 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,880,597 A (LEE) 09 March 1999	
A	US 6,163,168 A (NGUYEN et al) 19 December 2000	
A	US 6,670,825 B1 (LANE et al) 30 December 2003	
A	US 6,686,768 B2 (COMER) 03 February 2004	
A	US 6,181,162 B1 (LYTLE et al) 30 January 2001	
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 12 August 2005 (12.08.2005)		Date of mailing of the international search report 31 AUG 2005
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Robert Pascal DEBORAH A. THOMAS Telephone No. (703) 305-3230 PATENT LEGAL SPECIALIST 31 AUG 2005 <i>DeT</i>

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ティング, ベンジャミン・エス

アメリカ合衆国・95070・カリフォルニア州・サラトガ・サリバン ウェイ・21120

Fターム(参考) 5F064 AA08 BB02 BB13 BB19 BB37 FF04 FF27 FF28

5J042 BA08 BA10 CA20 DA06