(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 27/04(103)

(45) 공고일자 1996년02월10일
(11) 공고번호 특1996-0002097

(21) 출원번호	특1992-0021231	(65) 공개번호	특1993-0018696
(22) 출원일자	1992년11월12일	(43) 공개일자	1993년09월22일
(30) 우선권주장	92-3265 1992년02월28일 대한민국(KR)		
	92-6291 1992년04월15일 대한민국(KR)		
	92-9619 1992년06월03일 대한민국(KR)		

(71) 출원인 삼성전자주식회사 김광호
경기도 수원시 권선구 매탄동 416번지

(72) 발명자 한기만
경기도 수원시 권선구 매탄동 167-11 우주타운 1동 301호
황창규
서울특별시 강남구 대치동 미도아파트 203동 402호
강덕동
경기도 용인군 기흥읍 농서리 산 24
최영제
경기도 용인군 기흥읍 농서리 산 24
윤주영
경기도 의왕시 내손동 630번지 한신빌라 103동 102호

(74) 대리인 이영필, 최덕용

심사관 : 김정옥 (책자공보 제4330호)

(54) 반도체장치의 커패시터 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체장치의 커패시터 제조방법

[도면의 간단한 설명]

제1도는 일정한 증착 두께에서 증착 온도에 따른 다결정 실리콘의 표면 형태(조면화 정도) 변화를 나타내는 일련의 SEM 사진으로 기술된 종래 기술을 나타내고 ;

제2도는 일정한 온도(570℃)에서 증착 두께에 따른 다결정 실리콘층의 표면 형태(조면화 정도) 변화를 나타내는 일련의 SEM 사진으로 기술한 종래 기술을 나타내고 ;

제3도 내지 제5도는 종래 다른 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이고,

제6도 내지 제8도는 종래 다른 방법에 의한 반도체장치가 커패시터 제조방법을 설명하기 위한 단면도들이고,

제9도 내지 제11도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제1실시예를 설명하기 위한 단면도들이고,

제12도 내지 제15도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제2실시예를 설명하기 위한 단면도들이고,

제16도 내지 제19도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제3실시예를 설명하기 위한 단면도들이고,

제20도 내지 제22도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제4실시예를 설명하기 위한 단면도들이고,

제23도 내지 제26도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제5실시예를 설명하기 위한 단면도들이고,

제27도 내지 제30도는 본 발명에 의한 반도체장치의 커패시터 제조방법에 의해 제조된 커패시터를 포함하는 반도체장치의 각종 실시예를 도시한 단면도들이다.

[발명의 상세한 설명]

본 발명은 반도체장치의 커패시터 제조방법에 관한 것으로, 특히 다결정 실리콘의 미세구조를 이용한 반도체장치의 커패시터 제조방법에 관한 것이다.

실리콘질화막을 유전체막으로 사용하고 다결정 실리콘막을 전극으로 사용하는 스택형(stacked) 커패시터셀은 1Mb DRAM에서 현재에 이르기까지 DRAM셀로서 널리 사용되고 있다. 그러나 DRAM이 고집적화에 따라 종래의 단순한 구조의 스택형 커패시터셀로서는 충분한 셀커패시턴스를 확보하기가 어려워지고 있다. 따라서, 유전체막으로 사용되던 실리콘질화막대신에 고유전율을 갖는 산화 탄탈륨막을 사용하거나, 스택형 커패시터의 구조를 바꾸어 커패시터의 유효면적을 확대하는 방법이 시도되고 있다.

커패시터의 유효면적을 확대하는 한 방법중에 커패시터의 축적전극으로 사용되는 다결정 실리콘층을 그 막의 표면이 조면화(粗面化)(rugged)되도록 형성하는 방법이 있다. 이러한 조면화는 다결정 실리콘막의 표면을 식각하거나, 막성장시에 다결정 실리콘막의 생성조건을 제어함으로써 얻어진다. 이중, 특히 후자는 비교적 단단한 공정으로 실현할 수 있어서 향후 커패시터 형성기술로 유용하리라 예상된다.

제1도 및 제2도 및 제3도 내지 제5도는 종래의 다결정 실리콘막의 생성조건을 제어함으로써 그 표면을 조면화하는 방법을 나타내기 위한 도면들이다.

먼저, 요시마루 등이 제안한 다결정 실리콘막의 생성조건을 제어함으로써 그 표면을 조면화하는 방법에 대해 설명하다(참조문헌: "RUGGED SURFACE POLY-SI ELECTRODE AND LOW TENPERATURE DEPOSITED Si_3N_4, FOR 64MBIT AND BEYOND STC DRAM CELL" by M. Yoshimura et al.,IEDM 1990, pp 650-662)

제1도 및 제2도는 상기 요시무라 등의 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 사진들이다. 보다 구체적으로는, 제1도는 일정한 증착 두께에서 증착 온도에 따른 다결정 실리콘층의 표면형태(조면화 정도) 변화를 나타내는 일련의 SEM 사진으로 기술된 상기 종래 기술을 나타내고, 제2도는 일정한 온도(570℃)에서 증착 두께에 따른 다결정 실리콘층의 표면 형태(조면화 정도) 변화를 나타내는 일련의 SEM 사진으로 기술된 상기 종래 기술을 나타낸다.

상기 요시무라 등의 교시에 의하면, 증착온도(제1도 참조) 및 증착두께(제2도 참조)에 따라 표면의 조면화정도가 달라진다는 것을 알 수 있다. 즉, 요시무라 등은 약 570℃ 온도에서 약 0.1㎛ 정도의 두께로 다결정 실리콘막을 증착할 때 조면화의 정도가 가장 두드러졌다고 교시하고 있다. 커패시터의 크기 및 구조가 같을 때, 유효 셀 커패시터 면적은, 평탄한 표면을 가진 다결정 실리콘막을 사용했을 때의 유효커패시터 넝적보다 상기 논문에 소개한 바와 같이 조면화된 다결정 실리콘막을 사용했을 때의 유효커패시터 면적보다 상기 논문에 소개한 바와 같이 조면화된 다결정 실리콘막을 사용했을 때의 유효면적이 약2.5배 정도 크다.

제3도 내지 제5도는 사까오 등이 제안한 종래 다른 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이다(참조 문헌 : "A CAPACITOR- OVER-BIT-LINE(COB)CELL WITH A HEMISPHERICAL-GRAIN STORAGE NODE FOR 64Mb DRAMs" by M. Sakao et al., IEDM 1990, pp 655-658).

반도체기판(10)상에 중심부 스토리지전극(20)을 형성한 후(제3도), 전면에 반구모양의 그레인(HSG)을 갖는 다결정 실리콘막(30)을 증착하고(제4도), 이어서, 전면에 소정의 이방성식각을 행함으로써 상기 반구 모양의 그레인의 형상을 상기 중심부 스토리지전극에 그대로 옮김으로써 그 표면이 조면화된 20a 및 30a로 구성된 스토리지 전극을 완성한다(제5도).

중심부 스토리지 전극이 형성된 결과물전면에 증착되는 상기 반구모양의 그레인을 갖는 다결정 실리콘막(30)은, He(헬륨)으로 희석(20%)된 실란(SiH_4)가스(He-diluted SiH_4)를 특정조건, 즉,

1.0torr, 550℃에서 반도체기판에 증착시킴으로써 얻어진다. 이는 다결정 실리콘이다. 생성조건을 제어함으로써 막 성장시 다결정 실리콘막의 표면을 조면화한다는 점에서 상기 제1도 및 제2도에서 인용한 논문의 방법과 비슷하다.

제6도 내지 제8도는 피에르 씨. 파잔과 악람 디탈리가 제안한 종래 또 다른 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이다(참조문헌 ; "ELECTRICAL CHARACTERIZATION OF TEXTURED INTERPOLY CAPACITORS FOR ADVANCED STACKED DRAMs" by Pieere C. Fazan and Akram Ditali, IEDM 1990, pp 663-666).

반도체기판(10)상에, 예컨대 약 200㎚ 내지 300㎚ 정도의 두께로 다결정 실리콘막(50)을 증착한 후, 인(phosphorus)이온을 도우즈시킨다(제6도). 이때 상기 인 이온 다결정 실리콘막을 구성하는 그레인들의 경계(boundary)부분에 특히 많이 도우프되는데, 이는 상기 부분에서는 실리콘이온들 사이의 결합력이 다른 부분보다 약하기 때문이다. 이어서 결과물의 전면부위를 약 907℃정도의 온도에서 습식산화시킨다. 이때, 습식산화시 공급되는 물분자(H_2O)와 상기 다결정 실리콘막을 구성하는 실리콘원자는 그레인들의 경계부분에서 특히 많이 반응하기 때문에 이 부분에서는 평균보다 이산화실리콘(SiO_2)(60)이 더 많이 생성되어 조면화된 다결정 실리콘막(50a)을 형성하게 된다(제7도). 상기 이산

화실리콘이 생성되어 있는 결과물을 습식식각하면 평균보다 이산화실리콘이 더 많이 생성된 부분(즉, 그레인들의 경계부분)에 홈이 생기므로, 울퉁불퉁하게 조면화된 다결정 실리콘막(50a)을 수득하게 된다(제8도). 이러한 방법에 의하면, 셀커패시턴스를 약 34%정도 증가시킬 수 있다.

상기 방법들에 의하면, 다결정 실리콘막을 이루는 그레인들의 경계부분의 취약한 결합력을 이용하여 다결정 실리콘막의 표면을 조면화시킨다. 다결정 실리콘막의 표먼을 조면화하여 그 유효면적을 확대하는 방법은 통상의(그 표면이 조면화되지 않은) 다결정 실리콘막의 유효면적보다 2 내지 3배 큰 유효면적을 얻을 수 있다는 점에서 DRAM의 고집적화에 그 기여하는 바가 크다. 하지만, 다결정 실리콘막의 생성조건을 제어하여 조면화하는 방법(제1a 내지 1b도, 및 제2aA도 내지 제2c도)은 규칙성과 재연성 면에서 문제가 있다. 또한 다결정 실리콘막을 직접 식각하여 조면화하는 피에르 씨. 파잔과 악람 디탈리가의 방법은 충분한 셀커패시턴스 확보하기 어렵다는 점에서 문제가 있다.

따라서, 본 발명의 목적은 제1전극의 표면을 용이하게 조면화하여 셀커패시턴스를 증가시킬 수 있는 신규한 반도체장치의 커패시터 제조방법을 제공하는데 있다.

본 발명의 다른 목적은 신뢰성 있는 커패시터를 제조할 수 있는 반도체장치의 커패시터 제조방법을 제공하는데 있다.

상기 목적들을 달성하기 위하여, 본 발명에 의하면, 제1전극, 유전체막 및 제2전극으로 이루어지는 커패시터를 제조하는데 있어서, 상기 제1전극을 형성하기 위한 공정은, 반도체기판상에, 그 내부에 불순물이 포함되도록 미세구조의 그레인들로 이루어지는 다결정층을 형성하는 공정; 불순물이 포함되어 있는 상기 다결정층에 식각공정을 행하여 그 그레인 경계부분을 막아냄으로써 다결정층의 표면을 조면화하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법이 제공된다.

또한, 본 발명에 의하면, 제1전극, 유전체막 및 제2전극으로 이루어지는 반도체장치의 커패시터를 제조방법 하는데 있어서, 상기 제1전극을 형성하기 위한 방법은, 반도체기판상에 표면을 조면화된 다결정층을 형성하는 공정 ; 상기 다결정층상에 산화막을 형성하고, 상기 산화막이 형성되어 있는 결과를 전면에 상기 산화막을 식각대상으로 한 이방성식각 공정을 행하여 다결정층을 구성하는 그레인 사이에만 상기 산화막을 남김으로써 산화물로 된 식각마스크를 형성하는 공정; 상기 산화막으로 된 식각마스크를 이용하여 조면화된 상기 다결정층을 소정 길이로 이방성식각함으로써 다결정층에 미세 트랜치를 형성하는 공정; 및 상기 식각마스크를 제거하는 공정을 포함함을 특징으로 하는 반도체장치의 커패시터 제조방법이 제공된다.

또한, 본 발명에 의하면, 제1전극, 유전체막 및 제2전극으로 이루어지는 반도체장치의 커패시터를 제조방법 하는데 있어서, 상기 제1전극을 형성하기 위한 방법은, 반도체기판 상에 표면을 조면화된 다결정층을 형성하는 공정 ; 상기 다결정층상에 산화막을 형성하고, 상기 산화막이 형성되어 있는 결과물 전면에 상기 산화막을 식각대상으로 한 이방성식각 공정을 행하여 다결정층을 구성하는 그레인 사이에만 상기 산화막을 남김으로써 산화물로 된 에피텍시얼 마스크를 형성하는 공정 ; 및 상기 에피텍시얼 마스크를 이용하여 조면화된 상기 다결정층의 노출된 부분에 에피텍시열 그레인을 성장시키는 공정을 포함하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법이 제공된다.

이하, 첨부한 도면을 참조하여 본 발명을 더욱 더 자세하게 설명하고자 한다.

[실시예1]

제9도 내지 제12도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제1실시예를 설명하기 위한 단면도들이다.

먼저, 제9도는 반도체기판(10)상에 다결정층(50)을 형성하는 공정을 도시한 것이다. 다수의 미세구조의 그레인들로 구성되는 물질을, 통상의 방법, 예컨대 저압증착법(LPCVD)을 이용하여 반도체기판상에 증착함으로써 다결정층을 형성한다. 이때 상기 물질은 결정구조가 다른 다수의 미세구조의 그레인들로 이루어져 있는데, 이 그레인들의 크기는 상기 물질을 증착하는 온도, 시간 및 두께등에 의해 좌우되며, 인접한 그레인들은 서로 다른 결정구조를 가지도록 형성된다.

본 실시예에서 상기 증착온도는 500℃ 내지 700℃ 정도이지만 상기 온도 범위에 제한되는 것은 아니다. 상기 다결정층으로 비정질실리콘, 다결정 실리콘 또는 반구모양의 그레인(HSG)를 갖는 다결정 실리콘을 사용할 수 있다.

제10도는 결과물전면에 불순물(70)을 도우프하는공정을 도시한 것이다.예컨대 $POCl_3$ (phosphorous oxychloride)와 같은 물질을 이용하여 상기 다결정층(50)에 인(phosphorous) 이온을 도우프하여 도우프된 다결정층(50a)를 형성한다. 그러면, 상기 인 이온은 그레인들의 경계부분에 있는 실리콘이온과 더 잘 결합하여 상기 제10도에서 도시한 바와 같이 상기 경계부분에서의 인의 농도가 다른 부분보다 높게 된다. 이는, 상기 제6도에서 언급한 바와 같이 그레인들의 경계부분에서는 실리콘이온 사이의 결합력이 약하기 때문이다.

이때, 상기 그레인들은 불순물의 농도와 관련해서 그 크기가 달라지게 되는데, 불순물의 농도가 높을때의 그레인 크기가 낮을때의 크기보다 크다. 이는 불순물의 농도가 높을수록 도우프시간이 길어지게 되어 도우프공정시 공급되는 열에너지에 의해 상기 그레인들의 결정구조가 바뀌게 되어 이웃하는 그레인들과 결합하여 하나의 더 큰 그레인을 만드는 현상이 발생하기 때문이다.

제11도는 상기 도우프된 다결정층(50a)을 식각하여 조면화된 다결정층(50b)을 수득하는 공정을 도시한 것이다. 상기 제10도에서 수득한 결과물을 인산용액을 사용한 식각공정(습식식각 또는 건식식각)에 노출시키면 다결정 실리콘중에서도 인 이온의 농도가 높은 부분, 즉 그레인들의 경계부분이 다른 부분보다 더 잘 식각되므로, 결과적으로 그 표면이 조면화된 다결정층(50b)을 형성할 수 있다. 이는 인산용액은 인을 포함한 물질을 포함하지 않은 물질보다 더 잘 식각하기 때문이다.

본 발명의 다른 실시예에 의하면, 상기 조면화된 다결정층(50b)에, 조면화되지 않은 다결정층(제9도

의 참조부호 50)에 도우프되었던 불순물(제10도의 70)과 같은 불순물(본 실시예에서는 인 이온을 사용하였다)을 재도우프하는 것이 바람직하다. 이렇게 함으로써, 상기 조면화된 다결정층(50b)의 커패시턴스 균일성(capacitance uniformity ; Cmin/Cmax)을 좋게 할 수 있다.

다결정층 형성후 활성화를 위한 상기 불순물을 도우프시킬 때, 상기 불순물은 그레인의 경계부분에서 특히 많은 양이 도우프되어 그레인의 내부와 다결정층의 하부에는 상대적으로 도우프량이 적게된다. 이것을 이용하여 조면화를 위한 식각을 실시하면, 조면화된 표면에는 도우프 농도가 아주 적어진다. 전체적으로 도우프 균일성이 나쁘게 되므로 커패시턴스 균일성이 좋지않게 되고, 이는 메모리 특성을 좋지않게 하므로, 조면화된 표면에 상기 불순물을 재도우프하여 상기 커패시턴스 균일성을 좋게한다. 이때, 조면화되지 않은 다결정층(50)에는, 불순물이 도우프되지 않은 다결정 실리콘이 평균 55Ω/□ 정도의 면저항을 갖을 정도로 상기 불순물을 도우프하고, 조면화된 상기 다결정층(50b)에는, 불순물이 도우프되지 않은 다결정 실리콘이 평균 80Ω/□정도의 면저항을 갖을 정도의 농도로 상기 불순물을 도우프한다.

그 표면이 조면화된 다결정층에 불순물을 재도우프하는 상기 공정은, 계석해서 소개되는 다른 실시예에도 적용될 수 있음은 물론이고, 필요에 의해 그 공정이 생략될 수도 있다.

[실시예2]

제12도 내지 제15도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제1실시예를 설명하기 위한 단면도들이다.

먼저, 제12도는 반도체기판(10)상에 다결정층(50)을 형성하는 공정을 도시한 것이다. 다수의 미세구조의 그레인들로 구성되는 물질을, 통상의 방법, 예컨대 저압증착법(LPCVD)등을 이용하여 반도체기판상에 증착함으로써 다결정층(50)을 형성한다. 이때 상기 물질을 결정구조가 다른 다수의 미세구조의 그레인들로 이루어져 있는데, 이 그레인들의 크기는 상기 물질로 증착하는 온도, 시간 및 두께등에 의해 좌우되며, 인접한 그레인들은 서로 다른 결정구조를 가지도록 형성된다.

본 실시예에서 상기 증착온도는 500℃ 내지 700℃ 정도로 제한하여 실시하였으나 증착온도가 상기 범위로만 제한되지 않는다. 상기 다결정층을 구성하는 물질로는, 예컨대 비정형실리콘, 다결정 실리콘 및 반구모양의 그레인(HSG)를 갖는 다결정 실리콘등 중 어느 하나를 사용했다. 이어서, 상기 다결정층에 불순물(70)을 도우프하는 공정을 실시하는데, 상기 불순물 도우프 공정은 상기 다결정층이 형성된 후 실시할 수도 있고, 상기 다결정층을 구성하는 물질을 증착할 때 증착과 동시에 실시할 수도 있다. 본 발명에서는, 예컨대 $POCl_3$ (phosphorous oxychloride)와 같은 물질을 이용하여 상기 다결정층에 인(Phosphrous) 이온을 도우프하였으나, 상기 불순물이 인 이온으로만 한정되지 않음은 물론이다. 상기 다결정층에 도우프된 인 이온은 그레인들의 경계부분에 있는 실리콘이온과 더 잘 결합하여 상기 제12도에서 도시한 바와 같이 상기 경계부분에서의 인의 온도가 다른 부분보다 높게 된다. 이는, 상기 실시예1의 제6도에서 언급한 바와 같이 그레인들의 경계부분에서는 실리콘이온 사이의 결합력이 약하기 때문이다.

이때, 상기 그레인들은 크기는 불순물이 농도 및 도우프 공정이 공급되는 열에너지와 관련해서 그 크기가 달라지게 되는데, 불순물의 농도가 높을때의 그레인 크기가 낮을때의 크기보다 크다. 이는 불순물의 농도가 높을수록 도우프시간이 길어지게 되어 도우프공정시 공급되는 열에너지에 의해 상기 그레인들이 결정구조가 바뀌게 되어 이웃하는 그레인들과 결합하여 하나의 더 큰 그레인을 만드는 현상이 발생하기 때문이다. 상기 그레인의 크기를 조절하기 위해 불순물 도우프 공정이 끝난 후 열처리 공정을 추가로 행할 수도 있다.

제13도는 상기 다결정층(50)을 식각하는 공정을 도시한 것이다. 상기 제12도에서 수득한 결과물을 인산용액을 사용하여 식각공정(습식식각 또는 건식식각)을 수행하면 다결정 실리콘막 중에서도 인 이온의 농도가 높은 부분, 즉 그레인들의 경계부분이 다른 부분보다 더 잘 식각되어 결과적으로 그 표면이 조면화된 다결정층(50b)을 형성할 수 있다. 이는 상기 인산용액이 인 이온을 포함한 물질을 포함하지 않은 물질보다 더 잘 식각하지 않기 때문이다. 다결정층에 도우프된 불순물의 종류가 바뀌면 상기 식각용액도 바뀌어야함은 물론이다. 일반적으로, 불순물을 포함하는 식각용액은 상기 불순물을 포함한 물질을 잘 식각해 낸다. 예컨대, 본 발명의 실시예서 상기 불순물로 인 이온을 사용하였을 때 상기 식각용액으로는 상기 인 이온을 포함한 물질을 상기 인 이온을 포함하지 않는 다른 물질보다 더 잘 식각해 낼 수 있는 용액, 즉 인산용액을 사용해야 한다.

제14도는 상기 조면화된 다결정층(50b) 전면에 산화막(52)을 성장시키는 공정을 도시한 것이다. 상기 조면화된 다결정층(50b)을 산화성 분위기(습식 또는 건식)에 노출시키면 상기 다결정층(50b)을 구성하는 실리콘원자와 상기 산소원자가 결합하여 다결정층(50b)의 표면에 얇은 산화막(52)이 성장되면서 상기 조면화된 다결정층(50b)를 더욱 조면화한다. 참조 번호 50c는 이와 같이 식각공정과 산화공정에 의해 2차로 조면화된 다결정층을 나타낸다. 이때, 상기 산화막은 그레인 경계부분에서 더 잘 성장되는데 이는 제7도에서 언급한 바와 같이 상기 그레인 경계부분에서는 실리콘원자 사이의 결합력이 약하기 때문이다.

제15도는 상기 산화막(52)을 제거하는 공정을 도시한 것이다. 산화막(52)이 성장되어 있는 결과물을 산화물 식각용액(건식 또는 습식)에 노출시켜 상기 산화막(52)을 제거한다.

조면화 된 다결정층(50b) 상에 산화막(52)을 성장시킨 후 제거해 내는 상기 공정(제14도 및 제15도에서 설명한 두 공정)은, 인산용액에 의해 그 표면이 조면화된 다결정층의 첨예부분을 제거하는 역할 뿐만 아니라 그레인 경계부분에서 더 잘 성장된 산화막에 의해 상기 제11도에 도시된 다결정층(50b)보다 더 조면화된 다결정층을 얻을 수 있다. 이는 상기 첨예부분에서 생기는 누설전류를 방지하여 메모리가 신뢰도를 향상시킬 수 있을 뿐만아니라 상기 제11도에서 얻을 수 있는 셀커패시턴스보다 더 큰 셀커패시턴스를 얻을 수 있다.

[실시예3]

제16도 내지 제19도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제3실시예를 설명하기 위해 도시된 단면도들로서, 상기 제2실시예의 공정순서를 일부 바꾸어 진행한 것이다.

상기 제2실시예를 참조하여 제3실시예를 설명하자면, 상기 제2실시예에서는 다결정층을 형성한 후 인산용액을 사용하여 그 표면을 조면화하고 이어서 산화막 성장 및 제거 공정을 진행하였으나, 본 실시예에서는 다결정층을 형성한 후 바로 산화막을 성장 및 제거하고 이어서 인산용액을 사용하였다. 이때, 다결정층표면의 조면화는 1차적으로 상기 산화막 성장 및 제거공정에서 행해진 후, 2차적으로 인산용액을 이용한 식각공정에 의해 행해진다.

제16도는 반도체기판(10)상에 다결정층(50)을 형성하는 공정을 도시한 것이다. 제12도에서 설명한 바와 동일하게 다수의 미세구조의 그레인들로 구성되는 물질을, 통상의 방법, 예컨대 저압증착법(LPCVD)등을 이용하여 반도체기판 상에 증착함으로써 상기 다결정층(50)을 형성한다.

제17도는 상기 다결절층(50) 전면에 산화막(52)을 성장시키는 공정을 도시한 것이다. 상기 다결정층(50)을 산화성 분위기(습식 또는 건식)에 노출시키면 상기 다결정층을 구성하는 실리콘원자와 상기 산소원자가 결합하여 다결정층의 표면에 얇은 산화막(52)이 성장되면서 상기 다결정층(50)을 조면화하여 조면화된 다결정층(50d)을 수득한다.

제18도는 상기 산화막(52)을 제거하는 공정을 도시한 것이다. 산화막(52)이 성장되어 있는 결과물을 산화물 식각용액(건식 또는 습식)에 노출시켜 상기 산화막(52)을 제거한다.

제19도는 상기 조면화된 다결정층(50d)을 식각하는 공정을 도시한 것이다. 상기 제18도에서 수득한 조면화된 다결정층(50d)을 인산용액을 사용한 식각공정(습식식각 또는 건식식각)에 노출시키면 다결정 실리콘막 중에서도 인 이온의 농도가 높은 부분, 즉 그레인들의 결계부분이 다른 부분보다 더잘 식각되어 결과적으로 2차로 조면화된 다결정층(50e)을 형성할 수 있다.

[실시예4]

제20도 내지 제21도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제4실시예를 설명하기 위한 단면도로서, 상기 제1 내지 제3실시예의 방법보다 더 큰 셀커패시턴스를 확보할 수 있다.

먼저, 제20도는 상기 실시예 1 내지 3의 방법 또는 상기 공지된 방법에 따라서, 조면화된 다결정층(80)을 형성한 후 그 전면에 식각마스크층(90)을 형성하는 공정을 도시한 것이다.

반도체기판(10)상에, 상기 제1 내지 제3실시예의 방법중 한 방법 또는 공지된 방법들중 어느 하나를 이용하여 그 표면이 조면화된 상기 다결정층(80)을 형성하는 공정, 및 임의의 이방성식각에 대해 상기 다결정층(80)을 구성하는 물질과는 그 식각율이 다른 물질, 예컨대 산화물을, 화학기상증착(Chemical Vapor Deposition) 법이나 열산화법을 이용하여 상기 다결정층 전면에 도포함으로써 상기 식각마스크층(90)을 형성하는 공정으로 진행된다. 이때, 조면화된 다결정층(80)을 상기 제12도 내지 제15도의 방법으로 형성할 경우, 산화막(제14도의 도면부호52)을 제거하지 않은 상태에서 상기 제20도에서 설명한 공정들을 진행할 수도 있다.

제21도는 식각마스크(90a)를 형성하는 공정을 도시한 것으로서, 상기 식각마스층을 구성하는 물질을 식각대상물로 하고 상기 다결정층의 상부 표면을 식각종료점으로 한 이방성식각을 결과물 전면에 행하여, 조면화된 다결정층(80)의 홈에만 상기산화물을 남김으로써 식각마스크(90a)를 형성한다.

제22도는 미세 트랜치(1) 및 미세 기둥(11)을 형성하는 공정을 도시한 것으로서, 식각마스크(90a)가 형성되어 있는 결과물 전면에, 상기 식각마스크(90a)를 사용하여, 상기 다결정층(80)을 식각대상물로 한 이방성식각을 행하여 상기 다결정층을 소정깊이로 식각함으로써 식각마스크(90a) 하부에는 미세 기둥(11)을, 그외 부분에는 미세트랜치(1)를 형성한다. 이때, 상기 소정깊이는 다결정층의 두께 정도일 수도 있고, 그 이하 일 수도 있는데, 전자의 경우, 단면도상에서는 상기 미세 기둥들이 서로 떨어지게 형성되어 있으나, 위에서 내려본 모양(topview)에 의하면(도시되지 않음), 미세 기둥이 전체적으로 서로 연결되어 있다는 것을 알 수 있다(도시되어 있지 않으나, 제22도에 도시된 미세 트렌치(1)가 반도체기판(10)을 부분적으로 노출시키는 형태로 되어 있다). 다음에, 상기 식각마스크(90a)를 제거하여 조면화된 다결정층(90a)을 수득한다.

본 발명의 상기 제4 실시예에 의하면, 상기 제1 내지 제3실시예의 방법중 한 방법에 의해 그 표면이 조면화된 다결정층에 다시 미세 트랜치를 형성함으로써 상기 제1 내지 제3실시예의 방법에 의해 제조된 다결정층보다 더 큰 셀커패시턴스를 확보할 수 있는 표면적을 가진 다결정층을 얻을 수 있다.

[실시예5]

제23도 내지 제26도는 본 발명에 의한 반도체장치의 커패시터 제조방법의 제5실시예를 설명하기 위한 단면도들이다.

제23도는 상기 실시예 4의 제20도에서와 마찬가지로 상기 실시예 1 내지 3의 방법 또는 상기 공지된 방법에 따라서, 조면화된 다결정층(80)을 형성한 후 그 전면에 에피텍시얼 마스크층(91)을 형성하는 공정을 도시한 것이다. 상기 실시예 4의 식각마스크층(90) 형성시와 동일한 방법으로, 반도체기판(10)상에, 상기 조면화된 다결정층(80)을 형성한 후, 상기 다결정층(80)를 구성하는 물질과는 다른 물질, 예컨대 산화물을, 화학기상증착(Chemical Vapor Deposition)법이나 열산화법을 이용하여 상기 다결정층상에 도포하거나, SOG(Spin-On-Glass)를 도포하여 상기 에피텍시얼 마스크층(91)를 형성한다.

제24도는 에피텍시얼 마스크(91a)를 형성하는 공정을 도시한 것이다. 상기 실시예 4의 식각마스크(90a) 형성시와 마찬가지로, 상기 에피텍시얼 마스크층(91)를 구성하는 물질을 식각대상물로 하고 상기 다결정층(80)의 상부 표면을 식각종료점으로 한 이방성식각을 결과물 전면에 행하여, 조면화된

다결정층(80)의 홈에만 상기 산화물을 남김으로써 에피텍시얼 마스크(91a)를 형성하고 상기 조면화된 다결정층(80)의 그레인의 상부부분을 노출시킨다.

제25도는 에피텍시얼 성장 공정을 도시한 것이다. 상기 에피텍시얼 마스크(91a)가 형성되어 있는 결과물 전면에, 담체가스로서 수소가스를 사용하고, SiH_3Cl_2 +HCl계를 사용하여 상기 조면화된 다결정층의 노출된 상부부분을 씨드로 하여 소정의 높이로 에피텍시얼 성장시켜 에피텍시얼 그레인(95)을 형성한다. 이때, 상기 소정높이는 50 내지 500Å인 것이 바람직하다.

제26도는 상기 에피텍시얼 마스크(91a)를 제거하는 공정을 도시한 것이다. 상기 에피텍시얼 성장 공정이후에, 통상의 방법으로, 상기 에피텍시얼 마스크(91a)를 제거하여 에피텍시얼 그레인(95)을 갖는 조면화된 다결정층(80)을 수득한다.

상기한 제5 실시예에 의하면 상기 제4 실시예에서와 마찬가지로, 표면적이 큰 커패시터 전극을 수득할 수 있는 반면, 인산처리 방법에 비해 공정이 간편하다. 또한 제4 실시예에서 발생되는 에칭 데미지를 감소시킬 수 있다.

상술한 모든 실시예에 있어서, 다결정층의 표면을 조면화하기 위한 상기 공정물은, 제1전극 형성을 위해 미리 패터닝 된 다결정층 패턴 상에서 실시될 수 있음과, 상기 다결정층을 형성하기 전에, 실리콘화막 및 고온산화막을 상기 반도체기판 상에 적층하여, 상기 제1전극을 완성한 후 상기 고온산화막을 부분적으로 제거하는 공정을 추가함으로써 셀커패시턴스 향상을 도모할 수도 있음은 물론이다.

제27도 내지 제30도는 본 발명에 의한 반도체장치의 커패시터 제조방법에 의해 제조한 일 실시예들의 반도체장치를 도시한 단면도들이다. 상기 제27도는 스택형 커패시터 구조를 갖는 반도체장치, 상기 제28도는 실린더형 커패시터 구조를 갖는 반도체장치, 상기 제29도는 트렌치 커패시터 구조를 갖는 반도체장치 및 상기 제30도는 스택-트렌치 커패시터 구조를 갖는 반도체장치에 본 발명의 방법을 적용한 것이다.

제27도 내지 제30도에서, 참조 번호 10은 반도체 기판, 참조 번호 12는 선택적으로 성장시킨 필드산화막, 참조 번호 23은 게이트 전극, 참조 번호 14는 소오스 영역, 참조 번호 16번은 드레인 영역, 참조 번호 100은 스토리지 전극, 참조 번호 110은 유전체막, 참조번호 120은 플레이트 전극, 참조번호 19는 비트라인, 참조 번호 18은 워드라인, 참조 번호 26은 절연막, 기호 C1 및 C2는 커패시터를 나타낸다.

발명에 의한 반도체장치의 커패시터 제조방법에 의하면, 서로 다른 결정구조를 가지는 미세 구조의 그레인들로 이루어진 다결정층에 소정의 불순물을 도우프한 후, 상기 소정의 불순물을 특히 잘 식각해 내는 식각용액을 사용하여 상기 다결정층을 식각해 내는 공정으로 1차적으로 제1 전극의 표면을 조면화하고, 이어서 그 표면이 조면화 된 상기 다결정층의 표면에 산화막 성장 및 제거 공정을 진행하여 2차적인 제1 전극의 표면 조면화를 피하였다. 이는 규칙성 및 재연성이 있고 공정이 극히 단순하여 셀커패시턴스 증가 및 조절이 용이하다는 점, 및 신뢰도도가 우수하다는 점에서 고집적화되어가는 메모리셀에 그 적용이 기대된다.

또한, 상기 산화막을 이용하거나, 상기 1차조면화 된 다결정층 표면 부분을 노출시킨 후에 이방성식각을 하여, 미세트렌치 및 미세 기둥을 형성하거나, 에피텍시얼 성장시켜 에피텍시얼 그레인을 형성하여, 셀커패시턴스를 더욱 증가시킬 수 있다.

본 발명이 상기 실시예에 한정되지 않으며 많이 변형이 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항 1

제1전극, 유전체막 및 제2전극으로 이루어지는 반도체장치의 커패시터를 제조하는 방법에 있어서, 상기 제1전극을 형성하기 위한 공정은, 반도체기판상에, 그 내부에 불순물이 포함되도록 미세구조의 그레인들로 이루어지는 다결정층을 형성하는 공정 ; 상기 결과물 전면에 화학증착법 내지 열산화법으로 산화막을 형성하는 공정 ; 상기 산화막을 제거하는 공정 ; 불순물이 포함되어 있는 상기 다결정층에 식각공정을 행하여 그 그레인 경계부분을 깍아냄으로써 다결정층의 표면을 조면화하는 공정 ; 상기 결과물 전면에 산화막을 형성하는 단계 ; 상기 산화막이 형성되어 있는 결과물 전면에 상기 산화막을 식각대상으로 한 이방성식각 공정을 행하여 다결정층을 구성하는 그레인 사이에만 상기 산화막을 남김으로써 산화막으로 된 마스크를 형성하는 공정 ; 및 상기 산화막으로 된 식각마스크를 식각에 대한 마스크로 이용하여 조면화된 상기 다결정층을 소정깊이로 이방성식각함으로써 다결정층에 미세 트렌치를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 2

제1항에 있어서, 상기 소정의 깊이는 상기 다결정층의 두께와 같거나 작은 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 3

제1전극, 유전체막 및 제2전극으로 이루어지는 반도체장치의 커패시터를 제조하는 방법에 있어서, 상기 제1전극을 형성하기 위한 공정은, 반도체기판상에 표면을 조면화된 다결정층을 형성하는 공정 ; 상기 다결정층상에 산화막을 형성하고, 상기 산화막이 형성되어 있는 결과물 전면에 상기 산화막을 식각대상으로 한 이방성식각공정을 행하여 다결정층을 구성하는 그레인 사이에만 상기 산화막을 남김으로써 산화물로 된 에피텍시얼 마스크를 형성하는 공정 ; 및 상기 에피텍시얼 마스크를 이용

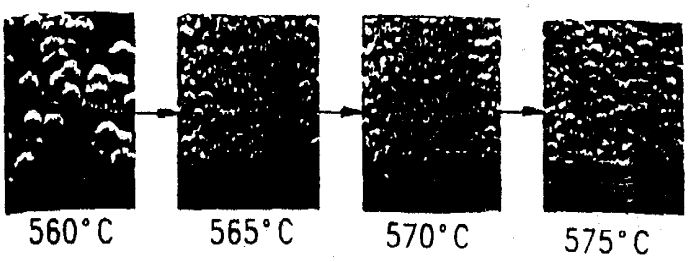
하여 조면화된 상기 다결정층의 노출된 부분에 에피텍시얼 그레인을 성장시키는 공정을 포함하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 4

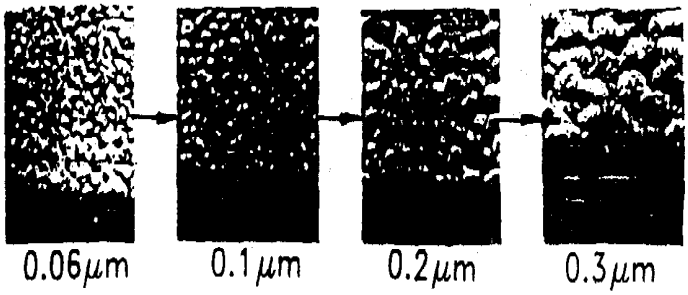
제3항에 있어서, 상기 에피텍시얼 그레인 성장공정은 담체가스로서 수소가스를 사용하고, SiH_2Cl_2+HCl계를 사용하여 수행함을 특징으로 하는 반도체장치의 커패시터 제조방법.

도면

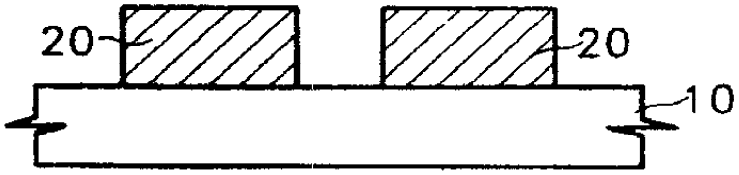
도면1



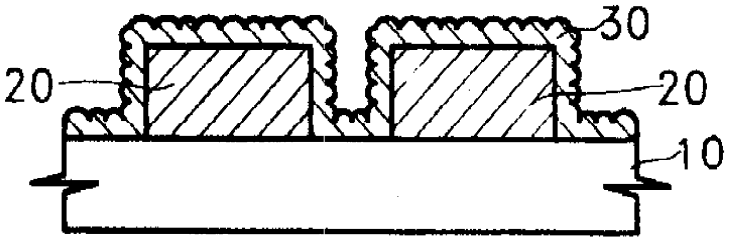
도면2



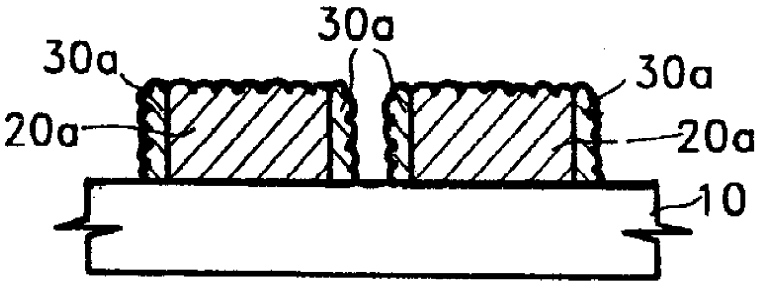
도면3



도면4



도면5



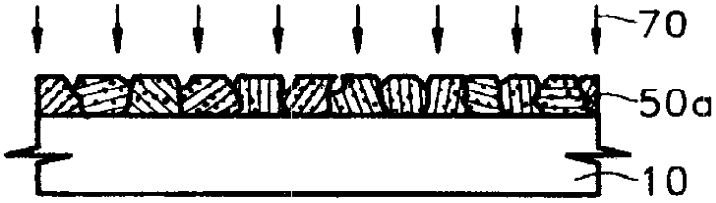
도면6

도면7

도면8

도면9

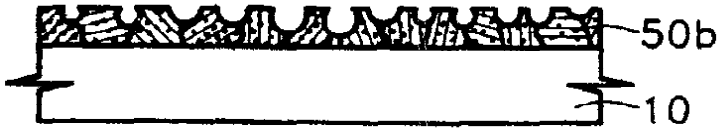
도면10



도면11

도면12

도면13

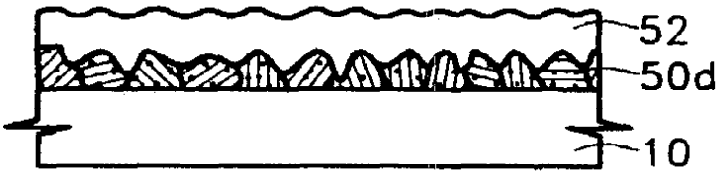


도면14

도면15

도면16

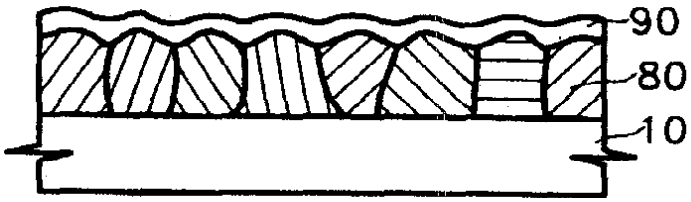
도면17



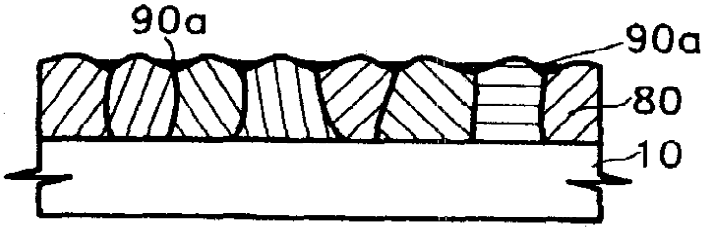
도면18

도면19

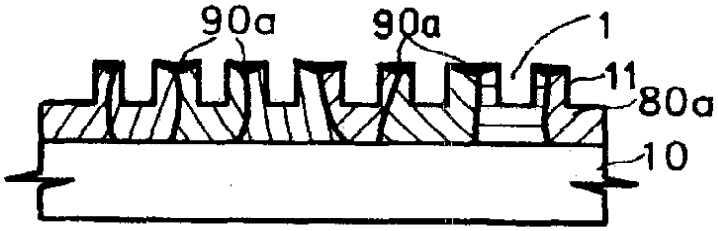
도면20



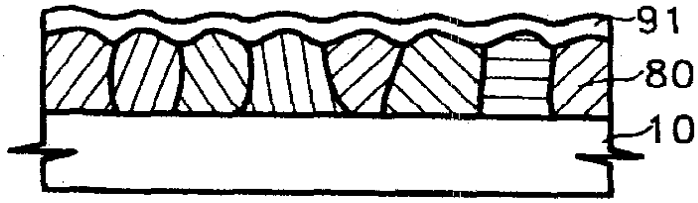
도면21



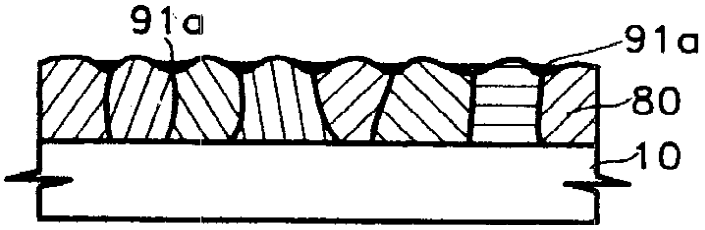
도면22



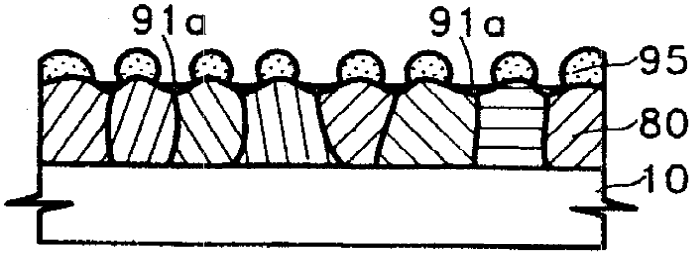
도면23



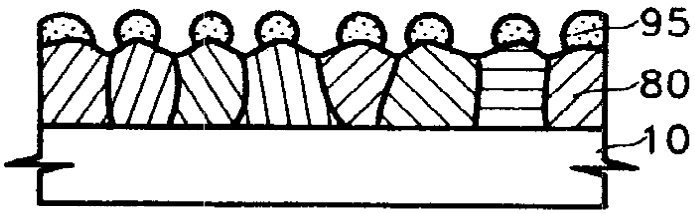
도면24



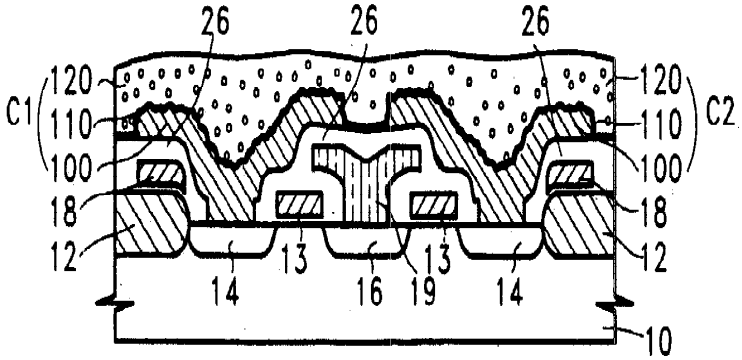
도면25



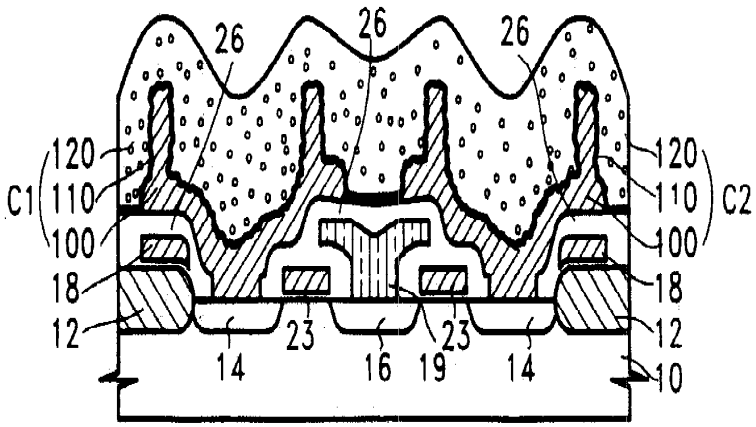
도면26



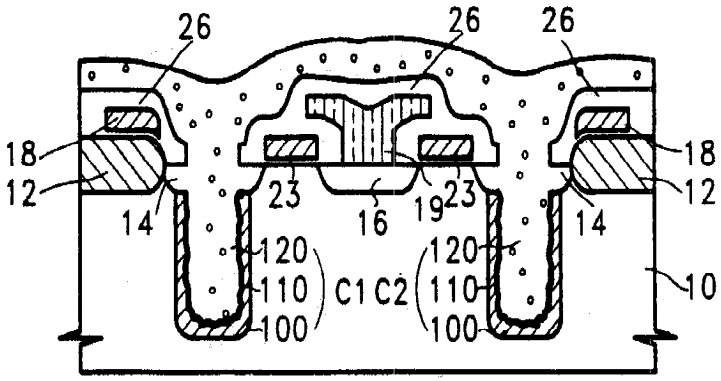
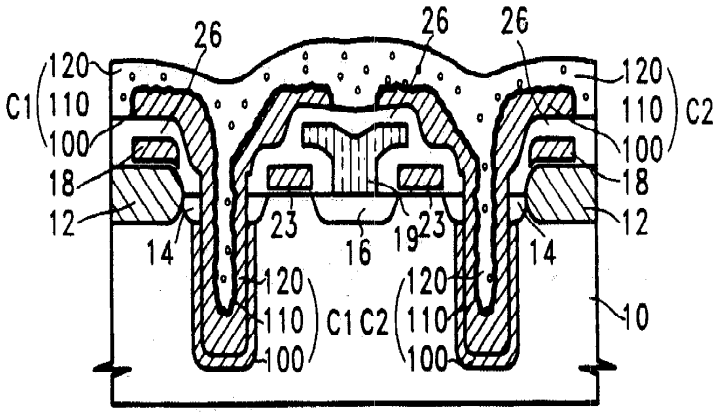
도면27



도면28



도면29



도면30