

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3790208号

(P3790208)

(45) 発行日 平成18年6月28日(2006.6.28)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int. Cl.

G 1 1 C 29/04 (2006.01)

F I

G 1 1 C 29/00 6 0 3 K

請求項の数 21 (全 20 頁)

(21) 出願番号	特願2002-295191 (P2002-295191)	(73) 特許権者	000003078
(22) 出願日	平成14年10月8日(2002.10.8)		株式会社東芝
(65) 公開番号	特開2004-133970 (P2004-133970A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年4月30日(2004.4.30)	(74) 代理人	100058479
審査請求日	平成15年5月29日(2003.5.29)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルがアレイ状に配置されたメモリセルアレイと、
 複数の予備のメモリセルを有し、前記メモリセルアレイにおける不良のメモリセルを、プログラムされたアドレス情報にもとづいて特定の予備のメモリセルと置き換えるための冗長回路と、

前記アドレス情報をプログラムするための、複数の不揮発性記憶素子を有する記憶回路と、

前記冗長回路に対し、前記記憶回路にプログラムされた前記アドレス情報を転送するための転送回路と

を具備し、

前記転送回路の動作を、前記記憶回路にプログラムされたコマンド情報にしたがって制御することを特徴とする半導体集積回路装置。

【請求項2】

前記コマンド情報は、前記アドレス情報との識別のための所定のパターンデータをヘッダにもつことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】

前記コマンド情報は、特定のパターンデータを複数回繰り返し出力させるための命令を含むことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】

前記冗長回路は、不良のメモリセルを特定の予備のメモリセルと置き換える、もしくは、不良のメモリセルを含むメモリセルの集合を、特定の予備のメモリセルの集合と置き換えることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】

前記記憶回路は、レーザー光によって溶断されることにより前記アドレス情報および前記コマンド情報がプログラムされる第 1 の不揮発性記憶素子群、または、電気的に状態を変化させることにより前記アドレス情報および前記コマンド情報がプログラムされる第 2 の不揮発性記憶素子群のいずれかを含むことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 6】

前記記憶回路は、レーザー光によって溶断されることにより前記アドレス情報および前記コマンド情報がプログラムされる第 1 の不揮発性記憶素子群と、電気的に状態を変化させることにより前記アドレス情報および前記コマンド情報がプログラムされる第 2 の不揮発性記憶素子群とを含むことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 7】

前記アドレス情報には、前記第 1 の不揮発性記憶素子群にプログラムされる第 1 のグループと、前記第 2 の不揮発性記憶素子群にプログラムされる第 2 のグループとがあり、転送回路は、一方のグループのアドレス情報の一部を、他方のグループのアドレス情報に置き換えて転送する機能を備えることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】

前記第 2 の不揮発性記憶素子群には、さらに、前記転送回路による、前記第 1 のグループのアドレス情報の転送と前記第 2 のグループのアドレス情報の転送とを切り換えるための制御データが記憶されていることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】

前記第 2 の不揮発性記憶素子群には、さらに、前記転送回路による、前記第 1 のグループのアドレス情報の転送と前記第 2 のグループのアドレス情報の転送との切り換えを制御するためのコマンド情報がプログラムされていることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 10】

前記メモリセルアレイと前記冗長回路とを含んで半導体メモリ回路部が構成され、前記記憶回路と前記転送回路とを含んで記憶転送回路部が構成され、前記半導体メモリ回路部と前記記憶転送回路部とはデイジーチェーン接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 11】

前記記憶転送回路部は、前記アドレス情報および前記コマンド情報を前記半導体メモリ回路部の外部から供給することを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 12】

前記半導体メモリ回路部は、複数のメモリマクロを含むことを特徴とする請求項 11 に記載の半導体集積回路装置。

【請求項 13】

前記コマンド情報は、前記複数のメモリマクロに前もって付与された固有の識別コードにより指定された、そのメモリマクロにおけるデータの受信を制御するための命令を含むことを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 14】

前記複数のメモリマクロは、前記識別コードが一致する場合に、前記データの受信を開始する機能を備えることを特徴とする請求項 13 に記載の半導体集積回路装置。

【請求項 15】

前記メモリセルアレイと前記冗長回路とを含んで半導体メモリ回路部が構成され、前記記憶回路と前記転送回路とを含んで記憶転送回路部が構成され、

10

20

30

40

50

前記半導体メモリ回路部と前記記憶転送回路部とはバス接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 16】

前記記憶転送回路部は、前記アドレス情報および前記コマンド情報を前記半導体メモリ回路部の外部から供給することを特徴とする請求項 15 に記載の半導体集積回路装置。

【請求項 17】

前記半導体メモリ回路部は、複数のメモリマクロを含むことを特徴とする請求項 16 に記載の半導体集積回路装置。

【請求項 18】

前記コマンド情報は、前記複数のメモリマクロに前もって付与された固有の識別コードにより指定された、そのメモリマクロにおけるデータの受信を制御するための命令を含むことを特徴とする請求項 17 に記載の半導体集積回路装置。 10

【請求項 19】

前記複数のメモリマクロは、前記識別コードが一致する場合に、前記データの受信を開始する機能を備えることを特徴とする請求項 18 に記載の半導体集積回路装置。

【請求項 20】

前記記憶転送回路部は、同じ種類の複数のヒューズボックスを含むことを特徴とする請求項 16 に記載の半導体集積回路装置。

【請求項 21】

前記記憶転送回路部は、種類の異なる複数のヒューズボックスを含むことを特徴とする請求項 16 に記載の半導体集積回路装置。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関するもので、たとえば、リダンダンシのためのアドレス情報をメモリマクロの外部のヒューズボックスから転送するようにした混載メモリに関する。

【0002】

【従来の技術】

近年、ASIC (Application Specific Integrated Circuit) においては、大容量の混載メモリの使用が増えている。これにより、マルチメディアアプリケーションや SoC (System on Chip) が実現されている。 30

【0003】

DRAM (Dynamic Random Access Memory) や SRAM (Static RAM) といったメモリマクロでは、良品化のために、不良セルを救済するための冗長回路の搭載が不可欠である。

【0004】

冗長回路は、通常のメモリセルに不良が発見された場合に、その不良セルを予備のメモリセルで置き換えることにより、不良セルの救済を行うようにしたものである。通常、不良セルの置き換えは、メモリセルの集合 (スペア) を単位として行われる。つまり、不良セルの救済は、 ROW 単位、カラム単位、ブロック単位で行われる。 40

【0005】

不良セルをスペアによって置き換える場合、その不良セルを特定するアドレス (不良アドレス) を記憶しておく必要がある。このような不良アドレスは、ヒューズと呼ばれる素子によって記憶するのが一般的である。

【0006】

ヒューズには、いくつかの種類がある。DRAM や SRAM などのメモリマクロでは、一般的に光ヒューズが使用されている。光ヒューズとは、特定の層の配線を、レーザー光の照射により発生する熱によって溶断できるように形成したものである。光ヒューズの場合 50

、配線が切れているかいないかの違いによって1ビット (b i t) のデータを記憶する。この光ヒューズは、チップをパッケージ内に封入する前に行われるテストによって発見された不良セルを救済する場合に、主に用いられる。

【 0 0 0 7 】

光ヒューズは、使用するレーザー光の波長によって素子のサイズ (配線幅) が決まる。そのため、チップにおける回路の微細化に歩調を合わせることができない。したがって、光ヒューズはトランジスタなどの半導体素子と比べるとサイズが大きい。

【 0 0 0 8 】

また、光ヒューズは、直接レーザー光を照射し、配線を溶断するものである。そのため、光ヒューズの上には、他の配線や接続電極を形成することができない。一般に、溶断という物理的な破壊によるダメージを避けるため、光ヒューズの下にも回路は配置されない。

10

【 0 0 0 9 】

以上の理由により、光ヒューズをメモリマクロ内に配置すると、大きな面積を占めることになる。また、それだけでなく、フロアプランや配線レイアウトにも大きな制約が課せられることになる。

【 0 0 1 0 】

特に、Flip Chip BGA (フリップ チップ ボールグリッドアレイ) は、チップ上に形成される bumps と呼ばれる接続電極を介して、チップを配線用基板に直に接続する構造である。そのため、このパッケージを選択した場合、光ヒューズの上には bumps を形成できないという問題が生じる。

20

【 0 0 1 1 】

上記のような問題を解決するために、メモリマクロの外部に光ヒューズをまとめて配置する。そして、メモリマクロの初期化の時点で、光ヒューズに記憶されているヒューズデータを、メモリマクロへ転送する方式が考えられている。

【 0 0 1 2 】

以下、メモリマクロの外部に、光ヒューズおよびヒューズデータの読み出しや転送に必要な回路をまとめたものを、ヒューズボックスと呼ぶことにする。ヒューズボックスは、複数のメモリマクロで共有することもできる。このような場合、ヒューズボックス内には非常に多くの光ヒューズが含まれることになる。

【 0 0 1 3 】

実際の製品レベルにおいて、予備のメモリセルは、その多くが未使用のまま残る。その場合、未使用の予備のメモリセルに対応する光ヒューズも未使用のまま残ることになる。よって、すべての光ヒューズに記憶されているデータをビット列として見ると、プログラムされていない状態 “ 0 (ヒューズが未切断) ” が、プログラムされた状態 “ 1 (ヒューズが切断) ” に比べて多く、また連続して現われることになる。

30

【 0 0 1 4 】

このような偏ったデータは、データ圧縮の効果が大きい。そこで、光ヒューズには、圧縮データをプログラムするようにする。そして、データ転送時にデータ伸長を行う。こうすることで、データ伸長のためのロジック回路を付加したとしても、ヒューズボックスの面積を大きく削減できる。このような、圧縮されてプログラムされたヒューズデータの伸長のためのロジック回路をもつヒューズボックスが、既に提案されている (たとえば、非特許文献 1 参照) 。

40

【 0 0 1 5 】

【 非特許文献 1 】

“ Shared fuse macro for multiple embedded memory devices with redundancy ” , Proceedings of the IEEE 2001 Custom Integrated Circuits Conference , pp . 191 - 194 , 2001 .

通常、単にヒューズという場合、光ヒューズを指す場合が多い。ヒューズには、電気ヒューズと呼ばれる、電氣的に素子の状態を変化させることにより、データを記憶するタイプ

50

のものもある。この電気ヒューズは、ヒューズとして使用する素子やデータを記憶する方法に応じて多くの種類に分けられる。幾つかの例を上げると、配線に大電流を流すことで発生するジュール熱によって配線を溶断するものや、高電圧の印加により素子の絶縁膜を破壊するものなどがある。この素子の絶縁膜を破壊するタイプの電気ヒューズは、データを書き込む前が絶縁状態で、データを書き込んだ後が導通状態である。このため、アンチヒューズと呼ばれることもある。

【0016】

電気ヒューズは、主に、チップのパッケージ内への封入後に行われるテストによって発見された不良セルの救済に用いられる。また、回路のチューニングに使用することもできる。このように、電気ヒューズは、歩留まりの向上が期待できるために、チップ上への搭載の要求がある。

10

【0017】

電気ヒューズがあれば、光ヒューズはいらないというものではない。たとえば、ウェーハの段階では、大多数の不良セルを光ヒューズにより救済する。また、パッケージング後に発生した少数の不良セルは電気ヒューズを用いて救済する、という運用が考えられている。

【0018】

チップ上に電気ヒューズを搭載する場合において、たとえそれが少数の不良セル分であるとしても、電気ヒューズをASIC内の各メモリマクロの内部に分散して配置しようとすると、以下のような問題がある。

20

【0019】

大電流または高電圧を外部から供給する場合、使用できる接続端子には限りがある。そのため、電源配線を各メモリマクロに共通に接続する必要がある。しかしながら、この電源配線は、電圧降下が生じないように非常に強固なものにしなければならない。また、高電圧を発生させる内部昇圧回路を各メモリマクロの近傍に配置する方法もある。しかしながら、昇圧回路は大きな回路面積を占める。しかも、実際のメモリ動作では全く使われない複数の昇圧回路を、チップ内にもつことは非常に好ましくない。したがって、電気ヒューズの場合にも、ヒューズボックスという形でまとめて配置するのが有効である。

【0020】

ヒューズボックスにプログラムされた不良アドレス、いわゆるヒューズデータは、初期化時に、ヒューズボックスからメモリマクロへと転送される。ヒューズボックス内が光ヒューズだけであれば、単純に、その内容をメモリマクロにシリアル転送すればよい。

30

【0021】

図15に示すように、たとえば、1つのヒューズボックス(Fuse Box)101を複数のメモリマクロ(DRAM Macro)201, (DRAM Macro)202, (SRAM Macro)203で共有する場合には、各メモリマクロ201, 202, 203をデジチェーンにより接続する。こうすれば、ヒューズデータ(data)の転送は単純なシリアル転送でよい。

【0022】

しかし、ヒューズボックス内に光ヒューズおよび電気ヒューズの両方が設けられている場合には、不良アドレスだけでなく、電気ヒューズのデータをどの時点で転送するかを知る必要がある。また、その際には、たとえば、何番目のDRAMマクロの何番目のスペア、また別のDRAMマクロの何番目のスペア、何番目のSRAMマクロの何番目のスペアというように、メモリマクロの種類や構成に応じたあらゆる組み合わせに対応させることが重要となる。

40

【0023】

このような組み合わせは膨大な数になる。これらの組み合わせのすべてに対して、逐次、ヒューズボックスのハード構成を変更することは、その都度、設計や検証のための作業が必要となり、好ましいものではない。

【0024】

50

ヒューズデータの転送に関しては、光ヒューズ用のデータバスと電気ヒューズのデータバスとを分離する方法もある。また、任意のヒューズセットにおいて、電気ヒューズのデータによって光ヒューズのデータを置き換える方法もある。しかしながら、これらの方法では、メモリマクロ内のヒューズデータのデータバスのための回路が複雑になる。それを防ぐためには、電気ヒューズの対応するヒューズセットを限定する、あるいは、電気ヒューズ専用の予備のメモリセルを別に用意しなければならない。

【 0 0 2 5 】

【 発明が解決しようとする課題 】

本発明は、上記のような問題点に鑑みなされたもので、その目的とするところは、ヒューズボックスという形態において、リダンダンシのためのアドレス情報の圧縮を実現し、チップ面積を削減するとともに、複数のメモリマクロでヒューズボックスを共有する場合や、ヒューズボックス内に光ヒューズおよび電気ヒューズの両方が設けられている場合にも、ヒューズボックスのハード構成を変えることなく、メモリマクロの種類や構成に応じた多様な組み合わせに柔軟に対応することが可能な半導体集積回路装置を提供することにある。

10

【 0 0 2 6 】

【 課題を解決するための手段 】

上記の目的を達成するために、この発明の半導体集積回路装置にあっては、複数のメモリセルがアレイ状に配置されたメモリセルアレイと、複数の予備のメモリセルを有し、前記メモリセルアレイにおける不良のメモリセルを、プログラムされたアドレス情報にもとづいて特定の予備のメモリセルと置き換えるための冗長回路と、前記アドレス情報をプログラムするための、複数の不揮発性記憶素子を有する記憶回路と、前記冗長回路に対し、前記記憶回路にプログラムされた前記アドレス情報を転送するための転送回路とを具備し、前記転送回路の動作を、前記記憶回路にプログラムされたコマンド情報にしたがって制御することを特徴とする。

20

【 0 0 2 7 】

この発明の半導体集積回路装置によれば、アドレス情報と同じく、記憶回路にプログラムされたコマンド情報によって転送回路の動作を制御できるようになる。これにより、アドレス情報の圧縮とともに、多様なメモリ構成に対しても広く対応することが可能となるものである。

30

【 0 0 2 8 】

【 発明の実施の形態 】

以下、この発明の実施の形態について図面を参照して説明する。

【 0 0 2 9 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態にかかる半導体集積回路装置 (混載メモリ) の構成例を示すものである。

【 0 0 3 0 】

図 1 において、記憶転送回路部をなすヒューズボックス (Fuse Box) 1 1 は、たとえば、種類の異なる複数のメモリマクロ (半導体メモリ回路部) 2 1 , 2 2 , 2 3 により共有されている。この場合、ヒューズボックス 1 1 および各メモリマクロ 2 1 , 2 2 , 2 3 は、データ (data) 線 3 1 と転送クロック (clock) 線 3 2 とによって、デューティチェーン接続されている。これにより、リダンダンシのためのアドレス情報などは、外部のヒューズボックス 1 1 より、各メモリマクロ 2 1 , 2 2 , 2 3 に供給されるようになっている。

40

【 0 0 3 1 】

上記ヒューズボックス 1 1 は、たとえば、ヒューズデータ (Fuse Data) をプログラムするための複数のヒューズ (不揮発性記憶素子) 、および、そのヒューズデータの読み出しや転送に必要な回路を含んで構成されている。

【 0 0 3 2 】

50

ここで、上記ヒューズは、レーザー光によって溶断されることによりヒューズデータがプログラムされる光ヒューズ（第1の不揮発性記憶素子群）、または、電氣的に状態を変化させることによりヒューズデータがプログラムされる電気ヒューズ（第2の不揮発性記憶素子群）のいずれかが用いられる。また、上記ヒューズデータとは、たとえば、上記アドレス情報やそのアドレス情報などの転送を制御するためのコマンド情報（詳細については、後述する）である。

【0033】

上記メモリマクロ21, 22, 23は、それぞれ、メモリセルアレイと冗長回路とを有して構成されている。また、上記メモリマクロ21, 22, 23は、それぞれ、アドレス情報などを転送するためのシフトレジスタを備えている。本実施形態の場合、上記メモリマクロ21, 22, 23は、たとえば、第1のDRAM Macro(21)、この第1のDRAM Macro(21)とは別の構成を有する第2のDRAM Macro(22)、および、SRAM Macro(23)を含んで構成されている。

10

【0034】

データ線31は、リダンダンシのためのアドレス情報などを、上記各メモリマクロ21, 22, 23に転送するためのものである。なお、アドレス情報を含む転送用データの転送は、上記ヒューズにプログラムされたコマンド情報にしたがって制御される。

【0035】

転送クロック線32は、上記ヒューズボックス11によって駆動されるようになっている。

20

【0036】

図2は、上記ヒューズデータの一例を示すものである。

【0037】

ヒューズに実際にプログラムされるヒューズデータのうち、リダンダンシのためのアドレス情報は、たとえば同図(a)に示すように、イネーブルビット(Enable bit)「En」とアドレス「Address」とによって構成される。

【0038】

不良セルをスペアによって救済する場合、アドレス情報としては、たとえば同図(b)に示すように、イネーブルビット「En」に“1”がセットされる(プログラムされた状態)。そして、アドレス「Address」には、使用するスペアに対応した不良アドレスが書き込まれる。

30

【0039】

スペアが未使用の場合、この場合のアドレス情報は、たとえば同図(c)に示すように、イネーブルビット「En」およびアドレス「Address」が共に何もプログラムされていない状態、つまり、すべてのビットが“0”になる。

【0040】

ここで、このヒューズデータの場合、たとえば同図(d)に示すように、“0, 1”で始まる所定のパターンデータをヘッダとしてもつアドレス情報はありえない。そこで、このありえないパターンデータ“0, 1”をヘッダにもつビット列を、アドレス情報とは区別して、コマンド情報(command)として認識することが可能である。

40

【0041】

この方法は、コマンド情報とアドレス情報とを区別するための一つの例であり、他の方法を用いることも可能である。

【0042】

コマンド情報としては、たとえば同図(e)に示すように、“0, 1”のパターンデータをもつヘッダとは別に、そのコマンド情報の種類を表わすオペコード(Opcode)と、コマンド情報の対象となるオペランド(Operand)の、2つのフィールドを有して構成されている。

【0043】

どのようなコマンド情報を用意するかは、様々な選択肢があり得る。本実施形態では、以

50

下の3つのコマンド情報を用意した場合について説明する。

【0044】

図3は、本実施形態において、用意されたコマンド情報(コマンドセット)の一例を示すものである。なお、実際のコマンド情報において、「opcode」はビットの列である。ここでは、便宜上、ニーモニック(mnemonic)として、文字列からなる名前で表わしている。また、「operand」には数字が入る。ここでは、その数字の意味を説明している。

【0045】

たとえば、Data Lengthは、データ長(データのビット数)を設定するためのコマンドである。このコマンドは、データ長ごとにヒューズデータのヘッダのチェックを行って、アドレス情報かコマンド情報かを判定するように、転送のための回路を制御するものである。

【0046】

Skipは、特定(operand×データ長)の期間、“0”を出力させるためのコマンドである。つまり、スペアが未使用であることを意味する転送用データ(特定のパターンデータ)を必要なだけ生成するように、転送のための回路を制御する。こうすることで、ヒューズデータの圧縮による、ヒューズボックス11の面積の大幅な削減が可能となる。

【0047】

No Evalは、特定(operand×データ長)の期間、ヒューズデータのヘッダのチェックを実行させないためのコマンドである。このコマンドは、回路のチューニングのための情報など、ランダムなビットデータを転送する場合に使用することを想定している。

【0048】

ここで、上記したヒューズボックス11およびメモリマクロ21, 22, 23の構成について、より詳細に説明する。

【0049】

図4は、ヒューズボックス11およびメモリマクロ21, 22, 23の構成を、より具体化して示すものである。なお、ここでは、ヒューズデータの転送に関する回路ブロックを中心に示している。

【0050】

ヒューズボックス11内には、記憶回路を構成する複数のヒューズ12が設けられている。また、ヒューズラッチ(Latch)13は、それぞれのヒューズ12にプログラムされたヒューズデータを読み出すためのものである。シフトレジスタ(shift register)14は、読み出されたヒューズデータをシリアル転送するためのものである。転送回路としてのデータ転送ロジック(Data Transfer Logic)15は、上記メモリマクロ21, 22, 23にヒューズデータを転送するためのものである。また、データ転送ロジック15は、上記ヒューズデータがコマンド情報の場合に、そのコマンドをデコードし、実際に転送する転送用データを作成するように構成されている。

【0051】

メモリマクロ21(22, 23)内には、それぞれ、メモリセルアレイ24および冗長回路25が設けられている。また、シフトレジスタ26は、データ線31と転送クロック線32とを介して、上記ヒューズボックス11より送られてくるデータをシリアル転送するためのものである。上記メモリセルアレイ24は、通常メモリセルが複数アレイ状に配置されている。上記冗長回路25は、通常メモリセルとは別に用意された、予備メモリセルを複数備えて構成されている。

【0052】

図5は、上記のヒューズ12にプログラムされているヒューズデータ(同図(a)参照)と、実際に転送される転送用データ(同図(b)参照)の一例を、それぞれ対比して示すものである。

10

20

30

40

50

【0053】

ヒューズデータにおいて、最初のコマンド「Data Length」は、データ長を設定するためのものである。よって、データ転送ロジック15より転送される転送用データに対応するものはない。

【0054】

次ぎの「data」は実際に有効なデータである（for redundancy）。このデータは、データ転送ロジック15よりメモリマクロ21, 22, 23へと、そのまま転送される。

【0055】

次ぎのコマンド「Skip 6」は、たとえば、“現在のデータ長で、6データ分をスキップせよ”というコマンドである。データ転送ロジック15において、このコマンドが実行されると、メモリマクロ21, 22, 23に対し、6データ分のすべてのビットについて“0”のデータが転送される（Skip by command）。

10

【0056】

次ぎの「data」は実際に有効なデータである。このデータは、データ転送ロジック15よりメモリマクロ21, 22, 23へと、そのまま転送される。

【0057】

次ぎのコマンドは「No Eval」である。このコマンドが実行されると、データ転送ロジック15では、たとえば、指定したデータ長分だけはコマンドの判定を行わず、このコマンドに続くデータをそのまま転送する（for trimming）。

20

【0058】

次ぎのコマンド「Data Length」により、データ長が変更される。これは、ここでスペアの種類が変わることを想定してのものである。これにより、このコマンド以降は、転送用データのデータ長が変更される。したがって、以降のコマンド「Skip 7」で生成されるすべてのビットが“0”のデータも、このデータ長をもとに作られる。

【0059】

次ぎの「data」は実際に有効なデータである。このデータは、データ転送ロジック15よりメモリマクロ21, 22, 23へと、そのまま転送される。

【0060】

次ぎのコマンド「Skip 7」は、たとえば、“現在（変更後）のデータ長で、7データ分をスキップせよ”というコマンドである。データ転送ロジック15において、このコマンドが実行されると、メモリマクロ21, 22, 23に対し、変更後のデータ長をもとに、7データ分のすべてのビットについて“0”のデータが転送される（Skip by command）。

30

【0061】

このように、コマンド「Skip」を使用することにより、コマンドのオーバヘッドを含めても、全体でのデータ圧縮の効果を上げることが可能となる。すなわち、「Skip n」というコマンドによってデータ転送ロジック15を制御することにより、連続するnデータ分のすべてのビットに対し、“0”のデータが生成される。その結果、nデータ分のすべてのビットを、高圧縮データとしてプログラムすることが可能となる。

40

【0062】

上記したように、アドレス情報と同じく、ヒューズにプログラムされたコマンド情報によって、データ転送ロジックの動作を制御できるようにしている。

【0063】

すなわち、コマンド「Skip n」を使用して、データ転送ロジックを制御するようになった場合、連続するnデータ分のすべてのビットに対して、“0”のデータを生成できるようになる。これにより、nデータ分のすべてのビットを、圧縮率の高いデータとしてプログラムすることが可能となる。したがって、ヒューズデータの圧縮によるヒューズボックスの面積の削減が可能になる。

【0064】

50

特に、ヒューズにプログラムされたコマンドを使用することで、単にアドレス情報の圧縮に限らず、ヒューズボックスのハード構成を変えることなしに、多様なメモリ構成に対しても柔軟に対応することが可能である。

【0065】

(第2の実施形態)

図6は、本発明の第2の実施形態にかかり、半導体集積回路装置(混載メモリ)に用いられるヒューズボックスの構成例を示すものである。なお、ここでは、上記ヒューズ12を、光ヒューズと電気ヒューズの両方を用いて構成し、電気ヒューズのデータ(第2のグループ)によって、光ヒューズのデータ(第1のグループ)を置き換える場合について説明する。

10

【0066】

以下、本実施形態においては、出力するデータがビット列の何番目かという情報をシリアルアドレス(制御データ)と呼ぶことにする。つまり、データ転送ロジックが電気ヒューズのデータを転送するためには、不良アドレスと、その不良アドレスをいつ送るかを表わすシリアルアドレスの二つの情報が必要である。

【0067】

シリアルアドレスがハードウェア的に固定されていると、多様なメモリ構成に対して、自由度の高い置き換えができなくなる。したがって、このシリアルアドレスも、電気ヒューズを用いてプログラムする必要がある。

【0068】

図6に示すように、記憶回路は、第1の不揮発性記憶素子群である複数の光ヒューズからなるPROM(Optical Fuse PROM)12Aと、第2の不揮発性記憶素子群である複数の電気ヒューズからなるPROM(Electrical Fuse PROM)12Bとを有して構成されている。上記PROM12Aは、実際に転送する光ヒューズのデータである不良アドレス(address)情報やコマンド情報を記憶する。上記PROM12Bは、電気ヒューズのデータの転送を開始すべきシリアルアドレス(Serial Addr.)と、実際に転送するデータである不良アドレス(address)情報をそれぞれ記憶する、二つのフィールドを持つ。

20

【0069】

カウンタ(counter)16は、転送クロックをカウントする。

30

【0070】

コンパレータ(Comparator)17は、上記カウンタ16のカウント出力と上記PROM12Bのシリアルアドレスとを比較する。そして、その比較結果に応じて、データセクタ(Data Selector)18および上記データ転送ロジック15内のMUXコントローラ(MUX Control)15aを制御する。

【0071】

データセクタ18は、上記コンパレータ17の比較結果に応じた上記PROM12Bの不良アドレス情報を、上記データ転送ロジック15内のデータMUX(Data MUX)15bに出力させる。

【0072】

このデータMUX15bには、コマンドデコーダ(Command Decoder)15cを介して、上記PROM12Aの光ヒューズからのデータがシリアル転送される。

40

【0073】

MUXコントローラ15aは、上記コンパレータ17の比較結果に応じて、上記データ転送ロジック15内のデータMUX15bを制御する。

【0074】

データMUX15bは、上記MUXコントローラ15aの制御のもと、上記PROM12Aの光ヒューズからのデータと、上記PROM12Bの電気ヒューズからのデータとの転送を切り換える。

【0075】

50

たとえば、PROM 12 B にプログラムされたシリアルアドレスとカウンタ 16 のカウント出力とが一致した場合、対応するコンパレータ 17 の出力が活性化される。これにより、MUX コントローラ 15 a は、対応する電気ヒューズからの不良アドレス情報を転送するように、データ MUX 15 b を制御する。

【0076】

シリアルアドレスはデータの切り換えの先頭だけを指定するものであるので、必要なビット数が転送されたら、もとに戻る必要がある。この必要なビット数としては、たとえば光ヒューズにコマンド「Data Length」としてプログラムされているデータ長の現在の設定値が使われる。

【0077】

なお、上記した構成のヒューズボックスにおいては、たとえば図7に示すように、電気ヒューズ側のPROM 12 B'のシリアルアドレスを固定データとし、有効な電気ヒューズからのデータを転送すべきシリアルアドレスの位置に自動的に（もしくは、強制的）に挿入させるように構成することも可能である。この場合、図6に示したカウンタ16およびコンパレータ17が不要になるだけでなく、光ヒューズ側のPROM 12 A'はコマンド情報をプログラムする必要がなくなるため、コマンドデコーダ15 cも省略できる。

【0078】

また、ヒューズボックスとしては、たとえば図8に示すように、電気ヒューズ側のPROM 12 B aを光ヒューズ側のPROM 12 Aと同様に、データをシリアル転送するように構成することも可能である。その場合、データ転送ロジック15に、PROM 12 B aの電気ヒューズにプログラムされたコマンド情報を実行するためのコマンドデコーダ15 dを付加する。こうして、PROM 12 B aの電気ヒューズに、必要な分だけコマンド「Skip」をプログラムすることによって、有効な電気ヒューズからのデータを転送すべきシリアルアドレスの位置まで持っていくという方法もある。

【0079】

図9は、図8の構成における、各ヒューズデータと各ヒューズデータのデコードデータとを、それぞれ示すものである。

【0080】

この例の場合、同図(a)は、光ヒューズ側のPROM 12 Aの内容（光ヒューズのデータ）である。

【0081】

同図(b)は、電気ヒューズ側のPROM 12 B aの内容（電気ヒューズのデータ）である。

【0082】

同図(c)は、光ヒューズからのデータをコマンドデコーダ15 cによりデコードして作られるデコードデータである。

【0083】

同図(d)は、電気ヒューズからのデータをコマンドデコーダ15 dによりデコードして作られるデコードデータである。

【0084】

同図(e)は、デコードデータをもとにデータMUX 15 bにて生成される、実際にメモリマクロに転送される転送用データである。

【0085】

このように、電気ヒューズのデータが有効（Enableビットが“1”）の場合に、光ヒューズからのデータに代わって、電気ヒューズからのデータが転送されるように、データMUX 15 bを制御する。こうすることにより、有効な電気ヒューズからの不良アドレス情報によって、光ヒューズからの不良アドレス情報の一部が置き換えられて、メモリマクロに転送されることになる。

【0086】

（第3の実施形態）

10

20

30

40

50

図10は、この第3の実施形態において、用意されたコマンド情報の一例を示すものである。なお、本実施形態では、上述した3つのコマンド「Data Length」、「Skip」、「No Eval」の他に、さらに、もう1つのコマンド「Trigger」を追加した場合について説明する。

【0087】

Triggerは、たとえば、各メモリマクロに固有のマクロID（固有の識別コード）を出力するためのコマンドである。このコマンドは、マクロIDに対応する、特定のメモリマクロでのデータの受信を制御するために用いられるものである。

【0088】

図11は、図10に示した4つのコマンドを用いるようにした場合の、半導体集積回路装置（混載メモリ）の構成例を示すものである。

10

【0089】

図11において、記憶転送回路部をなすヒューズボックス（Fuse Box）11は、たとえば、種類の異なる複数のメモリマクロ（半導体メモリ回路部）21, 22により共有されている。この場合、ヒューズボックス11および各メモリマクロ21, 22は、データ（data）線31と転送クロック（clock）線32と信号線（Trigger）33とによって、バス接続されている。つまり、ヒューズボックス11および各メモリマクロ21, 22は、データ線31、転送クロック線32および信号線33に、それぞれ接続されている。これにより、リダンダンシのためのアドレス情報などは、外部のヒューズボックス11より、各メモリマクロ21, 22に供給されるようになっている。

20

【0090】

上記ヒューズボックス11は、たとえば、ヒューズデータ（Fuse Data）をプログラムするための複数のヒューズ（不揮発性記憶素子）、および、そのヒューズデータの読み出しや転送に必要な回路を含んで構成されている。

【0091】

ここで、上記ヒューズは、レーザー光によって溶断されることによりヒューズデータがプログラムされる光ヒューズ（第1の不揮発性記憶素子群）、または、電氣的に状態を変化させることによりヒューズデータがプログラムされる電気ヒューズ（第2の不揮発性記憶素子群）のいずれかが用いられる。また、上記ヒューズデータとは、たとえば、上記アドレス情報やそのアドレス情報などの転送を制御するためのコマンド情報である。

30

【0092】

上記メモリマクロ21, 22は、それぞれ、メモリセルアレイと冗長回路とを有して構成されている。また、上記メモリマクロ21, 22は、それぞれ、アドレス情報などを格納するためのシフトレジスタを備えている。本実施形態の場合、上記メモリマクロ21, 22は、たとえば、第1のDRAM Macro、および、この第1のDRAM Macroとは別の構成を有する第2のDRAM Macro、もしくは、SRAM Macroを含んで構成されている。

【0093】

さらに、上記メモリマクロ21, 22には、前もって、それぞれ固有のマクロIDが付与されている。たとえば、メモリマクロ21には「ID=1」が、また、メモリマクロ22には「ID=2」が、それぞれ付与されている。よって、このマクロIDを指定することにより、メモリマクロ21, 22でのデータの受信を制御することが可能となる。たとえば、マクロIDが一致するメモリマクロでのみ、データの取り込みを開始するように制御できる。

40

【0094】

データ線31は、リダンダンシのためのアドレス情報などを、上記各メモリマクロ21, 22に転送するためのものである。なお、アドレス情報を含む転送用データの転送は、上記ヒューズにプログラムされたコマンド情報にしたがって制御される。

【0095】

転送クロック線32は、上記ヒューズボックス11によって駆動されるようになっている

50

。

【0096】

信号線33は、上記ヒューズにプログラムされたコマンド情報に含まれるマクロIDを、上記各メモリマクロ21, 22に取り込ませるために活性化されるものである。

【0097】

上記した構成において、たとえば図12(a)に示すようなコマンド情報が、ヒューズボックス11内のヒューズにプログラムされているとする。そして、上記ヒューズボックス11内のデータ転送ロジックにより、コマンド「Trigger 1」が実行されたとする。すると、図12(b)に示すように、信号線33が活性化されるとともに、図12(d)に示すように、データ線31にマクロID(たとえば、ID=1)が出力される。

10

【0098】

これに対し、各メモリマクロ21, 22は、データ線31を転送されるマクロIDを取り込み、自身のマクロIDと比較する。そして、マクロIDが一致するメモリマクロ(この例の場合、メモリマクロ21)において、マクロIDに続く、データ(data format macro 1)の取り込みが行われる。一方、マクロIDが一致しないメモリマクロ(この例の場合、メモリマクロ22)では、データの取り込みは行われない。

【0099】

このように、コマンド「Trigger」を使用することによって、ヒューズボックス11および各メモリマクロ21, 22のバス接続が可能になる。その結果、メモリマクロ21, 22に前もって付与された固有のマクロIDの指定により、そのマスクIDに対応するメモリマクロ21, 22でのデータの受信を制御できるようになる。

20

【0100】

なお、共通のバスに対し、複数のヒューズボックスを接続することも可能である。

【0101】

図13は、図11に示した構成の半導体集積回路装置(混載メモリ)において、複数のヒューズボックスを備えて構成するようにした場合を例に示すものである。

【0102】

図13に示すように、記憶転送回路部をなすヒューズボックス(Fuse Box)11a, 11b、および、種類の異なる複数のメモリマクロ(半導体メモリ回路部)21, 22は、データ(data)線31と転送クロック(clock)線32と信号線(Trigger)33とによって、バス接続されている。これにより、リダンダンシのためのアドレス情報などは、外部のヒューズボックス11a, 11bより、各メモリマクロ21, 22に供給されるようになっている。

30

【0103】

上記ヒューズボックス11a, 11bは、たとえば、ヒューズデータ(Fuse Data)をプログラムするための複数のヒューズ(不揮発性記憶素子)、および、そのヒューズデータの読み出しや転送に必要な回路を含んで構成されている。

【0104】

ここで、上記ヒューズは、レーザー光によって溶断されることによりヒューズデータがプログラムされる光ヒューズ(第1の不揮発性記憶素子群)、または、電氣的に状態を変化させることによりヒューズデータがプログラムされる電気ヒューズ(第2の不揮発性記憶素子群)のいずれかが用いられる。そして、これら同じ種類のヒューズボックス11a, 11bには、前もって、それぞれ固有のヒューズIDが付与されている。たとえば、上記ヒューズボックス11aには「ID=0」が、また、上記ヒューズボックス11bには「ID=1」が、それぞれ付与されている。

40

【0105】

一方、上記メモリマクロ21, 22は、たとえば、第1のDRAM Macro、および、この第1のDRAM Macroとは別の構成を有する第2のDRAM Macro、もしくは、SRAM Macroを含んで構成されている。また、上記メモリマクロ21, 22には、前もって、それぞれ固有のマクロIDが付与されている。たとえば、メモリ

50

マクロ 2 1 には「 I D = 2 」が、また、メモリマクロ 2 2 には「 I D = 3 」が、それぞれ付与されている。

【 0 1 0 6 】

図 1 3 のように、ヒューズボックスが複数ある場合、たとえば、最初に動作するヒューズボックス 1 1 a のヒューズ I D は “ 0 ” と決めておく。そして、このヒューズボックス 1 1 a には、データの最後にコマンド「 T r i g g e r 」をプログラムしておく。また、その「 o p e r a n d 」には、ヒューズボックス 1 1 b のヒューズ I D (= 1) を指定しておく。

【 0 1 0 7 】

こうして、以後、ヒューズボックス 1 1 b にバスの制御が移るようにする。これにより、複数のヒューズボックス 1 1 a , 1 1 b が共通のバスに接続されてなる場合にも、各ヒューズボックス 1 1 a , 1 1 b からのデータ転送が個々に可能となる。

10

【 0 1 0 8 】

このような構成によれば、共通のバス上に、複数のヒューズボックスを自由に配置できる。このため、より柔軟な配置が可能となる。また、複数のヒューズボックスを組み合わせることが可能となる。したがって、少ない種類のヒューズボックスを用意するだけで、多様なシステムに対応できる。

【 0 1 0 9 】

(第 4 の実施形態)

図 1 4 は、本発明の第 4 の実施形態にかかる半導体集積回路装置 (混載メモリ) の構成例を示すものである。

20

【 0 1 1 0 】

図 1 4 において、記憶転送回路部をなすヒューズボックス (F u s e B o x) 1 1 A , 1 1 B 、および、種類の異なる複数のメモリマクロ (半導体メモリ回路部) 2 1 , 2 2 は、データ (d a t a) 線 3 1 と転送クロック (c l o c k) 線 3 2 と信号線 (T r i g g e r) 3 3 と信号線 (E F U S E) 3 4 とによって、バス接続されている。これにより、リダンダンシのためのアドレス情報などは、外部のヒューズボックス 1 1 A , 1 1 B より、各メモリマクロ 2 1 , 2 2 に供給されるようになっている。

【 0 1 1 1 】

上記ヒューズボックス 1 1 A , 1 1 B は、たとえば、ヒューズデータ (F u s e D a t a) をプログラムするための複数のヒューズ (不揮発性記憶素子) 、および、そのヒューズデータの読み出しや転送に必要な回路を含んで構成されている。

30

【 0 1 1 2 】

上記ヒューズボックス 1 1 A , 1 1 B のうち、たとえば光ヒューズ専用ヒューズボックス (O p t i c a l F u s e B o x) 1 1 A は、レーザー光によって溶断されることによりヒューズデータがプログラムされる、複数の光ヒューズ (第 1 の不揮発性記憶素子群) を有して構成されている。このヒューズボックス 1 1 A は、上述した第 1 の実施形態に示したヒューズボックス 1 1 とほぼ同様に動作する。

【 0 1 1 3 】

また、上記ヒューズボックス 1 1 A とは種類の異なる、たとえば電気ヒューズ専用ヒューズボックス (E l e c . F u s e B o x) 1 1 B は、電氣的に状態を変化させることによりヒューズデータがプログラムされる、複数の電気ヒューズ (第 2 の不揮発性記憶素子群) を有して構成されている。このヒューズボックス 1 1 B の場合、クロックは駆動せず、上記ヒューズボックス 1 1 A からのクロックに同期して動作する。

40

【 0 1 1 4 】

一方、上記メモリマクロ 2 1 , 2 2 は、それぞれ、メモリセルアレイと冗長回路とを有して構成されている。また、上記メモリマクロ 2 1 , 2 2 は、それぞれ、アドレス情報などを転送するためのシフトレジスタを備えている。本実施形態の場合、上記メモリマクロ 2 1 , 2 2 は、たとえば、第 1 の D R A M M a c r o 、および、この第 1 の D R A M M a c r o とは別の構成を有する第 2 の D R A M M a c r o 、もしくは、 S R A M M a

50

croを含んで構成されている。また、上記メモリマクロ21, 22には、前もって、それぞれ固有のマクロIDが付与されている。たとえば、メモリマクロ21には「ID=1」が、また、メモリマクロ22には「ID=2」が、それぞれ付与されている。

【0115】

データ線31は、リダンダンシのためのアドレス情報などを、上記各メモリマクロ21, 22に転送するためのものである。なお、アドレス情報を含む転送用データの転送は、上記ヒューズにプログラムされたコマンド情報にしたがって制御される。

【0116】

転送クロック線32は、上記ヒューズボックス11Aによって駆動されるようになっている。

10

【0117】

信号線33は、上記ヒューズにプログラムされたコマンド情報に含まれるマクロIDを、上記各メモリマクロ21, 22に転送するために活性化されるものである。

【0118】

信号線34は、電気ヒューズからのデータ転送を優先させる場合に活性化されるものである。

【0119】

上記した構成においては、光ヒューズからのデータ転送に対し、電気ヒューズからのデータ転送を優先させる場合、つまり、ヒューズボックス11Bにプログラムされたシリアルアドレスによってデータ転送を行おうとする場合、まず、信号線34を活性化させる。また、ヒューズボックス11Aは、上記信号線34が活性化されている間、データの外部への出力を停止するようにする。その他の動作は、上述した第3の実施形態の場合と同じである。

20

【0120】

このように、信号線34が活性化されている間は、ヒューズボックス11Bにバスの制御が移るようにしている。これにより、共通のバスに対し、異なる種類のヒューズボックス11A, 11Bを接続することが可能となる。すなわち、種類の異なる複数のヒューズボックス11A, 11Bが共通のバスに接続されてなる場合にも、各ヒューズボックス11A, 11Bからのデータ転送が個々に可能となる。

【0121】

本実施形態によれば、光ヒューズ専用ヒューズボックスおよび電気ヒューズ専用ヒューズボックスを、それぞれ、別個のメモリマクロの専用ヒューズボックスとすることができる。よって、最小限の種類ヒューズボックスを用意するだけで、多様な組み合わせが可能となるとともに、より柔軟な配置が可能になる。

30

【0122】

その他、本発明は、上記(各)実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記(各)実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、(各)実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題(の少なくとも一つ)が解決でき、発明の効果の欄で述べられている効果(の少なくとも一つ)が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

40

【0123】

【発明の効果】

以上、詳述したようにこの発明によれば、ヒューズボックスという形態において、リダンダンシのためのアドレス情報の圧縮を実現し、チップ面積を削減するとともに、複数のメモリマクロでヒューズボックスを共有する場合や、ヒューズボックス内に光ヒューズおよび電気ヒューズの両方が設けられている場合にも、ヒューズボックスのハード構成を変えなく、メモリマクロの種類や構成に応じた多様な組み合わせに柔軟に対応することが可能な半導体集積回路装置を提供できる。

50

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態にかかる半導体集積回路装置（混載メモリ）の構成例を示すブロック図。

【図 2】図 1 の混載メモリにおける、ヒューズデータの一例を示す概略構成図。

【図 3】図 1 の混載メモリにおいて、用意されたコマンド情報の一例を示す図。

【図 4】図 1 の混載メモリにおいて、ヒューズボックスおよびメモリマクロの構成を、より具体化して示すブロック図。

【図 5】ヒューズにプログラムされるヒューズデータと、実際に転送される転送用データの一例を示す概略図。

【図 6】本発明の第 2 の実施形態にかかり、半導体集積回路装置（混載メモリ）に用いられるヒューズボックスの構成例を示すブロック図。 10

【図 7】ヒューズボックスの他の構成例を示すブロック図。

【図 8】図 6 に示したヒューズボックスの、さらに別の構成例を示すブロック図。

【図 9】図 8 の構成のヒューズボックスにおける、ヒューズデータとそのデコードデータの一例を示す概略図。

【図 10】本発明の第 3 の実施形態にかかる混載メモリにおいて、用意されたコマンド情報の一例を示す図。

【図 11】図 10 のコマンド情報を用いる、半導体集積回路装置（混載メモリ）の構成例を示すブロック図。

【図 12】図 11 の混載メモリにおける動作の概略を説明するために示す図。 20

【図 13】複数のヒューズボックスを備えて構成するようにした場合を例に示す、半導体集積回路装置（混載メモリ）のブロック図。

【図 14】本発明の第 4 の実施形態にかかる半導体集積回路装置（混載メモリ）の構成例を示すブロック図。

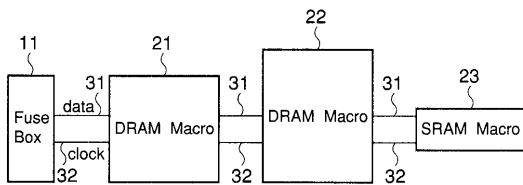
【図 15】従来技術とその問題点を説明するために示す、半導体集積回路装置のブロック図。

【符号の説明】

- 1 1 , 1 1 a , 1 1 b ... ヒューズボックス
- 1 1 A ... 光ヒューズ専用ヒューズボックス (Optical Fuse Box)
- 1 1 B ... 電気ヒューズ専用ヒューズボックス (Elec. Fuse Box) 30
- 1 2 ... ヒューズ
- 1 2 A , 1 2 A ' ... PROM (Optical Fuse PROM)
- 1 2 B , 1 2 B ' , 1 2 B a ... PROM (Electrical Fuse PROM)
- 1 3 ... ヒューズラッチ
- 1 4 ... シフトレジスタ
- 1 5 , 1 5 ' ... データ転送ロジック
- 1 5 a ... MUX コントローラ
- 1 5 b ... データ MUX
- 1 5 c , 1 5 d ... コマンドデコーダ
- 1 6 ... カウンタ 40
- 1 7 ... コンパレータ
- 1 8 ... データセレクト
- 2 1 ... メモリマクロ (第 1 の DRAM Macro)
- 2 2 ... メモリマクロ (第 2 の DRAM Macro)
- 2 3 ... メモリマクロ (SRAM Macro)
- 2 4 ... メモリセルアレイ
- 2 5 ... 冗長回路
- 2 6 ... シフトレジスタ
- 3 1 ... データ線
- 3 2 ... 転送クロック線 50

3 3 ... 信号線
3 4 ... 信号線

【 図 1 】



【 図 2 】

- (a)

En	Address
----	---------

 アドレス情報(for Redundancy)
- (b)

1	Address
---	---------

 有効なデータ
- (c)

0	0..0
---	------

 未使用
- (d)

0	1
---	---	-------

 通常ありえないパターン
- (e)

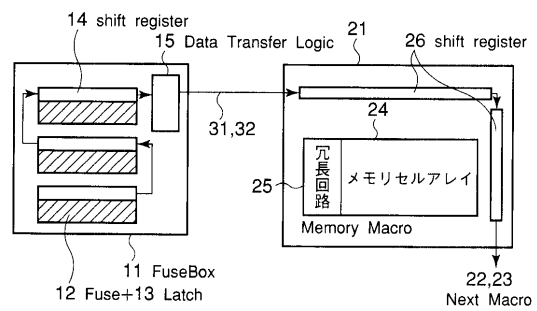
0	1	Opcode	Operand
---	---	--------	---------

 Command

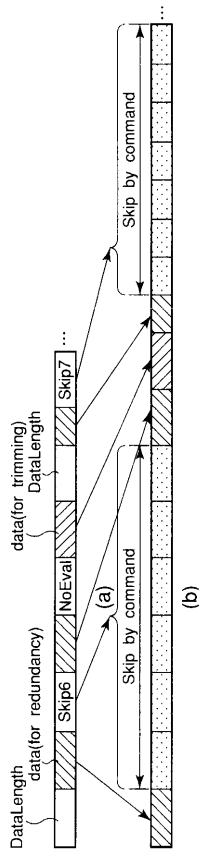
【 図 3 】

opcode	operand
DataLength	データのビット数
Skip	skipするデータの数
NoEval	opcodeを評価しないデータの数

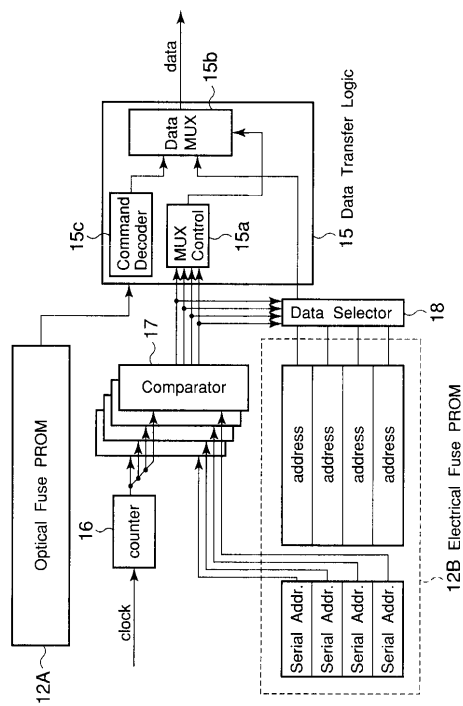
【 図 4 】



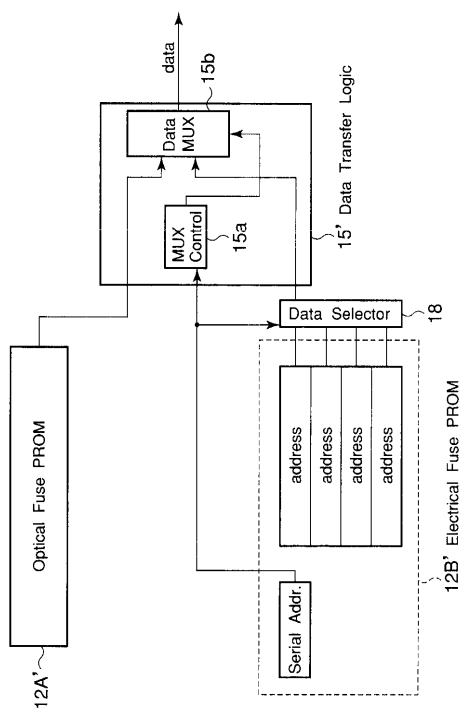
【 5 】



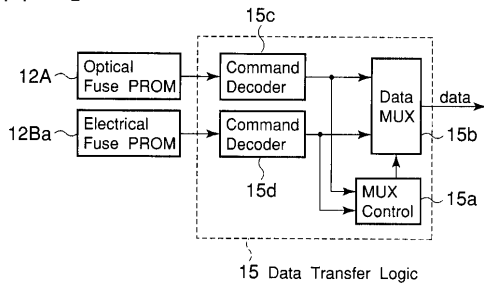
【 6 】



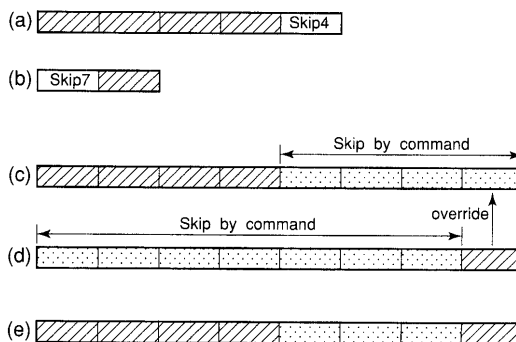
【 7 】



【 8 】



【 9 】

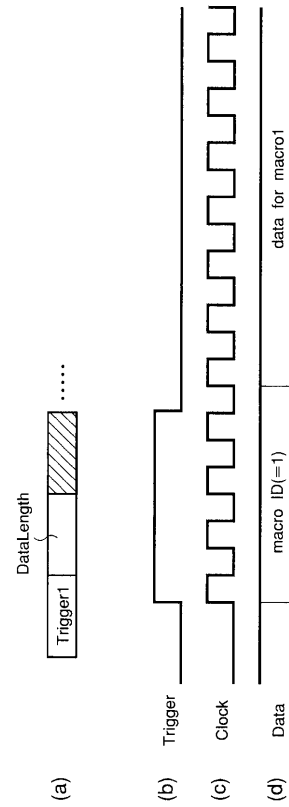
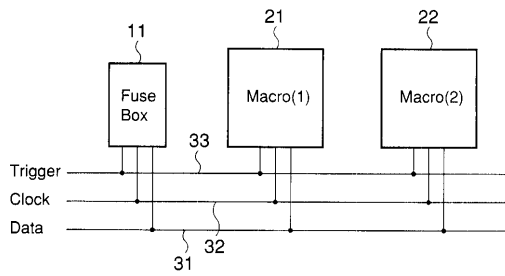


【 図 1 0 】

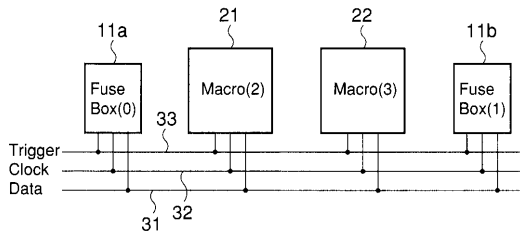
opcode	operand
Trigger	マクロID
DataLength	データのビット数
Skip	skipするデータの数
NoEval	opcodeを評価しないデータの数

【 図 1 2 】

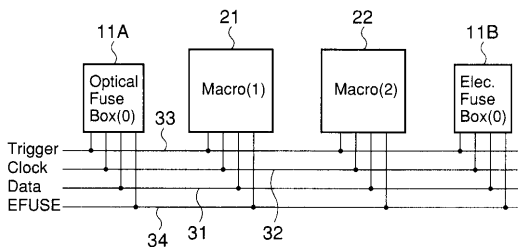
【 図 1 1 】



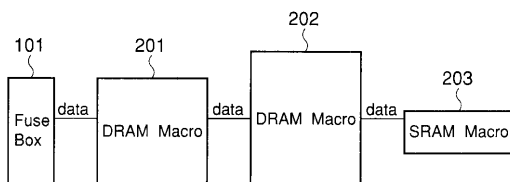
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 伊藤 洋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 小松 正

(56)参考文献 特開2002-025292(JP,A)

特開2002-025289(JP,A)

特開2001-028536(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/00