

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>



# [12] 发明专利申请公开说明书

[21] 申请号 02827172.6

H01L 21/44

H01L 23/48

H01L 23/52

H01L 29/40

[43] 公开日 2005 年 9 月 21 日

[11] 公开号 CN 1672250A

[22] 申请日 2002. 11. 22 [21] 申请号 02827172. 6

[30] 优先权

[32] 2002. 1. 15 [33] US [31] 10/047,964

[86] 国际申请 PCT/US2002/037758 2002. 11. 22

[87] 国际公布 WO2003/060983 英 2003. 7. 24

[85] 进入国家阶段日期 2004. 7. 15

[71] 申请人 国际商业机器公司

地址 美国纽约州

共同申请人 因菲尼奥恩技术股份公司

[72] 发明人 陈自强 布雷特·H·恩格尔

约翰·A·菲茨西蒙斯

特伦斯·凯恩

内夫塔利·E·勒斯蒂格

安·麦克唐纳 文森特·麦加海

徐顺天 安东尼·K·斯坦珀

王允愈 厄尔德姆·卡尔塔利奥格鲁

[74] 专利代理机构 北京市柳沈律师事务所

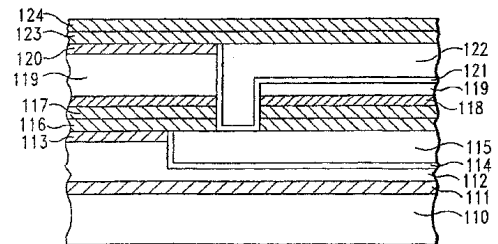
代理人 陶凤波 侯宇

权利要求书 3 页 说明书 14 页 附图 5 页

[54] 发明名称 改进的 BEOL 互连结构中的双层 HDP CVD/PE CVD 帽层及其方法

[57] 摘要

公开了一种改进的后端连线 (BEOL) 金属化结构。该结构包括双层扩散阻挡层或帽层, 其中优选高密度等离子体化学汽相淀积 (HDP CVD) 工艺淀积的介电材料形成第一帽层 (116, 123), 并且优选等离子体增强化学汽相淀积 (PE CVD) 工艺淀积的介电材料形成第二帽层 (117, 124)。还公开了一种用于形成 BEOL 金属化结构的方法。本发明特别有利于含有用于层间介电 (ILD) 的低-k 介电材料和用于导体的铜的互连结构。



I S S N 1 0 0 8 - 4 2 7 4

- 1、一种形成在衬底(110)上的互连结构,该结构包括:  
一覆盖在衬底(110)上面的介电层(112,119);
- 5 一在所述介电层(112,119)上的硬掩模层(113,120),所述硬掩模层(113,120)具有一顶部表面;  
镶嵌在所述介电层(112,119)中并且具有与所述硬掩模层(113,120)的顶部表面共面的顶表面的至少一个导体(115,122);  
在所述至少一个导体(115,122)上和所述硬掩模层(113,120)上的一第一帽层(116,123);以及
- 10 一在所述第一帽层(116,123)上的至少一第二帽层(117,124)。
- 2、根据权利要求1的互连结构,其中所述第一帽层(116,123)用高密度等离子体化学汽相淀积(HDP CVD)工艺形成,并且所述第二帽层(117,124)用等离子体增强化学汽相淀积(PE CVD)工艺形成。
- 15 3、根据权利要求1的互连结构,还包括设置在所述导体(115,122)和所述介电层(112,119)之间的导电衬垫(114,121)。
- 4、根据权利要求1的互连结构,其中还包括设置在所述介电层和衬底(110)之间的一粘附促进层(111,118)。
- 5、根据权利要求1的互连结构,其中所述介电层(112,119)包括具有大约1.8至大约3.5的介电常数的有机热固性聚合物。
- 20 6、根据权利要求5的互连结构,其中所述介电层(112,119)包括聚亚芳香基醚聚合物(polyarylene ether polymer)。
- 7、根据权利要求1的互连结构,其中所述第一帽层(116,123)包括从氮化硅、碳化硅和氮化硼构成的组中选择的介电材料。
- 25 8、根据权利要求1的互连结构,其中所述第一帽层(116,123)包括具有大约40原子%的硅、大约52原子%的氮和大约8原子%的氢的成分的氮化硅。
- 9、根据权利要求1的互连结构,其中第二帽层(117,124)包括从氮化硅、碳化硅和氮化硼构成的组中选择的介电材料。
- 30 10、根据权利要求1的互连结构,其中所述第二帽层(117,124)包括具有大约37原子%的硅、大约48原子%的氮和大约15原子%的氢的成分的

氮化硅。

11、根据权利要求 1 的互连结构，其中所述第二帽层（117，124）包括具有大约 27 原子%的硅、大约 36 原子%的碳和大约 37 原子%的氢的成分的碳化硅。

5 12、根据权利要求 1 的互连结构，其中所述第二帽层（117，124）包括具有大约 22 至 30 原子%的硅、大约 15 至 30 原子%的碳、大约 10 至 22 原子的氮和大约 30 至 45 原子%的氢的成分的非晶氢化氮化的碳化硅。

13、根据权利要求 1 的互连结构，其中所述导体（115，122）包括铜。

14、根据权利要求 1 的互连结构，其中所述第二帽层（117，124）包括  
10 均由等离子体增强化学汽相淀积（PE CVD）工艺形成的多层薄膜。

15、根据权利要求 14 的互连结构，其中多层薄膜包括至少一氮化硅膜和从氧化硅、碳化硅、氮化硼、碳氧化硅和碳氮氧化硅构成的组中选择的至少一层膜。

16、根据权利要求 1 的互连结构，其中所述介电层（112，119）包括氧  
15 化硅。

17、一种用于在衬底（110）上形成互连结构的方法，该方法包括如下步骤：

在衬底（110）上淀积一介电材料，从而形成一介电层（112，119）；

在所述介电层（112，119）上淀积一硬掩模材料，从而形成一硬掩模层  
20 （113，120），所述硬掩模层（113，120）具有顶部表面；

在所述介电层（112，119）中形成至少一个开口（115a，122a，122b）；

用导电材料填充所述开口（115a，122a，122b），从而形成至少一个导体（115，122），所述导体（115，122）具有与所述硬掩模层（113，120）的顶部表面共面的顶部表面；

25 在所述导体（115，122）上淀积一第一材料，从而形成一第一帽层（116，123）；以及

在所述第一帽层（116，123）上淀积一第二材料，从而形成一第二帽层（117，124）。

18、根据权利要求 17 的方法，其中所述第一材料用高密度等离子体化学汽相淀积（HDP CVD）工艺形成，并且所述第二材料用等离子体增强化学汽相淀积（PE CVD）工艺形成。  
30

19、根据权利要求 18 的方法，其中所述第一材料是氮化硅，并且所述 HDP CVD 工艺包括把衬底放置进大约 0.1 毫毛至大约 50 毫毛的压力和大约 200°C 至大约 500°C 的反应室内，并且把衬底暴露于从硅烷、氨气、氟气和氩气构成的组中选择的至少一种气体。

- 5      20、根据权利要求 18 的方法，其中所述第二材料是氮化硅，并且所述 PE CVD 工艺包括把衬底放置进大约 0.1 毛至大约 10 毛的压力和大约 150°C 至大约 500°C 的反应室内，并且把衬底暴露于从硅烷、氨气、氮气和氩气构成的组中选择的至少一种气体。

- 10     21、根据权利要求 17 的方法，其中用 HDP CVD 工艺在真空下定积所述第一材料并且用 PE CVD 工艺在真空下定积所述第二材料，而不用在淀积所述第二材料之前把衬底暴露于大气压下。

22、根据权利要求 17 的方法，还包括：在形成所述导体（115，122）之后并且在淀积所述第一材料之前，步骤如下：

- 15     进行等离子体预清洁处理，包括加热衬底到大约 150°C 至大约 500°C 的温度以及把衬底暴露到氢源大约 5 至大约 500 秒的时间。

## 改进的 BEOL 互连结构中的双层 HDP CVD/PE CVD 帽层及其方法

5

### 技术领域

本发明一般涉及高速半导体微处理器、专用集成电路 (ASICs) 和其它高速集成电路器件的制造。更具体地, 本发明涉及一种在用于使用低 k 介电材料的半导体器件的改进后端连线 (BEOL) 互连结构中的新型双层帽层。

- 10 本发明特别针对在改进 BEOL 金属化结构中含有高密度等离子体化学汽相淀积 (HDP CVD) 材料和等离子体增强化学汽相淀积 (PE CVD) 材料的双层帽层, 以及形成双层帽层的方法。

### 背景技术

- 15 在半导体器件中, 铝和铝合金用作传统的互连冶金。在过去几年铝基冶金是选择用于金属互连的材料, 而现在要考虑铝是否符合电路密度所需的要求和半导体器件增长的速度。由于这些渐渐增加的顾虑, 尽可能研究用于替代铝基冶金的其它材料。

- 20 目前认为可能替代铝冶金的一种非常有利的材料是铜, 这是因为与铝相比铜具有对电迁移失效的较低磁化率以及其较低的电阻率。

- 尽管有这些优点, 但铜还是受到一严重的缺点。在随后的处理步骤中铜容易扩散进入周围的介电材料。为了阻止铜的扩散, 常常用保护阻挡层覆盖铜互连。覆盖的一种方法包括沿铜互连的侧壁和底部以纯的或合金形式使用钽、钛或钨的导电阻挡层。为了覆盖铜互连的上表面, 典型地使用例如氮化硅 (Si<sub>3</sub>N<sub>4</sub>) 的介电材料。
- 25

- 图 1 示例了一利用铜金属化和上述保护帽层的常规 BEOL 互连结构。该互连结构包括一可以含有例如晶体管的逻辑电路元件的下衬底 (10)。一介电层 (12), 一般公知为层间介质 (ILD) 覆在衬底 (10) 上面。ILD 层 (12) 可以由二氧化硅 (SiO<sub>2</sub>) 形成。然而, 在改进的互连结构中, ILD 层 (12) 30 优选是低介电常数的聚合热固树脂材料, 例如 SiLK™ (由 Dow 化学公司得到的芳香烃热固性聚合物)。一粘附促进层 (11) 可以设置在衬底 (10) 和

ILD 层 (12) 之间。可以任选在 ILD 层 (12) 上设置氮化硅 (13)。一般所知氮化硅层 (13) 为硬掩模层或抛光停止层。将至少一导体 (15) 嵌入 ILD 层 (12) 内。在改进的互连结构中优选导体 (15) 为铜, 但可以选择铝或其它导电材料。当导体 (15) 是铜时, 优选在 ILD 层 (12) 和导体 (15) 之间  
5 设置扩散阻挡衬垫 (14)。扩散阻挡衬垫 (14) 典型地由钽、钛、钨或这些金属的氮化物构成。通常通过化学机械抛光 (CMP) 步骤, 使导体 (15) 的顶表面与氮化硅层 (13) 的顶表面共面。也典型地由氮化硅构成的一帽层 (16) 设置在导体 (15) 和氮化硅层 (13) 之间。帽层 (16) 担当一扩散阻挡以在随后的处理步骤期间阻止铜从导体 (15) 扩散进周围介电材料。

10 如图 1 所示, 在互连结构中, 用粘附促进层 (11)、ILD 层 (12)、氮化硅层 (13)、扩散阻挡衬垫 (14)、导体 (15) 和帽层 (16) 限定第一互连层。在图 1 所示的第一互连层上方的第二互连层包括粘附促进层 (18)、ILD 层 (19)、氮化硅层 (20)、扩散阻挡衬垫 (21)、导体 (22) 和帽层 (23)。用常规的金属镶嵌工艺可以形成第一和第二互连层。例如, 第二互连层的形成  
15 首先从粘附促进层的淀积 (18) 开始。接着, 将 ILD 材料 (19) 淀积到粘附促进层 (18) 上。如果 ILD 材料是低介电常数的聚合热固树脂材料, 例如 SiLK™, 那么 ILD 材料被典型地旋涂涂敷, 快速作用热烘焙以除去溶剂, 并且在高温下凝固。接着, 在 ILD 上淀积氮化硅层 (20)。然后使用常规的光刻和蚀刻工艺构图氮化硅层 (20)、ILD 层 (19)、粘附促进层 (18) 和帽层  
20 (16) 来形成至少一个沟槽和通孔。典型地顺着沟槽和通孔镶嵌扩散阻挡衬垫 (21)。然后用例如铜的金属填充沟槽和通孔以形成常规双金属镶嵌工艺中的导体 (22)。通过 CMP 工艺除去多余的金属。最终, 在铜导体 (22) 和氮化硅层 (20) 上淀积帽层 (23)。

由于在铜淀积后需要低温处理, 典型地在 450℃ 以下的温度淀积帽层。  
25 因此, 典型地使用等离子体增强化学汽相淀积 (PE CVD) 或高密度等离子体化学汽相淀积 (HDP CVD) 进行帽层淀积, 其中淀积温度一般在大约 200℃ 至大约 500℃ 范围内。

在半导体器件制造业中 PE CVD 和 HDP CVD 膜用于许多其它的应用。然而, 在使用例如氮化硅的帽层用于铜互连中, 常规的 PE CVD 和 HDP CVD  
30 氮化硅膜产生可靠性问题。

由于 HDP CVD 膜更加容易地阻止铜原子沿帽层中的互连表面移动, 所

以与 PE CVD 膜相比, HDP CVD 膜例如氮化硅提供优良的电迁移保护。然而, 在常规 HDP 淀积工艺中, 在 HDP CVD 帽层中形成接缝, 并且由于结构内的应力帽层中的裂缝常常在该接缝处扩大。如果裂缝在覆盖铜导体的部分帽层中扩大, 那么铜导体可以容易地暴露于潮湿和氧的其它来源。如果裂缝在覆盖 ILD 的部分帽层中扩大, 那么铜导体可以暴露于通过 ILD 扩散的潮湿中。在后一种的情况下, 由于通过二氧化硅的潮湿扩散的速率很低, 接缝相对轻微地影响利用二氧化硅作为 ILD 材料的互连结构。然而, 在利用例如 SiLK™ 的低介电常数的聚合热固树脂材料的互连结构中, 这种裂缝有更大的影响, 这是因为通过大部分旋涂上和 CVD 低介电常数材料的潮湿扩散的速率相对高。

此外, 在帽层中的任何裂缝可以导致铜通过接缝扩散进 ILD。由于这种铜扩散的结果, 铜结核(copper nodule)可以通过接缝形成在帽层下面。这种铜结核可以导致相邻的互连线之间漏电。

当用低介电常数的介电材料结合 HDP CVD 膜时, 出现另一种严重的缺点。HDP CVD 工艺的高能反应能使和低介电常数的材料交互反应并且在低介电常数的材料内引起出现不期望的变化。

用 PE CVD 膜能显著地减轻低介电常数的介电材料中的这种变化。此外, 在典型的 PE CVD 膜中, 在淀积工艺期间不形成接缝。由于这种原因, PE CVD 帽层用于早期的接地规则 (ground-rule) 器件中的帽层铜互连结构, 例如 0.22  $\mu\text{m}$  技术节点 (technology node)。然而, 在更加改进的接地规则 (ground-rule) 器件中, 例如 0.18  $\mu\text{m}$  技术节点, 发现 PE CVD 膜低于用例如 HDP CVD 的其它淀积技术形成的帽层。

特别地, PE CVD 膜一般显示出对铜表面较差的粘附性。如用四点弯曲粘附测试技术所测定地, 典型的 PE CVD 氮化硅膜显示粘附值在大约 5 至少于 10  $\text{J}/\text{m}^2$  (焦耳/平方米) 范围内, 而典型的 HDP CVD 氮化硅膜显示出大约 20  $\text{J}/\text{m}^2$  的粘附值。PE CVD 膜可以分层并且在已构图的铜线上形成气泡, 特别是在随后的电介质淀积、金属化和化学机械抛光期间。在被淀积到铜冶金上之后, 附加绝缘层一般将淀积在帽层上方。然而, 随后淀积绝缘层到帽层上将产生能使帽层从铜表面上剥离的应力。这种分层导致几种严重的破坏机构, 包括提起层间电介质、提起铜导体、从未覆盖的铜线中扩散铜以及电迁移。一般在双金属镶嵌处理中看到这样的结果, 其中氮化硅硬掩模层的分

层一般出现在铜化学机械抛光期间。

因此，现有技术中需要一互连结构帽层用于表现出优良电迁移保护作用  
和 HDP CVD 膜的粘附特性以及 PE CVD 膜的优良覆盖度的需要。

## 5 发明内容

通过使用本发明解决了上述的问题，其针对一种形成在衬底上的互连结构。在一个优选实施例中，该结构包括：一覆盖在衬底上面的介电层；在所述介电层上的硬掩模层，所述硬掩模层具有一顶部表面；镶嵌在所述介电层中并且具有与所述硬掩模层的顶部表面共面的顶部表面的至少一个导体；在  
10 所述至少一个导体上和所述硬掩模层上的一第一帽层，所述第一帽层优选高密度等离子体化学汽相淀积（HDP CVD）工艺形成；以及在所述第一帽层上的至少一第二帽层。第二帽层可以用任何适合的方法形成，例如用物理汽相淀积（PVD）工艺、用旋压（spin-on）工艺、或甚至用使用与用于第一帽层的工艺参数不同的工艺参数的 HDP CVD 工艺。优选用等离子体增强化学汽相淀积（PE CVD）工艺形成第二帽层。  
15

本发明还针对一种在衬底上形成一互连结构的方法。在一个实施例中，该方法包括如下步骤：在衬底上淀积介电材料，从而形成一介电层，在所述介电层上淀积一硬掩模材料，从而形成一硬掩模层，所述硬掩模层具有一顶部表面；在所述介电层形成至少一开口；用导电材料填充所述开口，从而形成  
20 至少一个导体，所述导体具有一与所述介电层的顶部表面共面的表面；用高密度等离子体化学汽相淀积（HDP CVD）工艺在所述导体上淀积一第一材料，从而形成一第一帽层；以及，优选用等离子体增强化学汽相淀积（PE CVD）工艺在所述第一帽层上淀积一第二材料，从而形成一第二帽层。

## 25 附图说明

结合后附的权利要求提出认为是新颖的发明的特征和发明的元件特性。附图仅便于示例的目的而不是画出范围。此外，在附图中相同的数字代表相同的部分。结合附图加以参考下面的详细介绍可以最好地理解针对构造和操作方法  
30 的发明本身，其中：

图 1 是示例现有技术的互连结构的局部制造的集成电路器件的示意截面图；



图2是示例根据本发明优选实施例的互连结构的局部制造的集成电路器件的示意截面图；

图3(a)-3(j)示例了一种用于形成图2的互连结构的方法。

## 5 具体实施方式

现在参考附图介绍本发明。在附图中，以简单的方式显示出并且示意地展现出结构的各种方案以更清楚地介绍和示例本发明。例如，附图不用来规定范围。另外，如以矩形的形状示例结构的各种方案的纵向截面。然而，本领域的技术人员将理解结合实用的结构这些方案将最可能结合更多缩减的特征。此外，本发明不局限于任何具体形状的构造。

尽管将针对含有铜的结构介绍发明的确定方案，但发明不局限于此。尽管铜是优选的导电材料，但本发明的结构可以包括任何合适的导电材料，例如铝。

参考图2，本发明的互连结构的一优选实施例包括可以含有例如晶体管的逻辑电路元件的一衬底(110)。一般公知的层间电介质(ILD)的一介电层(112)覆盖在衬底(110)上面。可以在衬底(110)和ILD层(112)之间设置粘附促进层(111)。优选在ILD层(112)上设置一硬掩模层(113)。至少一导体(115)嵌入在ILD层(112)和硬掩模层(113)中。可以在ILD层(112)和导体(115)之间设置一扩散阻挡衬垫(114)。通常用化学机械抛光(CMP)步骤，使导体(115)的顶部表面与硬掩模层(113)的顶部表面共面。一第一帽层(116)设置在导体(115)和硬掩模层(113)上，以及一第二帽层(117)设置在第一帽层(116)上。

在图2所示的互连结构中，用粘附促进层(111)、ILD层(112)、硬掩模层(113)、扩散阻挡衬垫(114)、导体(115)、第一帽层(116)和第二帽层(117)限定一第一互连层。在图2中所示的第一互连层上方的第二互连层包括粘附促进层(118)、ILD层(119)、硬掩模层(120)、扩散阻挡衬垫(121)、导体(122)、第一帽层(123)和第二帽层(124)。

ILD层(112)和(119)可以由任何适合的介电材料形成，尽管优选低介电常数(low-k)的介电材料。合适的介电材料包括：碳掺杂的二氧化硅材料；氟化硅酸盐玻璃(FSG)；有机聚合热固性材料，碳氧化硅；SiCOH电介质；氟掺杂二氧化硅；旋涂(spin-on)玻璃；包括氢倍半硅氧烷(HSQ)、

甲基倍半硅氧烷 (MSQ) 以及 HSQ 和 MSQ 的混合物或共聚物的倍半硅氧烷 (silsesquioxane); 苯并环丁烯 (BCB) —基于聚合电介质, 以及任何含硅的低介电常数的电介质。用利用倍半硅氧烷化学的 SiCOH 型合成物的旋压低介电常数的膜的例子包括 HOSP™ (可从 Honeywell 获得)、JSR5109 和 5108 (可从 Japan Synthetic Rubber 获得)、Zirkon™ (可从 Rohm 和 Haas 的分支 Shipley Microelectronics 获得), 以及多孔低-k(ELK)材料(可从 Applied Materials 获得)。碳掺杂二氧化硅材料或有机硅烷的例子包括 Black Diamond™ (可从 Applied Materials 获得) 和 Coral™ (可从 Novellus 获得)。HSQ 材料的一个例子是 FOx™ (可从 Dow Corning 获得)。对于该实施例, 10 优选的介电材料是主要由碳、氧和氢构成的有机聚合热固性材料。优选的介电材料包括如所周知的 SiLK™ (可从 The Dow Chemical Company 获得) 的低介电常数的聚亚芳香基醚聚合材料, 以及如所周知的 FLARE™ (可从 Honeywell 获得) 的低介电常数的聚合材料。ILD 层 (112) 和 (119) 均可以为大约 100nm 至大约 1000nm 厚, 但这些层均优选为大约 600nm 厚。用于 ILD 层 (112) 和 (119) 的介电常数优选为大约 1.8 至大约 3.5, 并且更 15 优选为大约 2.5 至大约 2.9。

可选择地, ILD 层 (112) 和 (119) 可以由多孔介电材料形成, 例如 MesoELK™ (可从 Air Products 获得) 和 XLK™ (Fox 的多孔变形, 可从 Dow Corning 获得)。例如, 如果 ILD 层 (112) 和 (119) 由这样的多孔介电材料 20 形成, 那么这些层的介电常数优选小于大约 2.6, 并且更优选大约 1.5 至 2.5。特别优选使用具有大约 1.8 至 2.2 的介电常数的有机聚合热固性材料。

粘附促进层 (111) 和 (118) 优选为大约 9nm 厚, 并且可以由适合增强 ILD 层 (112) 和 (119) 中的介电材料对下层表面的粘附性的任何材料构成。例如, 如果 SiLK™ 用于 ILD 层 (112) 和 (119), 那么粘附促进层 (111) 25 和 (118) 可以由所周知的 AP4000 的粘附促进剂形成 (也可从 The Dow Chemical Company 获得)。

硬掩模层 (113) 和 (120) 可以由任何适合的介电材料形成。在一个优选实施例中, 硬掩模层 (113) 和 (120) 由氮化硅形成, 并且优选具有大约 30 至 45 原子%的硅、大约 30 至 55 原子%的氮和大约 10 至 25 原子%的氢的成分。更优选地, 这些氮化硅硬掩模层具有大约 41 原子%的硅、大约 41 原子%的氮和大约 17.5 原子%的氢的成分。可选择地, 在另一个优选实施例中, 30

硬掩模层(113)和(120)由碳化硅形成,并且优选具有大约20至40原子%的硅、大约20至50原子%的碳和大约20至45原子%的氢的成分。特别优选的成分是大约27原子%的硅、大约36原子%的碳和大约37原子%的氢。

5 导体(115)和(122)可以由任何合适的材料形成,例如铜或铝。由于铜的相对低的电阻,特别优选铜为导电材料。铜导体(115)和(122)可以含有小浓度的其它元素。扩散阻挡衬垫(114)和(121)可以包括一种或更多下列材料:钽、钛、钨以及这些金属的氮化物。

10 第一帽层(116)和(123)可以由氮化硅、碳化硅、氮化硼或其它的适合介电材料形成,并且优选使用HDP CVD工艺形成。已发现用HDP CVD工艺淀积的材料提供了优良的粘附性和优良的耐电迁移性。然而,表现出类似的特性而用其它工艺淀积的材料也可以用于第一帽层(116)和(123)。第一帽层(116)和(123)更优选由具有大约30至50原子%的硅、大约40至65原子%的氮和大约5至13原子%的氢的成分的HDP CVD氮化硅形成。用于第一帽层(116)和(123)的特别优选的成分为大约40原子%的硅、大  
15 约52原子%的氮和大约8原子%的氢。第一帽层(116)和(123)均优选具有大约25至700Å范围内的厚度,并且更优选在大约50至350Å范围内。

第二帽层(117)和(124)可以由氮化硅、碳化硅、氮化硼、氧化硅或其它的适合介电材料形成,但优选使用PE CVD工艺形成。第二帽层(117)和(124)更优选由具有大约30至45原子%的硅、大约40至65原子%的氮  
20 和大约10至25原子%的氢的成分的PE CVD氮化硅形成。第二帽层(117)和(124)的特别优选的成分为大约37原子%的硅、大约48原子%的氮和大约15原子%的氢。在另一个优选实施例中,第二帽层(117)和(124)由具有大约20至40原子%的硅、大约20至50原子%的碳和大约20至45原子%的氢的成分的PE CVD非晶氮化碳化硅形成,更优选大约27原子%的硅、  
25 大约36原子%的碳和大约37原子%的氢。在又一个优选实施例中,第二帽层(117)和(124)由具有大约20至34原子%的硅、大约12至34原子%的碳、大约5至30原子%的氮和大约20至50原子%的氢的成分的PE CVD非晶氮化氮化的碳化硅形成,更优选大约22至30原子%的硅、大约15至  
30 30原子%的碳、大约10至22原子%的氮和大约30至45原子%的氢。第二帽层(117)和(124)均优选具有大约100至1000Å范围内的厚度,并且更优选在大约250至700Å范围内。

- 第二帽层(117)和(124)可以由一系列薄PE CVD膜形成,其总厚度在大约100至1000Å范围内。在一个实施例中,这些薄PE CVD膜均可以由相同的材料形成,例如氮化硅。在另一个实施例中,薄PE CVD膜可以由不同的材料形成,例如氮化硅、碳化硅、氧化硅、碳氧化硅、和/或碳氮氧化硅。
- 5 第二帽层还可以由高渗透性或高亲合性的介电膜和低渗透性或低亲合性的介电膜的可选择层形成,例如在2001年5月16日申请的共同待审美国申请序列号No. 09/858,687并且标题为“叠层扩散阻挡层”中介绍的叠层扩散阻挡层,这里引用其公开内容供参考。第二帽层可以包括不同材料的可选择膜或和不同材料的膜一起的相同材料的一系列膜。例如,第二帽层可以包括:
- 10 具有大约5nm厚度的PE CVD氮化硅的三层薄膜;具有大约5nm厚度的PE CVD氧化硅的一层薄膜;具有大约5nm厚度的PE CVD氮化硅的一层薄膜;以及具有大约5nm厚度的PE CVD氮化硅的一层薄膜。作为另一个例子,第二帽层可以由一系列PE CVD膜形成,包括:具有大约5nm厚度的PE CVD氮化硅的一层薄膜;具有大约5nm厚度的PE CVD氧化硅的一层薄膜;具有大约5nm厚度的PE CVD氮化硅的一层薄膜;具有大约5nm厚度的PE CVD氧化硅的一层薄膜;具有大约5nm厚度的PE CVD氮化硅的一层薄膜;具有大约5nm厚度的PE CVD氧化硅的一层薄膜;以及具有大约5nm厚度的PE CVD氧化硅的一层薄膜。这一系列的膜可以包括等于6层的相同或不同的材料,或可以包括多于6层的相同或不同的材料。
- 20 可选择地,可以用物理汽相淀积(PVD)工艺、用旋涂(spin-on)工艺、或甚至用使用与用于第一帽层的工艺参数不同的工艺参数的HDP CVD工艺形成第二帽层(117)和(124)。

可以用金属镶嵌(damascene)或双金属镶嵌(dual damascene)工艺形成图2的互连结构,例如图3(a)-3(j)所示的工艺。工艺地从把粘附促进层(111)淀积在衬底(110)上开始,并且随后把ILD层(112)淀积在粘附促进层(111)上,如图3(a)所示。可以用任何适合的方法淀积粘附促进层(111)和ILD层(112)。例如,如果粘附促进层(111)由AP4000形成,那么可以用旋涂工艺涂敷粘附促进剂溶液,随后通过烘焙步骤。如果SILK™用于ILD层(112),那么用旋涂工艺涂敷树脂,随后通过烘焙步骤

30 以除去溶剂并接着热固化步骤。

如图3(a)所示,然后把硬掩模层(113)淀积在ILD层(112)上。

可以用任何适合的方法淀积硬掩模层(113),但优选用化学汽相淀积(CVD)直接淀积到ILD层(112)上。在一个优选实施例中,在CVD反应室内以大约0.1至10托范围内的压力淀积氮化硅硬掩模层(113),更优选地在大约1至5托的范围内,使用的气体组合物可以包括、但不局限于硅烷( $\text{SiH}_4$ )、氨( $\text{NH}_3$ )、氮( $\text{N}_2$ )和氦(He)。典型的淀积工艺使用 $\text{SiH}_4$ 的流量在大约100至700sccm范围内、 $\text{NH}_3$ 的流量在大约100至5000sccm范围内、并且 $\text{N}_2$ 的流量在大约100至5000sccm范围内。淀积温度典型地在大约150至500°C的范围内,更优选在大约350至450°C的范围内。高频射频(RF)电功率典型地在每喷头大约50至700瓦范围内,并且低频RF电功率典型地在每喷头大约50至500瓦范围内。最终的淀积厚度优选在大约10至100nm范围内,并且更优选在大约25至70nm范围内。该氮化硅硬掩模的膜优选具有大约30至45原子%的硅、大约30至55原子%的氮和大约10至25原子%的氢的成分。更优选地,该氮化硅硬掩模的膜具有大约41原子%的硅、大约41原子%的氮和大约17.5原子%的氢的成分。

15 在另一个优选实施例中,在CVD反应室内以大约0.1至20托范围内、更优选大约1至10托范围内的压力淀积碳化硅硬掩模(113),使用的气体组合物可以包括、但不局限于 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ 、He、三甲基硅烷(3MS)和/或四甲基硅烷(4MS)。典型的淀积工艺使用3MS的流量在大约50至500sccm范围内并且He的流量在大约50至2000sccm范围内。淀积温度典型地在大约150至500°C范围内,更优选在大约300至400°C范围内。RF电功率典型地在每喷头大约150至700瓦范围内,更优选在每喷头大约100至500瓦范围内。最终的淀积厚度优选在大约10至100nm范围内,并且更优选在大约25至70nm范围内。该非晶氢化碳化硅硬掩模的膜优选具有大约27原子%的硅、大约36原子%的碳和大约37原子%的氢的成分。

25 硬掩模层(113)可以用作构图层以有助于后面刻蚀ILD层(112)以形成用于导体(115)的沟槽。硬掩模层(113)在随后的CMP步骤期间还可以用作抛光停止层以除去多余的金属。

如上所述,在淀积氮化硅或碳化硅硬掩模的膜之后,可以淀积附加牺牲硬掩模层(未示出)。例如,可以淀积一系列硬掩模层,例如在2000年4月30 14申请的共同待审美国申请序列号No.09/550,943并且标题为“用于制作互连结构的保护性硬掩模”中介绍的硬掩模层,这里引用其公开内容供参考。

可选择地，可以淀积附加氮化硅膜，并随后通过氧化硅淀积。在一个优选实施例中，在 CVD 反应室内以大约 0.1 至 10 托范围内、更优选在 1 至 5 托范围内的压力淀积附加氮化硅硬掩模的膜，使用的气体组合物可以包括、但不局限于  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$  和/或 He。典型的淀积工艺使用  $\text{SiH}_4$  的流量在大约 5 100 至 700sccm 范围内、 $\text{NH}_3$  的流量在大约 100 至 5000sccm 范围内、并且  $\text{N}_2$  的流量在大约 100 至 5000sccm 范围内。淀积温度典型地在大约 150 至 500 °C 的范围内，更优选在大约 350 至 450°C 的范围内。高频 RF 电功率典型地在每喷头大约 50 至 700 瓦范围内，并且低频 RF 电功率典型地在每喷头大约 50 至 500 瓦范围内。最终的淀积厚度优选在大约 10 至 100nm 范围内，更优选在大约 25 至 60nm 范围内。该附加氮化硅硬掩模的膜优选具有大约 41 原子%的硅、大约 41 原子%的氮和大约 17.5 原子%的氢的成分。

在 CVD 反应室内以大约 0.1 至 10 托范围内、更优选大约 1 至 5 托范围内的压力淀积次氧化硅硬掩模层，使用的气体组合物可以包括、但不局限于  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$ 、 $\text{O}_2$ 。典型的淀积工艺使用  $\text{SiH}_4$  的流量在大约 10 至 700sccm 15 范围内、 $\text{N}_2\text{O}$  的流量在大约 100 至 20000sccm 范围内、并且  $\text{N}_2$  的流量在大约 100 至 3000sccm 范围内。淀积温度典型地在大约 150 至 500°C 范围内，更优选在大约 350 至 450°C 范围内。RF 电功率典型地在每喷头大约 150 至 500 瓦范围内，更优选在每喷头大约 50 至 3000 瓦范围内。最终的淀积厚度优选在大约 30 至 250nm 范围内，并且更优选在大约 50 至 200nm 范围内。20 该附加氧化硅硬掩模的膜优选具有大约 33 原子%的硅、大约 63 原子%的氧和小于大约 1 原子%的氢的成分。

在图 3(b)中，使用常规光刻构图和刻蚀工艺形成至少一个沟槽(115a)。在典型的光刻工艺中，光致抗蚀剂材料(未示出)淀积在硬掩模层(113)上。光刻材料通过掩模暴露于紫外光(UV)辐射，并随后显影光致抗蚀剂材料。取决于所使用的光致抗蚀剂材料的类型，在显影期间光致抗蚀剂的暴露部分可以分解成可溶性的或不可溶性的。除去光致抗蚀剂的这些可溶性部分，留下匹配沟槽的预定图案的光致抗蚀剂图案。随后通过用例如反应离子蚀刻(RIE)在没有用光致抗蚀剂保护的区域中除去硬掩模层(113)和一部分 ILD 层(112)形成沟槽(115a)。硬掩模层(113)可以有助于随后的这种刻蚀步骤。首先在没有用光致抗蚀剂覆盖的区域中刻蚀硬掩模层(113)，30 然后可以除去光致抗蚀剂，留下匹配光致抗蚀剂图案的已构图硬掩模层

(113)。然后,可以在没有用硬掩模层(113)覆盖的区域中刻蚀ILD层(112)。

在形成沟槽(115a)之后,优选沿着沟槽镶嵌扩散阻挡衬垫(114),并接着在沟槽(115a)内淀积导电材料以形成导体(115)。可以用任何适合的方法淀积扩散阻挡衬垫(114),例如用物理汽相淀积(PVD)、化学汽相淀积(CVD)或电离物理汽相淀积(IPVD)。可以用任何适合的方法淀积导电材料(115),例如用电镀技术。在CMP工艺中可以除去多余的衬垫(114)和导电材料(115),其中使导体(115)的顶部表面与硬掩模层(113)的顶部表面共面。硬掩模层(113)在该CMP步骤期间可以用作抛光停止层,从而在抛光期间保护ILD层(112)不受到损坏。在该CMP步骤期间还可以除去牺牲硬掩模层(未示出)。

如图3(d)所示,然后在导体(115)和硬掩模层(113)上淀积第一帽层(116)。优选用HDP CVD工艺淀积第一帽层(116),但可以用其它的工艺淀积,例如用PVD、PE CVD或旋涂技术。第一帽层(116)可以由氮化硅、碳化硅、氮化硼或其它适合的介电材料形成。

更优选地,第一帽层(116)是HDP CVD氮化硅膜,在CVD反应室内以大约0.1至50毫米范围内、更优选在大约5至20毫米范围内的压力淀积该HDP CVD氮化硅膜。淀积气体可以包括、但不局限于 $\text{SiH}_4$ 、 $\text{N}_2$ 和Ar或He。典型的淀积使用 $\text{SiH}_4$ 的流量在大约5至125sccm范围内、 $\text{N}_2$ 的流量在大约50至1000sccm范围内、并且Ar的流量在大约20至1000sccm范围内。淀积温度典型地在大约200至500°C的范围内,更优选在大约300至450°C的范围内。射频(RF)电功率典型地在每喷头大约1700至2500瓦范围内,并且更优选在每喷头大约1750至1950瓦范围内。最终的淀积厚度优选在大约25至700Å范围内,并且更优选在大约50至350Å范围内。该HDP氮化硅帽层优选具有大约30至50原子%的硅、大约40至65原子%的氮和大约5至13原子%的氢的成分,更优选大约40原子%的硅、大约52原子%的氮和大约8原子%的氢。

如图3(e)所示,在淀积第一帽层(116)之后,淀积第二帽层(117)。优选用PE CVD工艺淀积第二帽层(117),但还可以用物理汽相淀积(PVD)工艺、用旋压(spun-on)工艺、或甚至用使用与用于第一帽层的工艺参数不同的工艺参数的HDP CVD工艺淀积。第二帽层(117)可以由氮化硅、碳化硅、氮化硼或其它适合的电介质形成。这些PE CVD膜可以是含氢的或非晶

的或其二者。当更优选发生第二帽层(117)的淀积而不用中断第一帽层(116)淀积的真空环境并且不用暴露衬底到大气压下时,在第一帽层(116)淀积之后第二帽层淀积可能会有真空中断。

在更优选的实施例中,第二帽层(117)是PE CVD氮化硅膜,并且在  
5 CVD反应室内以大约0.1至10托范围内、更优选在大约1至7托范围内的压力下淀积,使用气体的组合物可以包括、但不局限于 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ 和He。典型的淀积使用 $\text{SiH}_4$ 的流量在大约10至500sccm范围内、 $\text{NH}_3$ 的流量在大约100至3000sccm范围内、并且 $\text{N}_2$ 的流量在大约500至25000sccm范围内。淀积温度典型地在大约150至500°C的范围内,更优选在大约350至  
10 450°C的范围内。高频RF电功率典型地在每喷头大约25至700瓦范围内,更优选在每喷头大约50至250瓦范围内。低频RF电功率典型地在每喷头大约0至500瓦范围内。最终的淀积厚度优选在大约100至1000Å范围内,并且更优选在大约250至700Å范围内。该PE CVD氮化硅帽层优选具有大约30至45原子%的硅、大约40至65原子%的氮和大约10至25原子%的氢的  
15 成分。用于第二帽层(117)的具体优选成分是大约37原子%的硅、大约48原子%的氮和大约15原子%的氢。

在另一个优选实施例中,第二帽层(117)是PE CVD非晶氢化碳化硅层,并且在CVD反应室内以大约0.1至20托范围内、更优选大约1至10托范围内的压力下淀积,使用的气体组合物可以包括、但不局限于 $\text{SiH}_4$ 、  
20  $\text{NH}_3$ 、 $\text{N}_2$ 、He、三甲基硅烷(3MS)、或四甲基硅烷(4MS)。典型的淀积使用3MS的流量在大约50至500sccm范围内,并且He的流量在大约50至2000sccm范围内。淀积温度典型地在大约150至500°C范围内,更优选在大约300至400°C范围内。RF电功率典型地在每喷头大约150至700瓦范围内,更优选在每喷头大约100至500瓦范围内。最终的淀积厚度优选在大约100  
25 至1000Å范围内,并且更优选在大约250至700Å范围内。该非晶氢化碳化硅膜优选具有大约20至40原子%的硅、大约20至50原子%的碳和大约20至45原子%的氢的成分,更优选大约27原子%的硅、大约36原子%的碳和大约37原子%的氢。

在又一个优选实施例中,第二帽层(117)是PE CVD非晶氢化氮化的  
30 碳化硅层,并且在CVD反应室内以大约0.1至20托范围内、更优选大约1至10托范围内的压力下淀积,使用的气体组合物可以包括、但不局限于 $\text{SiH}_4$ 、



NH<sub>3</sub>、N<sub>2</sub>、He、3MS、4MS 和其它甲基硅烷。优选使用以大约 50 至 500sccm 流速的 3MS 或 4MS, 和以大约 50 至 500sccm 流速的 N<sub>2</sub> 淀积第二帽层(117)。淀积温度优选在大约 150 至 500°C 范围内, 更优选在大约 300 至 400°C 范围内。RF 电功率优选在每喷头大约 100 至 700 瓦范围内, 更优选在每喷头大约 200 至 500 瓦范围内。最终的淀积厚度优选在大约 100 至 1000Å 范围内, 并且更优选在大约 250 至 700Å 范围内。该非晶氮化硅的碳化硅膜优选具有大约 20 至 34 原子%的硅、大约 12 至 34 原子%的碳和大约 5 至 30 原子%的氢的成分, 更优选大约 22 至 30 原子%的硅、大约 15 至 30 原子%的碳和大约 10 至 22 原子%的氮和大约 30 至 45 原子%的氢。

10 第二帽层(117)可以由一系列薄 PE CVD 膜形成, 其总厚度在大约 100 至 1000Å 范围内。这些薄 PE CVD 膜可以由相同的材料形成, 例如, 氮化硅, 或它们可以由不同的或可替换的材料形成, 例如, 氮化硅、碳化硅、氧化硅、碳氧化硅和/或碳氮氧化硅。如前面所讨论地, 第二帽层(117)可以包括不同材料的可替换膜或和不同材料一起的膜的相同材料的一系列膜。

15 在淀积第一帽层(116)之前, 在 CVD 反应室内可以进行等离子体预清洁步骤。典型的等离子体预清洁步骤使用以大约 50 至 700sccm 范围内流速的例如 NH<sub>3</sub> 或 H<sub>2</sub> 的含氢源, 并且在衬底温度在大约 15 至 500°C 范围内、更优选衬底温度在 20 至 400°C 范围内用大约 5 至 500 秒并且更优选大约 10 至 100 秒的时间进行。RF 电功率在大约 100 至 10,000 瓦范围内, 并且在该清洁步骤期间更优选在大约 1000 至 5000 瓦范围内。可选择地, 可以以大约 50 至 20,000sccm 范围内的流速添加例如 He、氩(Ar)的其它气体。

图 3(a)-3(e) 示例了第一互连层的形成, 其中第一互连层由粘附促进层(111)、ILD 层(112)、硬掩模层(113)、扩散阻挡衬垫(114)、导体(115)、第一帽层(116)和第二帽层(117)构成。在图 3(f) 中, 第二互连层的形成从淀积粘附促进层(118)、ILD 层(119)和硬掩模层(120)开始。可以使用与用于淀积粘附促进层(111)相同的方法淀积粘附促进层(118)。同样, 可以使用与用于 ILD 层(112)相同的方法淀积 ILD 层(119), 以及可以使用与用于硬掩模层(113)相同的方法淀积硬掩模层(120)。可以在主硬掩模层(120)上淀积附加牺牲硬掩模层(未示出)。

30 图 3(g) 和 3(h) 示例了通孔(122a)和沟槽(122b)的形成。首先, 如图 3(g) 所示, 使用常规光刻构图和刻蚀工艺, 可以在硬掩模层(120)、

ILD层(119)、粘附促进层(118)和帽层(117)和(116)中形成至少一个通孔(122a)。然后,如图3(h)所示,使用常规光刻工艺,可以在硬掩模层(120)和一部分ILD层(119)中形成至少一个沟槽(122b)。可以使用与形成沟槽(115a)的光刻工艺相同的光刻工艺形成通孔(122a)和沟槽(122b)。

可选择地,通孔(122a)和沟槽(122b)可以这样形成:首先在硬掩模层(120)和ILD层(119)中构图和刻蚀一沟槽,该沟槽具有等于沟槽(122b)深度的深度,但具有等于沟槽(112b)的长度和通孔(122a)的宽度结合的长度。接着,通过刻蚀穿过其余的ILD层(119)、粘附促进层(118)和帽层(117)和(116)而形成通孔(122a)。

如图3(i)中所示,在形成通孔(122a)和沟槽(122b)之后,优选顺着通孔和沟槽镶嵌扩散阻挡衬垫(121),并接着在通孔和沟槽中淀积导电材料以形成导体(122)。可以用与用于扩散阻挡衬垫(114)相同的方法淀积扩散阻挡衬垫(121),并且可以用与用于导体(115)相同的方法淀积导电材料(122)。可以在CMP工艺中除去多余的衬垫(121)和导电材料(122),其中使导体(122)的顶部表面与硬掩模层(120)的顶部表面共面。还可以在该CMP步骤期间除去牺牲硬掩模层(未示出)。硬掩模层(120)在该CMP步骤期间可以用作抛光停止层,从而在抛光期间保护ILD层(119)不受到损坏。

如图3(j)所示,然后在导体(122)和硬掩模层(120)上淀积帽层(123)和(124)。可以使用与用于第一帽层(116)相同的工艺淀积第一帽层(123),并且可以使用与用于第二帽层(117)相同的工艺淀积第二帽层(124)。

当结合具体优选实施例和其它替换实施例具体介绍本发明时,应当明白按照上述介绍许多的替换、修改和变化对于本领域的技术人员来说是清楚的。因此想要附加的权利要求包括落入本发明的真实范围和精神内的所有这样的替换、修改和变化。

### 工业实用性

本发明用于高速半导体微处理器、专用集成电路(ASIC)和其它高速集成电路器件的制造中。更具体地,本发明的双层帽层有助于用于使用低介电常数的介电材料的半导体器件的改进后端连线(BEOL)互连结构中。

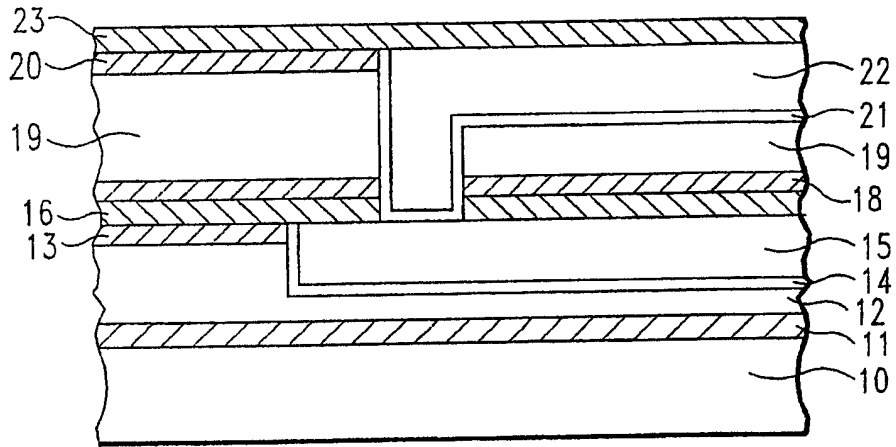


图 1

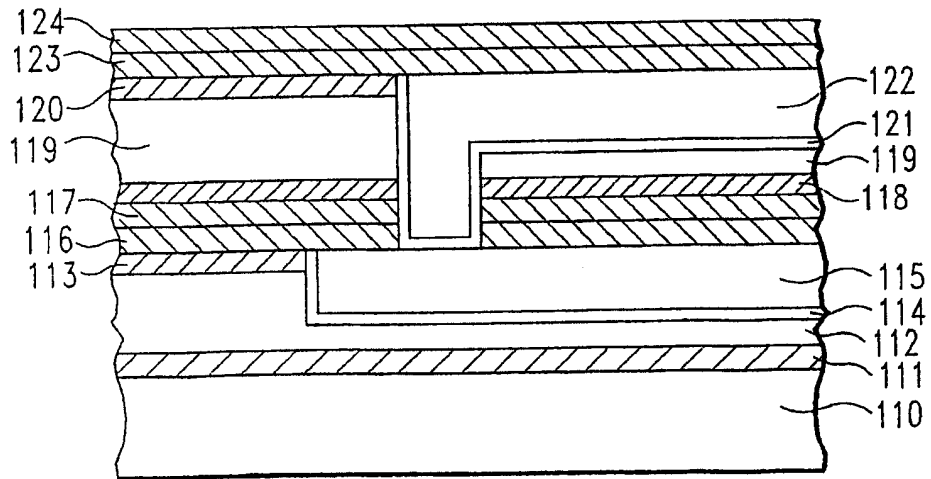


图 2

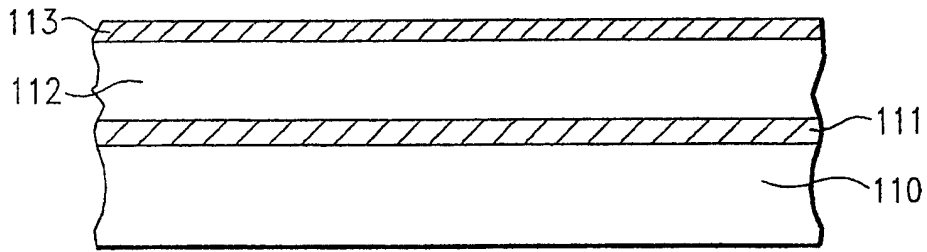


图 3a

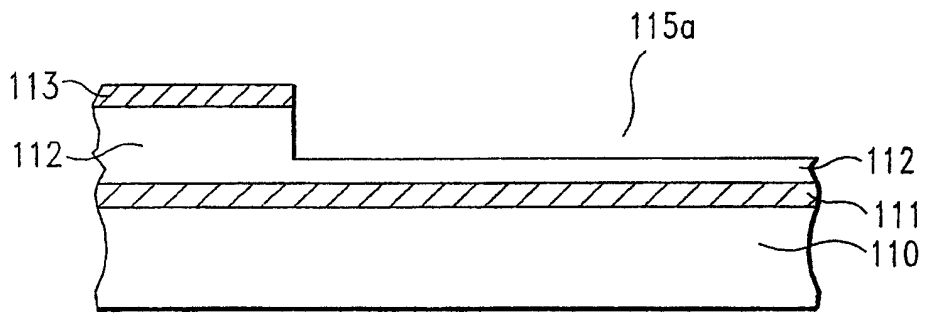


图 3b

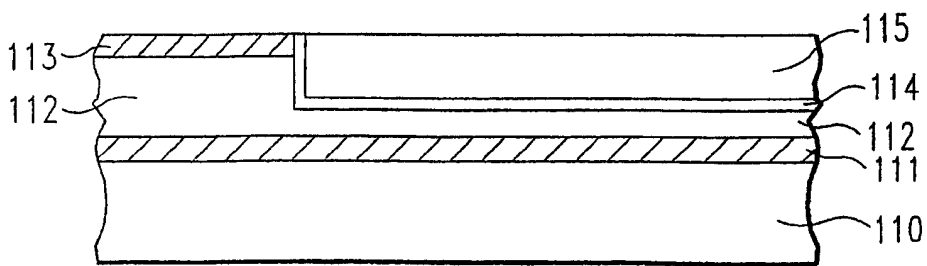


图 3c

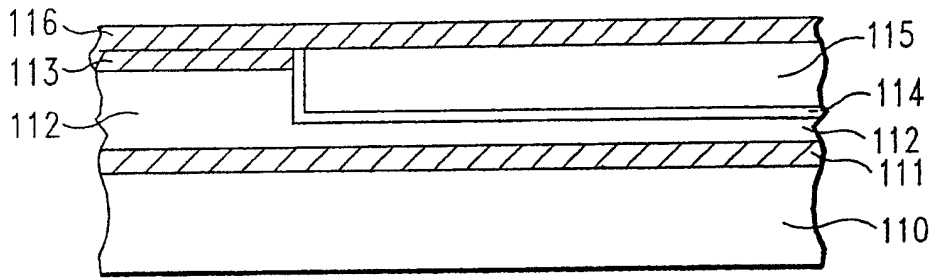


图 3d

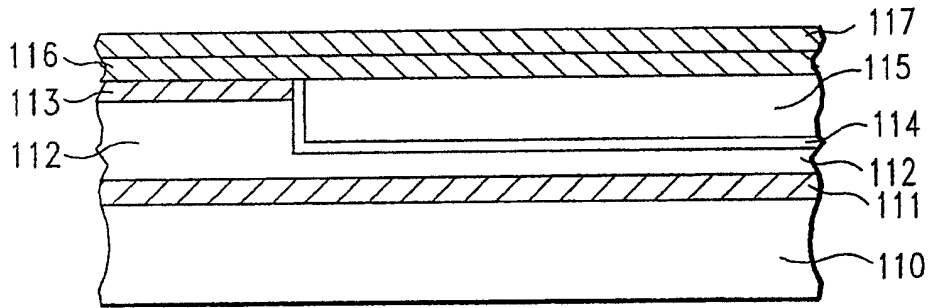


图 3e

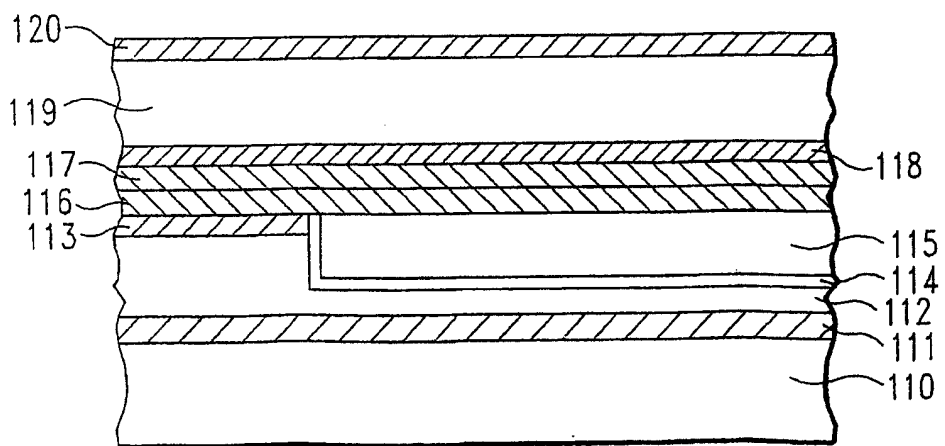


图 3f

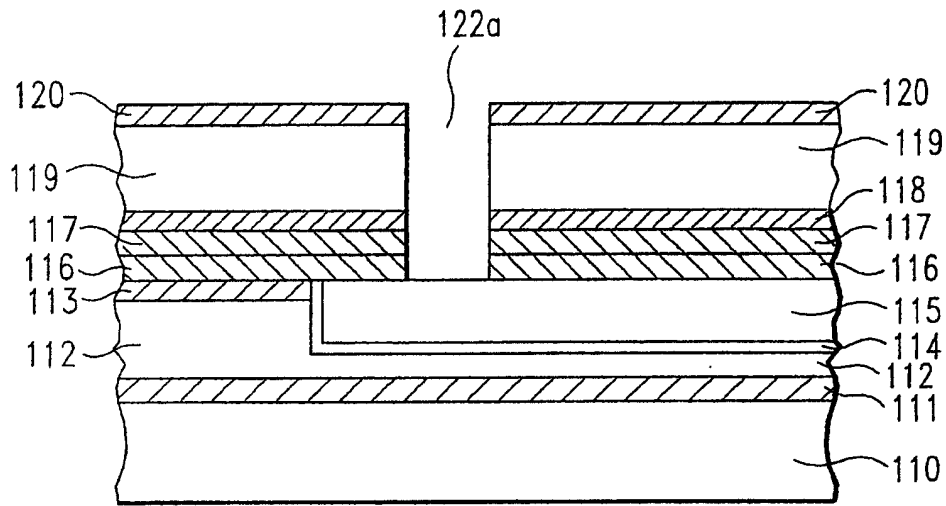


图 3g

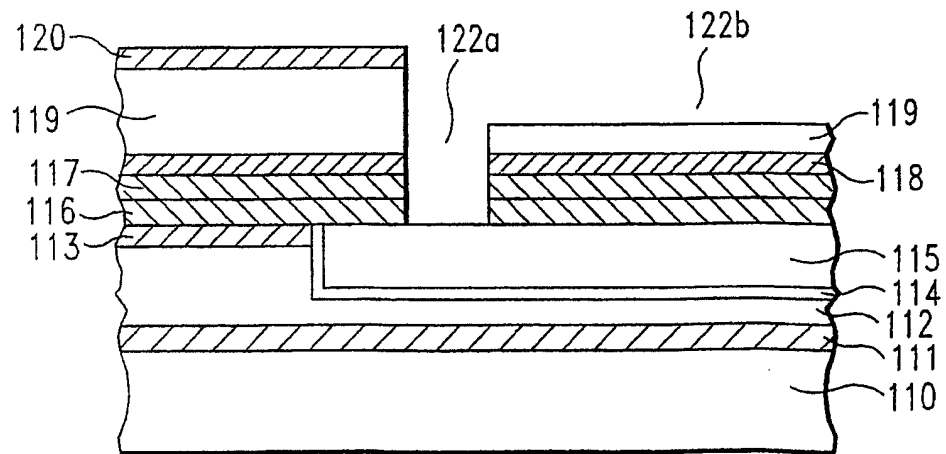


图 3h

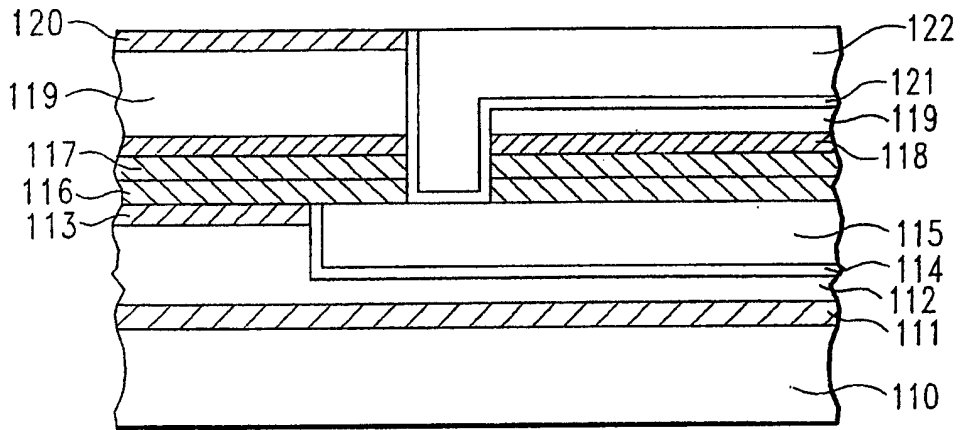


图 3i

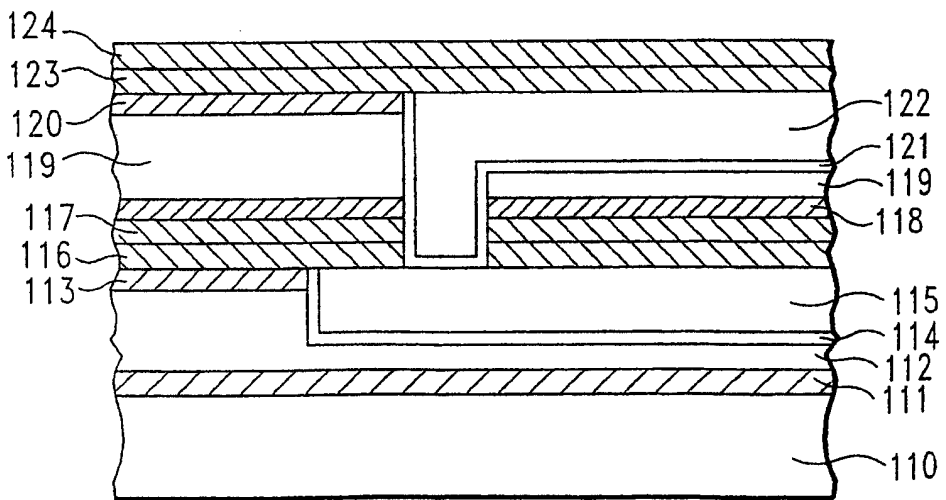


图 3j