

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 13/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월10일 10-0558548 2006년03월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0084873 2003년11월27일	(65) 공개번호 (43) 공개일자	10-2005-0051135 2005년06월01일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	조백형 경기도오산시부산동779-1번지운암주공아파트310동603호 곽충근 경기도수원시팔달구영통동황골마을풍림아파트235동1806호
(74) 대리인	김능균

심사관 : 조명관

(54) 상변화 메모리 소자에서의 라이트 드라이버 회로 및라이트 전류 인가방법

요약

라이트 전류 생성회로에 전류출력 쉬프트가 존재하거나 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에도 라이트 동작이 보다 정확히 수행되도록 하는 라이트 드라이버 회로가 개시되어있다. 제1 또는 제2 저항상태를 갖는 상변화 메모리 셀이 복수의 워드라인과 비트라인이 교차하는 인터섹션마다 연결된 매트릭스 형태의 메모리 셀 어레이를 구비한 상변화 메모리 소자에서, 라이트 동작을 위한 라이트 드라이버 회로는: 상기 상변화 메모리 셀의 저항상태를 변화시키기 위해 인가되는 제1 및 제2 상태 펄스중의 하나를, 인가되는 라이트 데이터의 논리 상태에 응답하여 선택하고, 제1 또는 제2 선택 펄스신호로서 출력하는 펄스 선택부와; 상기 제1 또는 제2 선택 펄스신호가 인가되는 경우에 프로그램된 제1,2 전류패스를 선택적으로 형성하여 조절된 제1 또는 제2레벨의 전압을 출력하는 라이트 전류 제어부와; 상기 라이트 전류 제어부의 출력전압에 응답하여 라이트 전류를 생성하는 전류 구동부를 구비함에 의해, 라이트 전류 생성회로에 대한 전류출력 쉬프트나 메모리 셀의 상변화특성 쉬프트가 보상된 라이트 전류를 상기 상변화 메모리 셀에 제공한다.

대표도

도 6

색인어

상변화 메모리, 상변화 물질, 라이트 드라이버 회로, 라이트 전류

명세서

도면의 간단한 설명

- 도 1은 통상적인 상변화 메모리 소자의 적용 예를 보인 휴대용 전자시스템의 회로블록도
- 도 2는 도 1중 상변화 메모리 소자의 개략적 회로블록도
- 도 3은 도 2중 상변화 메모리 셀내의 상변화물질에 대한 상태변화를 보여주는 도면
- 도 4는 도 3중 상변화 물질의 시간 대 온도에 따른 상변화 특성을 보여주는 도면
- 도 5는 도 3중 상변화 물질을 제1,2 상태로 변화시키기 위한 전류펄스의 파형을 보여주는 도면
- 도 6은 본 발명의 실시 예에 따른 라이트 드라이버 회로의 블록도
- 도 7은 도 6중 펄스 선택부의 구현 예를 보인 회로도
- 도 8은 도 6중 라이트 전류 제어부 및 전류 구동부의 제1 구현 예를 보인 회로도
- 도 9는 도 6중 라이트 드라이버 회로의 라이트 전류 출력에 관련된 동작 타이밍도
- 도 10은 도 6중 라이트 전류 제어부 및 전류 구동부의 제2 구현 예를 보인 회로도
- 도 11은 도 10의 제어신호들을 생성하기 위한 제어신호 발생부들의 구현 예를 보인 회로도
- 도 12는 도 6중 라이트 전류 제어부 및 전류 구동부의 제3 구현 예를 보인 회로도
- 도 13은 도 10의 증감제어신호들을 생성하기 위한 증감제어신호 발생부들의 구현 예를 보인 회로도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리에 관한 것으로, 특히 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법에 관한 것이다.

통상적으로, 램(RAM)은 컴퓨터 시스템, 통신용 기기 등과 같은 전자적 시스템내에서 데이터를 저장하기 위한 소자로서 흔히 사용된다.

특별한 램 메모리 셀은 상변화 물질(phase change material)을 포함한다. 상변화 물질을 두 물리적 상태들중의 하나로 세팅하는 것에 의해, 상변화 물질로 구성된 상변화 메모리 셀내에 데이터가 저장될 수 있다. 예를 들면, 상변화 물질의 제1 물리적 상태는 고 저항상태를 포함할 수 있고, 제2 물리적 상태는 저 저항상태를 포함할 수 있다. 여기서, 상기 고 저항상태가 바이너리 1을 표현하는 경우에 상기 저 저항상태는 바이너리 0을 표현할 수 있다.

상변화 메모리 셀을 복수로 가지는 메모리 셀 어레이를 포함하는 상변화 메모리 소자는 디램(DRAM)의 대응으로서 상기 전자적 시스템 내에 채용될 수 있다.

도 1은 통상적인 상변화 메모리 소자의 적용 예를 보인 휴대용 전자시스템의 회로블록도 이다. 버스라인(L3)을 통하여 마이크로 프로세서(4)와 연결된 상변화 메모리 소자(10)는 휴대용 전자시스템의 메인 메모리로서 기능한다. 배터리(2)는 전원라인(L4)을 통해 상기 마이크로 프로세서(4), I/O(입/출력부:6), 및 상기 상변화 메모리 소자(10)에 전원을 공급한다. 수신 데이터가 라인(L1)을 통하여 상기 I/O(6)에 제공되는 경우에 마이크로 프로세서(4)는 라인(L2)을 통해 상기 수신 데이

터를 수신하고 처리한 후, 버스라인(L3)를 통해 상기 상변화 메모리 소자(10)에 수신 또는 처리된 데이터를 인가한다. 상기 상변화 메모리 소자(10)는 상기 버스라인(L3)을 통해 인가되는 데이터를 메모리 셀에 저장한다. 또한, 상기 메모리 셀에 저장된 데이터는 상기 마이크로 프로세서(4)에 의해 리드되어 상기 I/O(6)를 통해 외부로 출력될 수 있다.

상기 배터리(2)의 전원이 전원라인(L4)에 공급되지 않는 경우에도 상기 상변화 메모리 소자(10)의 메모리 셀에 저장된 데이터는 상기 상변화 물질의 특성에 기인하여 멸실되지 않는다. 즉, 상기 상변화 메모리 소자(10)는 디램과는 달리 불휘발성 메모리인 것이다. 더구나, 고속 동작 및 저소비 전력 특성은 상기 상변화 메모리 소자(10)가 갖는 또 다른 장점이다.

도 2에는 도 1중 상변화 메모리 소자(10)의 개략적 회로블록도가 도시되어 있다. 도면을 참조하면, 상변화 메모리 셀(52)을 제외하고는, 통상적인 디램이 갖는 회로 기능블록들 예컨대, 어드레스 버퍼 및 신호발생회로(20), 로우 디코더(30), 컬럼 패스 및 컬럼 디코더(40), 라이트 드라이버 회로(100), 리드 증폭회로(60), 및 데이터 입출력 버퍼(70)가 보여진다. 그러나, 상기 회로 기능블록들의 세부적 구성 및 동작은 상기 상변화 메모리 셀(52)의 리드 및 라이트 동작특성에 기인하여 디램의 대응되는 블록들과는 약간 다르다.

도 2에서, 메모리 셀 어레이 및 센스앰프(50)내에서 메모리 셀 어레이를 구성하는 단위 메모리 셀(52)는 하나의 액세스 트랜지스터(NT)와 하나의 가변 저항체(GST)로 구성된다. 상기 가변 저항체(GST)는 상기 상변화 물질에 대응된다. 상기 액세스 트랜지스터(NT)의 게이트는 메모리 셀 어레이의 행을 이루는 워드라인(WL)과 연결되며, 상기 가변 저항체(GST)의 일단은 메모리 셀 어레이의 열을 구성하는 비트라인(BL)과 연결된다. 여기서, 상기 가변 저항체(GST)는 또 다른 경우에 디램 셀을 구성하는 커패시터의 위치에도 연결될 수도 있다.

상기 가변 저항체(GST)로서 기능하는 상기 상변화 물질은 도 3에서 보여지는 바와 같은 상태변화를 갖는다. 도 2중 상변화 메모리 셀(52)내의 상변화 물질에 대한 상태변화를 보여주는 도 3을 참조하면, 상부전극(56)과 하부전극(54)사이에서 샌드위치된 상변화 물질 막(55)이 보여진다. 상기 상변화 물질막(55)은 온도 및 히팅시간에 따라 상(phase)이 결정화(crystalline) 또는 비정질화(amorphous)됨으로써 저항값이 변화되는 상변화 물질(phase change material), 예컨대 $Ge_xSb_yTe_z$ (이하, GST)등으로 구성될 수 있다.

도 4에는 도 3중 상변화물질의 시간 대 온도에 따른 상변화 특성이 도시된다. 도면에서, 가로축은 시간(time)을 나타내며, 세로축은 온도(T)를 나타낸다. 상기 상변화 물질(GST)의 비정질화 상태는, 그래프 참조부호들(12,10,14)을 따라 나타나는 바와 같이, 상기 상변화 물질(GST)을 용융점(T_m : melting temperature) 이상으로 가열한 후, 급속히 냉각시키는 것에 의해 달성된다. 또한 결정화 상태는, 그래프 참조부호들(22,20,24)을 따라 나타나는 바와 같이, 상기 상변화 물질(GST)을 일정시간동안 결정화 온도(T_x : crystallization temperature) 이상으로 가열한 후, 냉각시키는 것에 의해 달성된다. 도 3 내의 참조부호들(ST1,ST2)에서 보여지는 바와 같이, 상기 상변화 물질(GST)의 상태가 비정질화 상태에서 결정화 상태로 바뀌는 경우를 셋(SET)이라고 정의하면, 결정화 상태에서 비정질화 상태로 다시 바뀌는 경우는 리셋(RESET)으로 정의될 수 있다. 상기 상변화 물질(GST)이 비정질화 상태로 존재하는 경우에 저항값은 결정화 상태로 존재하는 경우의 저항값에 비해 현저히 크다.

도 3내의 상기 상변화 물질막(55)을 가열하는 방법으로서, 레이저빔을 이용하는 방법과 전류를 이용하는 방법 등이 있는데, 메모리 칩의 구현용이성 측면에서 전류를 이용하는 방법이 선호된다. 전류를 이용하는 방법을 적용시, 상기 상변화 물질막(55)은 전류의 세기 및 전류의 인가시간에 따라 발생하는 주울열(joule heating)에 의해 셋 또는 리셋 상태로 된다.

도 5는 도 3중 상변화 물질을 주울열에 의해 제1,2 상태로 변화시키기 위한 전류펄스의 파형을 보여주는 도면이다. 도 4와 유사하게, 가로축은 시간(time)을 나타내며, 세로축은 전류(I)을 나타낸다. 도면에서, 전류의 세기를 나타내는 전류 레벨을 비교시, 리셋 펄스(G1)의 레벨은 셋 펄스(G2)의 레벨보다 높다. 전류의 인가시간을 비교시, 셋 펄스(G2)의 인가시간은 리셋 펄스(G1)의 인가시간보다 길다. 결국, 여기서, 상기 도 5의 리셋 펄스(G1)와 셋 펄스(G2)는 라이트 동작 모드에서 바이너리 1 또는 바이너리 0을 저장하기 위해 메모리 셀에 인가되어야 하는 라이트 전류를 의미한다.

후술될 본 발명의 철저한 이해를 제공할 의도외에는 다른 의도없이, 이제부터는 도 2 내지 도 5를 참조로, 상변화 메모리 셀(52)에 데이터를 저장하는 동작 즉, 라이트 동작(혹은 프로그램 동작)이 개략적으로 설명될 것이다. 또한, 저장된 데이터를 감지하여 외부로 출력하는 리드동작도 이어서 설명될 것이다.

도 2의 메모리 셀 어레이 및 센스앰프(50)내의 첫 번째 워드라인(WL1)과 첫 번째 비트라인(BL1)사이에서 연결된 상변화 메모리 셀(52)에 라이트 데이터(WDATA)를 저장하는 경우라고 가정하면, 로우 디코더(30)의 어드레스 디코딩 동작에 의해

상기 첫 번째 워드라인(WL1)이 활성화된다. 한편, 컬럼 패스 및 컬럼 디코더(40)의 디코딩 동작에 의해 상기 첫 번째 비트라인(BL1)이 선택된다. 데이터 입출력 버퍼(70)를 통해 인가되는 상기 라이트 데이터(WDATA)는 라이트 드라이버 회로(100)에 인가된다. 상기 라이트 드라이버 회로(100)는 상기 라이트 데이터(WDATA)가 논리 1인 경우에도 5에서 보여지는 리셋 펄스(G1)를 싱글 데이터 라인(SDL)에 라이트 전류로서 인가한다. 상기 라이트 드라이버 회로(100)는 상기 라이트 데이터(WDATA)가 논리 0인 경우에도 5에 보여지는 바와 같은 셋 펄스(G2)를 싱글 데이터 라인(SDL)에 라이트 전류로서 인가한다. 상기 리셋 펄스(G1)가 상기 첫 번째 비트라인(BL1)에 인가되면, 상기 선택된 상변화 메모리 셀(52)의 상변화 물질막(55)은 도 4의 온도 그래프(10)와 같은 온도로 히팅된 후 냉각되므로 도 3의 메모리 셀(52-1)과 같이 리셋된다. 결국, 리셋된 메모리 셀(52)은 고저항 상태를 가지므로, 데이터 1을 저장하고 있는 메모리 셀로서 기능한다. 한편, 셋 펄스(G1)가 상기 첫 번째 비트라인(BL1)에 인가되면, 상기 선택된 상변화 메모리 셀(52)의 상변화 물질막(55)은 도 4의 온도 그래프(20)와 같은 온도로 히팅된 후 냉각되므로 도 3의 메모리 셀(52-2)과 같이 셋된다. 결국, 셋된 메모리 셀(52)은 상대적으로 저저항 상태를 가지므로, 데이터 0을 저장하고 있는 메모리 셀로서 기능한다.

데이터 1 또는 0으로서 상기 메모리 셀(52)에 저장된 데이터는 첫 번째 워드라인(WL1)과 첫 번째 비트라인(BL1)이 선택되는 경우에 상기 첫 번째 비트라인(BL1)을 통해 리드된다. 데이터 1이 저장된 경우에 상기 메모리 셀(52)은 고저항 상태이므로 비트라인(BL1)에서 접지로 흐르는 셀 관통 전류의 레벨은 상대적으로 낮다. 또한, 데이터 0이 저장된 경우에 상기 메모리 셀(52)은 저저항 상태이므로 상기 셀 관통 전류의 레벨은 상대적으로 높다. 따라서, 상기 셀 관통 전류에 의한 전류 변화를 감지하는 전류 센스앰프를 상기 비트라인에 연결하여 구동시키거나, 상기 셀 관통 전류에 의한 전압변화를 감지하는 전압 센스앰프를 상기 비트라인에 연결하여 구동시키는 것에 의해, 상기 메모리 셀(52)에 저장된 데이터가 1 인지 0 인지 판독된다. 1 또는 0으로 리드된 데이터는 상기 컬럼 패스 및 컬럼 디코더(40) 및 리드 증폭회로(60)를 거쳐, 데이터 입출력 버퍼(70)로 출력된다. 여기서, 상기 리드 증폭회로(60)는 비트라인 센스앰프에서 출력된 데이터를 재차 증폭하는 역할을 하는 회로이다.

상변화 메모리 셀로부터 데이터를 리드하는 회로기술들 중 하나는 로레이(Lowrey)의 다수에게 2003년 8월 19일자로 특허허여된 미국특허번호 6,608,773호에 개시되어 있다.

또한, 상변화 메모리 셀을 형성하는 기술들중 하나는 이현(Heon Lee)의 다수에게 2003년 8월 12일자로 특허허여된 미국특허번호 6,605,821호에 개시되어 있다.

그리고, 상변화 메모리 소자에서 라이트 동작을 수행하는 기술의 예는 로레이(Lowrey)의 다수에게 2003년 4월 8일자로 특허허여된 미국특허번호 6,545,907호에 개시되어 있다. 상기 USP No. 6,545,907호의 특허에는 라이트 전류로서의 리셋펄스와 셋펄스으로써 라이트 동작을 수행하는 방법이 개시되어 있지만, 라이트 드라이버 회로등과 같은 라이트 전류 생성 회로에서 전류출력 쉬프트(shift)가 발생되거나, 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에 라이트 전류의 출력조절에 대한 대책이 미비한 문제점이 있다.

즉, 외부 요인이나 공정변화에 기인하여 라이트 드라이버 회로등과 같은 라이트 전류 생성회로의 전류출력이 규정된 값으로 발생되지 않는다면, 리셋 펄스 및 셋 펄스의 전류 레벨도 규정된 값으로 생성되지 않으므로 라이트 동작의 신뢰성은 저하될 수 있다. 또한, 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에 리셋 또는 셋 펄스의 전류레벨이 규정된 값으로 인가된다 하더라도 라이트 동작의 신뢰성은 보장되기 어렵다. 라이트 동작의 신뢰성이 저하되는 경우에 상변화 메모리 소자의 제조 수율은 저하될 것이다.

따라서, 라이트 드라이버 회로에서 출력되는 라이트 전류를 메모리 셀 어레이 블록별로 또는 메모리 칩 별로 조절하여 라이트 동작이 보다 정확히 수행될 수 있도록 하는 기술이 필요하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결할 수 있는 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법을 제공함에 있다.

본 발명의 다른 목적은 라이트 전류 생성회로에서 전류출력 쉬프트가 발생하는 경우에도 라이트 동작의 신뢰성을 보장 또는 최대화할 수 있는 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법을 제공함에 있다.

본 발명의 또 다른 목적은 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에 라이트 전류의 출력을 조절할 수 있는 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법을 제공함에 있다.

본 발명의 또 다른 목적은 상변화 메모리 셀을 리셋 또는 셋하기 위한 라이트 전류의 세기를 조절할 수 있는 라이트 드라이버 회로를 제공함에 있다.

본 발명의 또 다른 목적은 제조공정이나 외부요인에 의해 출력 쉬프트된 셋 전류 및 리셋 전류를 보정할 수 있는 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법을 제공함에 있다.

본 발명의 또 다른 목적은 세트 전류와 리셋 전류의 레벨을 퓨즈 프로그램에 의해 증감 출력할 수 있는 라이트 드라이버 회로를 제공함에 있다.

상기한 본 발명의 목적들 가운데 일부의 목적들을 달성하기 위하여 본 발명의 구체화(embodiment)에 따라, 제1 또는 제2 저항상태를 갖는 상변화 메모리 셀이 복수의 워드라인과 비트라인이 교차하는 인터섹션마다 연결된 매트릭스 형태의 메모리 셀 어레이를 구비한 상변화 메모리 소자에서, 라이트 동작을 위한 라이트 드라이버 회로는: 상기 상변화 메모리 셀의 저항상태를 변화시키기 위해 인가되는 제1 및 제2 상태 펄스중의 하나를, 인가되는 라이트 데이터의 논리 상태에 응답하여 선택하고, 제1 또는 제2 선택 펄스신호로서 출력하는 펄스 선택부와; 상기 제1 선택 펄스신호가 인가되는 경우에 프로그램된 제1 전류패스를 형성하여 전류출력 쉬프트나 상변화특성 쉬프트에 따라 조절된 제1 레벨의 전압을 출력하고, 상기 제2 선택 펄스신호가 인가되는 경우에 프로그램된 제2 전류패스를 형성하여 전류출력 쉬프트나 상변화특성 쉬프트에 따라 조절된 제2 레벨의 전압을 출력하는 라이트 전류 제어부와; 상기 라이트 전류 제어부의 출력전압에 응답하여 라이트 전류를 생성하는 전류 구동부를 구비한다.

바람직하기로, 상기 라이트 전류 제어부는, 상기 제1 선택 펄스신호에 응답하여 상기 제1 전류패스를 형성하고 상기 제1 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 의해 감소되도록 하는 리셋전류 조절부와; 상기 제2 선택 펄스신호에 응답하여 상기 제2 전류패스를 형성하고 상기 제2 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 의해 감소되도록 하는 셋전류 조절부와; 상기 제1,2 전류패스의 전류 공급단에 전압출력 노드가 연결되고, 퓨즈 프로그램에 의해 상기 전압출력 노드의 전압레벨이 감소되도록 하며, 상기 제1 또는 제2 전류패스를 통해 흐르는 전류량에 따라 조절된 상기 제1 또는 제2 레벨의 전압을 상기 전압출력 노드를 통해 출력하는 출력전압 조절부를 포함할 수 있다.

본 발명의 다른 구체화에 따라, 상변화 메모리 셀을 구비한 상변화 메모리 소자에서의 라이트 전류 인가방법은, 상기 상변화 메모리 셀을 라이트 동작 모드로 진입시키는 단계와; 라이트 전류의 세기를 라이트 데이터의 논리상태에 따라 결정하여 상기 상변화 메모리 셀로 제공할 때, 전류출력 쉬프트나 상기 상변화 메모리 셀에 대한 상변화특성 쉬프트가 보상되도록 하기 위해 상기 라이트 전류의 세기를 설정된 프로그램에 의해 증가 또는 감소적으로 조절하는 단계를 포함한다.

상기한 바와 같은 본 발명의 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법에 따르면, 라이트 전류 생성회로에 전류출력 쉬프트가 존재하거나 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에도 라이트 동작이 보다 정확히 수행된다.

발명의 구성 및 작용

이하에서는 본 발명에 따라, 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법에 관한 바람직한 실시 예 및 응용의 예가 첨부된 도면들을 참조로 설명될 것이다. 비록 다른 도면에 각기 표시되어 있더라도 동일 또는 유사한 기능을 가지는 구성요소들은 동일 또는 유사한 참조부호로서 라벨링된다. 이하의 실시예에서 많은 특정 상세들이 도면을 따라 예를 들어 설명되고 있지만, 이는 본 분야의 통상의 지식을 가진 자에게 본 발명의 이해를 돕기 위한 의도 이외에는 다른 의도 없이 설명되었음을 주목(note)하여야 한다.

도 6은 본 발명의 실시 예에 따른 라이트 드라이버 회로의 블록도이다. 도면을 참조하면, 라이트 드라이버 회로(100)는, 펄스 선택부(110), 라이트 전류 제어부(150), 및 전류 구동부(160)를 포함한다. 상기 라이트 전류 제어부(150)는 리셋 전류 조절부(120), 셋전류 조절부(130), 및 출력전압 조절부(140)를 포함한다.

상기 펄스 선택부(110)는 상변화 메모리 셀의 저항상태를 변화시키기 위해 인가되는 제1 및 제2 상태 펄스(P_RESET, P_SET)중의 하나를, 인가되는 라이트 데이터(WDATA)의 논리 상태에 응답하여 선택하고, 제1 또는 제2 선택 펄스신호(PRESET, PSET)로서 출력한다.

상기 라이트 전류 제어부(150)는, 상기 제1 선택 펄스신호(PRESET)가 인가되는 경우에 프로그램된 제1 전류패스를 형성하여 조절된 제1 레벨의 전압을 전압출력단(VO)으로 출력하고, 상기 제2 선택 펄스신호(PSET)가 인가되는 경우에 프로그램된 제2 전류패스를 형성하여 조절된 제2 레벨의 전압을 전압출력단(VO)으로 출력한다.

상기 전류 구동부(160)는 상기 라이트 전류 제어부(150)의 출력전압에 응답하여 라이트 전류를 생성하고 라인(SDL)에 인가한다.

도 7을 참조하면, 도 6중 펄스 선택부(110)의 구현 예가 나타나 있다. 도면에서, 제1 전송게이트(112)와 제2 전송게이트(113) 및 인버터(114)의 연결구조가 보여진다. 상기 인버터(114)는 상기 라이트 데이터(WDATA)의 논리 상태를 반전하기 위해 연결된 것이다. 상기 제1 전송게이트(112)와 제2 전송게이트(113)는 상기 제1 및 제2 상태 펄스(P_RESET, P_SET)를 입력단으로 각기 수신하고 상기 라이트 데이터를 제어단으로 공통수신한다. 따라서, 상기 라이트 데이터(WDATA)의 논리 상태가 하이인 경우에 상기 제1 전송게이트(112)가 인에이블되어 제1 선택 펄스신호(PRESET)가 활성화된다. 한편, 반대로 상기 라이트 데이터(WDATA)의 논리 상태가 로우인 경우에 상기 제2 전송게이트(113)가 인에이블되어 제2 선택 펄스신호(PSET)가 활성화된다.

도 8은 도 6중 라이트 전류 제어부 및 전류 구동부의 제1 구현 예를 보인 회로이다. 도면을 참조하면, 리셋 전류 조절부(120)는 제1-제4 엔형 모오스 트랜지스터(121-124)와, 제1-제3 퓨즈(125-127)로 구성된다. 드레인-소오스 채널이 시리즈로 연결된 상기 제1-제4 엔형 모오스 트랜지스터(121-124)는 각각의 게이트 단자를 통해 상기 제1 선택 펄스신호(PRESET)를 공통으로 수신한다. 상기 제1-제3 퓨즈(125-127)는 상기 제2-제4 엔형 모오스 트랜지스터(122-124)에 각기 대응적으로 연결된다. 예를 들어, 상기 제1 퓨즈(125)가 커팅된 경우에 상기 제1 엔형 모오스 트랜지스터(121)의 소오스에 나타나는 전류는 상기 제2 엔형 모오스 트랜지스터(122)를 통해서만 흐른다. 그러나, 상기 제1 퓨즈(125)가 노커팅된 경우에 상기 제1 엔형 모오스 트랜지스터(121)의 소오스에 나타나는 전류는 상기 제2 엔형 모오스 트랜지스터(122)를 통과함이 없이도 상기 제3 엔형 모오스 트랜지스터(123)의 드레인으로 흐를 수 있다.

유사하게, 셋 전류 조절부(130)도, 제1-제4 엔형 모오스 트랜지스터(131-134)와, 제1-제3 퓨즈(135-137)로 구성된다. 드레인-소오스 채널이 시리즈로 연결된 상기 제1-제4 엔형 모오스 트랜지스터(131-134)는 각각의 게이트 단자를 통해 상기 제2 선택 펄스신호(PSET)를 공통으로 수신한다. 상기 제1-제3 퓨즈(135-137)는 상기 제2-제4 엔형 모오스 트랜지스터(132-134)에 각기 대응적으로 연결된다. 예를 들어, 상기 제1 퓨즈(135)가 커팅된 경우에 상기 제1 엔형 모오스 트랜지스터(131)의 소오스에 나타나는 전류는 상기 제2 엔형 모오스 트랜지스터(132)를 통해서만 접지로 흐른다. 그러나, 상기 제1 퓨즈(135)가 노커팅된 경우에 상기 제1 엔형 모오스 트랜지스터(131)의 소오스에 나타나는 전류는 상기 제2 엔형 모오스 트랜지스터(132)를 통과함이 없이도 상기 제3 엔형 모오스 트랜지스터(133)의 드레인으로 흐를 수 있다. 한편, 상기 노드(N01)는 전류 공급단에 대응된다.

출력전압 조절부(140)는 제1-제4 피형 모오스 트랜지스터(141-144)와, 제1-제3 퓨즈(145-147)로 구성된다. 상기 제1-제4 피형 모오스 트랜지스터(141-144)의 소오스 단자들은 공통으로 전원전압(VDD)에 연결되고, 게이트 단자들은 공통으로 전압출력단(VO)에 연결된다. 상기 제2-제4 피형 모오스 트랜지스터(142-144)의 드레인 단자들은 각기 대응되는 상기 제1-제3 퓨즈(145-147)를 통하여 상기 전압출력단(VO)에 공통연결된다. 상기 제1 피형 모오스 트랜지스터(141)의 드레인 단자는 상기 전압출력단(VO)에 연결된다. 예를 들어, 상기 제1 퓨즈(145)가 커팅된 경우에 상기 제2 피형 모오스 트랜지스터(142)의 드레인 단자는 상기 전압출력단(VO)과는 전기적으로 분리된 상태가 되므로 상기 제2 피형 모오스 트랜지스터(142)에 의한 구동전류는 없게 된다. 결국, 제2 피형 모오스 트랜지스터(142)가 전류구동에 참여하지 않으면 노드(N01)의 전압레벨은 그 만큼 낮아진다.

도면에서, 전류 구동부(160)는 피형 모오스 트랜지스터(MPD)로 구성되어 있다. 상기 피형 모오스 트랜지스터(MPD)의 라이트 전류의 출력 레벨 즉, 라이트 전류의 세기는 상기 노드(N01)에 나타나는 전압레벨에 의존한다.

도 9는 도 6중 라이트 드라이버 회로의 라이트 전류 출력에 관련된 동작 타이밍도이다. 도면을 참조하면, 라이트 데이터(WDATA)가 논리 하이(1)로 인가되는 타임 구간내에서 제1 선택 펄스신호(PRESET)가 도 7의 제1 전송게이트(112)를 통해 출력된다. 상기 제1 선택 펄스신호(PRESET)는 도 9의 타이밍 화살부호(A1)로서 표시된 바와 같이 제1 상태 펄스(P_RESET)의 라이징 에지에 응답하여 생성된다.

한편, 라이트 데이터(WDATA)가 논리 로우(0)로 인가되는 타임 구간내에서 제2 선택 펄스신호(PSET)가 도 7의 제2 전송게이트(113)를 통해 출력된다. 상기 제2 선택 펄스신호(PSET)는 도 9의 타이밍 화살부호(A2)로서 표시된 바와 같이 제2 상태 펄스(P_SET)의 라이징 에지에 응답하여 생성된다.

상기 라이트 데이터(WDATA)의 논리상태에 따라 상기 펄스 선택부(110)가 상기 제1 선택 펄스신호(PRESET) 또는 상기 제2 선택 펄스신호(PSET)를 출력하면, 라이트 전류 제어부(150)내의 리셋 전류 조절부(120) 또는 셋 전류 조절부(130)가 출력전압 조절부(140)에 의해 생성된 전압을 접지를 통해 일정레벨로 방전하기 시작한다. 이 때 접지를 통해 흐르는 전류량에 따라 상기 출력전압 조절부(140)의 출력전압(VO)의 레벨이 결정된다. 상기 출력전압 조절부(140)의 출력전압(VO)의 레벨이 높은 경우에도 8의 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력이 감소되어 출력라인(SDL)에 나타나는 라이트 전류의 출력 레벨은 낮아진다. 반면에, 출력전압 조절부(140)의 출력전압(VO)의 레벨이 낮은 경우에도 8의 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력이 증가되어 출력라인(SDL)에 나타나는 라이트 전류의 출력 레벨은 높아진다.

도 9의 파형 SDL에서 보여지는 바로서, 리셋 전류의 레벨이 참조부호(H2)의 레벨로서 출력되는 경우에 리셋 전류의 레벨을 낮추어야 할 필요가 있다. 그러한 경우에도 8의 리셋 전류 조절부(120)내의 제1-3 퓨즈들(125-127)은 커팅의 대상이 된다. 예를 들어, 제1 퓨즈(125)를 레이저 빔등의 광원으로 커팅한 경우에, 제1 및 제2 엔형 모오스 트랜지스터(121,122)와, 제2 및 제3 퓨즈(126,127)를 통해 전류패스가 형성된다. 이 때 상기 제2 엔형 모오스 트랜지스터(122)의 턴온 저항이 전류의 흐름을 방해하므로, 접지(VSS)를 통해 흐르는 전류량은 줄어들고 그 결과로서, 노드(NO1)의 전압레벨은 상기 제1 퓨즈(125)가 노커팅된 경우에 비해 높아진다. 이에 따라 도 8의 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력이 감소되어 출력라인(SDL)에 나타나는 라이트 전류의 출력 레벨은 참조부호(H1)의 레벨로 낮아진다. 만약, 참조부호(H3)의 레벨만큼 리셋 전류의 레벨을 더 낮추어야 하는 경우에, 제2 및 제3 퓨즈(126,127)가 추가적으로 커팅된다. 이에 따라, 상기 제1-3퓨즈(125-127)가 모두 커팅된 경우에 제1-제4 엔형 모오스 트랜지스터(121-124)의 드레인-소오스 채널을 통해서만 전류패스가 형성되므로 방전 전류량은 더욱 감소된다. 그 결과로서, 피형 모오스 트랜지스터(MPD)의 게이트 단자의 전압레벨은 이전의 경우에 비해 높아지고, 출력라인(SDL)에 나타나는 라이트 전류의 출력 레벨은 참조부호(H3)의 레벨로 낮아질 수 있다.

한편, 도 9의 파형 SDL에서 보여지는 바로서, 리셋 전류의 레벨이 참조부호(H3)의 레벨로서 출력되는 경우에 리셋 전류의 레벨을 높여야 할 필요가 있다. 그러한 경우에도 8내의 출력전압 조절부(140)내의 제1-3 퓨즈들(145-147)은 커팅의 대상이 된다. 예를 들어, 제1 퓨즈(145)를 레이저 빔등의 광원으로 커팅한 경우에, 제2 피형 모오스 트랜지스터(142)는 전원 전압(VDD)의 드라이빙 동작에 참여하지 않게 된다. 이에 따라 노드(NO1)의 전압레벨은 상기 제1 퓨즈(145)가 노커팅된 경우에 비해 낮아지므로, 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력이 증가되어 출력라인(SDL)에 나타나는 라이트 전류의 출력 레벨은 참조부호(H1)의 레벨로 상승한다. 또한, 참조부호(H2)의 레벨만큼 리셋 전류의 레벨을 더 높여야 할 경우에, 제2 및 제3 퓨즈(146,147)가 추가적으로 커팅될 수 있다. 이에 따라, 상기 제1-3퓨즈(145-147)가 모두 커팅된 경우에 제1 피형 모오스 트랜지스터(141)의 소오스-드레인 채널을 통해서만 전류가 드라이빙되므로 피형 모오스 트랜지스터(MPD)의 게이트 단자의 전압레벨은 이전의 경우에 비해 낮아진다. 따라서, 출력라인(SDL)에 나타나는 리셋 전류의 출력 레벨은 참조부호(H2)의 레벨로 상승될 수 있다.

셋 전류의 조절동작이 유사하게 설명된다. 도 9의 파형 SDL에서 보여지는 바로서, 셋 전류의 레벨이 참조부호(H20)의 레벨로서 출력되는 경우에 셋 전류의 레벨을 낮추어야 할 필요가 있다. 그러한 경우에도 8의 셋 전류 조절부(130)내의 제1-3 퓨즈들(135-137)은 커팅의 대상이 된다. 예를 들어, 제1 퓨즈(135)를 레이저 빔등의 광원으로 커팅한 경우에, 제1 및 제2 엔형 모오스 트랜지스터(131,132)와, 제2 및 제3 퓨즈(136,137)를 통해 전류패스가 형성된다. 이 때 상기 제2 엔형 모오스 트랜지스터(132)의 턴온 저항이 전류의 흐름을 방해하는데 참여하므로, 접지(VSS)를 통해 흐르는 전류량은 줄어들고 그 결과로서, 노드(NO1)의 전압레벨은 상기 제1 퓨즈(135)가 노커팅된 경우에 비해 높아진다. 이에 따라 도 8의 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력이 감소되어 출력라인(SDL)에 나타나는 셋 전류의 출력 레벨은 참조부호(H10)의 레벨로 낮아진다. 만약, 참조부호(H30)의 레벨만큼 셋 전류의 레벨을 더 낮추어야 하는 경우에, 제2 및 제3 퓨즈(136,137)가 추가적으로 커팅된다. 이에 따라, 상기 제1-3퓨즈(135-137)가 모두 커팅된 경우에 제1-제4 엔형 모오스 트랜지스터(131-134)의 드레인-소오스 채널을 통해서만 전류패스가 형성되므로 방전 전류량은 더욱 감소된다. 그 결과로서, 피형 모오스 트랜지스터(MPD)의 게이트 단자의 전압레벨은 이전의 경우에 비해 높아지고, 출력라인(SDL)에 나타나는 셋 전류의 출력 레벨은 참조부호(H30)의 레벨로 낮아질 수 있다. 한편, 셋 전류의 레벨이 참조부호(H30)의 레벨로서 출력되는 경우에 셋 전류의 레벨을 높여야 할 필요가 있다. 그러한 경우에도 8내의 출력전압 조절부(140)내의 제1-3 퓨즈들(145-147)은 커팅의 대상이 될 수 있다. 예를 들어, 제1 퓨즈(145)를 커팅한 경우에, 제2 피형 모오스 트랜지스터(142)는 전원전압(VDD)의 드라이빙 동작에 참여하지 않게 되므로, 노드(NO1)의 전압레벨은 상기 제1 퓨즈(145)가 노커팅된 경우에 비해 낮아진다. 따라서, 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력이 증가되어 출력라인(SDL)에 나타나는 셋 전류의 출력 레벨은 참조부호(H10)의 레벨로 상승한다.

상기한 바와 같이, 라이트 전류 생성회로에 전류출력 쉬프트가 존재하거나 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에도 증가 또는 감소적으로 보상된 리셋 또는 셋 전류를 펄

즈 프로그램에 의해 출력할 수 있다. 상기 커팅 가능한 퓨즈들은, 라이트 전류의 세기가 라이트 데이터의 논리상태에 따라 결정되어 상기 상변화 메모리 셀로 제공되는 경우에, 상기 라이트 전류의 세기가 증가 또는 감소되도록 하는 보상 프로그램부로서 기능한다.

도 10은 도 6중 라이트 전류 제어부 및 전류 구동부의 제2 구현 예를 보인 회로도이다. 도면을 참조하면, 리셋 전류 조절부(120-1)는 제1-제4 엔형 모오스 트랜지스터(121-124)와, 제5 및 제6 엔형 모오스 트랜지스터(128,129)로 구성된다. 드레인-소오스 채널이 시리즈로 연결된 상기 제1-제4 엔형 모오스 트랜지스터(121-124)는 각각의 게이트 단자를 통해 상기 제1 선택 펄스신호(PRESET)를 공통으로 수신한다. 상기 제5 엔형 모오스 트랜지스터(128)는 상기 제1 및 제2 엔형 모오스 트랜지스터(121,122)에 대응하여 병렬로 연결되고, 상기 제6 엔형 모오스 트랜지스터(129)는 상기 제3 및 제4 엔형 모오스 트랜지스터(123,124)에 대응하여 병렬로 연결된다. 예를 들어, 상기 제5 엔형 모오스 트랜지스터(128)가 턴온되는 경우에 상기 제1 엔형 모오스 트랜지스터(121)의 드레인에 나타나는 전류는 제5 엔형 모오스 트랜지스터(128)의 드레인-소오스 채널을 통해서도 흐르게 된다. 상기 제5 및 제6 엔형 모오스 트랜지스터(128,129)의 게이트 단자에는 각기 대응되는 제어신호(C,D)가 인가된다.

유사하게, 셋전류 조절부(130-1)도, 제1-제4 엔형 모오스 트랜지스터(131-134)와, 제5 및 제6 엔형 모오스 트랜지스터(138,139)로 구성된다. 드레인-소오스 채널이 시리즈로 연결된 상기 제1-제4 엔형 모오스 트랜지스터(131-134)는 각각의 게이트 단자를 통해 상기 제2 선택 펄스신호(PSET)를 공통으로 수신한다. 상기 제5 엔형 모오스 트랜지스터(138)는 상기 제1 및 제2 엔형 모오스 트랜지스터(131,132)에 대응하여 병렬로 연결되고, 상기 제6 엔형 모오스 트랜지스터(139)는 상기 제3 및 제4 엔형 모오스 트랜지스터(133,134)에 대응하여 병렬로 연결된다. 상기 제5 및 제6 엔형 모오스 트랜지스터(138,139)의 게이트 단자에는 각기 대응되는 제어신호(C,D)가 인가된다. 상기 제5 엔형 모오스 트랜지스터(138)가 턴온되는 경우에 상기 제1 엔형 모오스 트랜지스터(131)의 드레인에 나타나는 전류는 제5 엔형 모오스 트랜지스터(138)의 드레인-소오스 채널을 통해서도 흐르게 된다.

출력전압 조절부(140-1)는 제1-제4 피형 모오스 트랜지스터(141-144)와, 제5-제6 피형 모오스 트랜지스터(145-147)로 구성된다. 상기 제1 및 제5-7 피형 모오스 트랜지스터(141,145-147)의 소오스 단자들은 공통으로 전원전압(VDD)에 연결되고, 제1-제4 피형 모오스 트랜지스터(141-144)의 게이트 단자들은 공통으로 전압출력단(VO)에 연결된다. 상기 제5-제7 피형 모오스 트랜지스터(145-147)의 게이트 단자들에는 각기 대응되는 제어신호들(E,F,G)이 인가된다. 예를 들어, 상기 제5 피형 모오스 트랜지스터(145)가 턴온되는 경우에 제2 피형 모오스 트랜지스터(142)도 턴온된다. 따라서, 상기 제1 피형 모오스 트랜지스터(141)의 턴온동작과 상기 제5 피형 모오스 트랜지스터(145) 및 제2 피형 모오스 트랜지스터(142)의 턴온동작에 따라, 노드(N01)의 전압레벨은 그 만큼 높아진다.

도 10에서, 전류 구동부(160)는 도 8의 경우와 마찬가지로, 피형 모오스 트랜지스터(MPD)로 구성되어 있다.

도 10에서, 상기 리셋전류 조절부(120-1)내의 상기 제1-제4 엔형 모오스 트랜지스터(121-124)는 제1 전류패스를 동작적으로 형성하고, 상기 제5 및 제6 엔형 모오스 트랜지스터(128,129)는 더미 전류패스를 동작적으로 형성한다. 상기 더미 전류패스는 퓨즈 프로그램에 응답된 상기 제어신호(A,B)에 의해 제어된다. 따라서, 상기 리셋전류 조절부(120-1)는 도 8의 리셋전류 조절부(120)의 역할과는 반대로 리셋 전류를 증가시킨다. 즉, 상기 더미 전류패스의 형성에 의해 노드(N01)의 전압레벨은 낮아지므로 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력을 증가시킨다.

또한, 상기 셋전류 조절부(130-1)내의 상기 제1-제4 엔형 모오스 트랜지스터(131-134)는 제1 전류패스를 동작적으로 형성하고, 상기 제5 및 제6 엔형 모오스 트랜지스터(138,139)는 더미 전류패스를 동작적으로 형성한다. 상기 더미 전류패스는 퓨즈 프로그램에 응답된 상기 제어신호(C,D)에 의해 제어된다. 따라서, 상기 셋전류 조절부(130-1)는 도 8의 셋전류 조절부(130)의 역할과는 반대로 셋 전류를 증가시킨다. 즉, 상기 더미 전류패스의 형성에 의해 노드(N01)의 전압레벨은 낮아지므로 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력을 증가시킨다.

한편, 도 10에서, 상기 출력전압 조절부(140-1)내의 상기 제5-제7 피형 모오스 트랜지스터(145-147)는 더미 전압공급 패스를 동작적으로 형성한다. 상기 더미 전압공급 패스의 차단 또는 연결은 퓨즈 프로그램에 응답된 상기 제어신호(E,F,G)에 의해 제어된다. 따라서, 상기 출력전압 조절부(140-1)는 도 8의 출력전압 조절부(140)의 역할과는 달리 반대로 상기 전압출력 노드(VO)의 전압레벨을 증가시킨다. 상기 출력전압 조절부(140-1)의 더미 전압공급 패스의 동작적 연결에 의해, 피형 모오스 트랜지스터(MPD)의 게이트 단자에 인가되는 전압레벨은 높아지므로 라이트 전류로서의 리셋 전류 또는 셋 전류의 출력레벨은 낮아진다.

도 11은 도 10의 제어신호들(A,B-G)을 생성하기 위한 제어신호 발생부들의 구현 예를 보인 회로도이다. 도면을 참조하면, 참조 부호 11a는 상기 출력전압 조절부(140-1)에 인가되는 상기 제어신호(E,F,G)를 생성하기 위한 회로이고, 참조 부호 11b는 상기 리셋전류 조절부(120-1) 및 상기 셋전류 조절부(130-1)에 인가되는 상기 제어신호(A,B,C,D)를 생성하기 위한 회로이다.

상기 제어신호(E,F,G)중 하나를 생성하기 위한 회로(11a)는, 퓨즈들(FU1,FU2)과, 서로 종속접속된 다이오드 기능의 엔형 모오스 트랜지스터(NM1-NM4)와, 인버터들(IN1,IN2)로 이루어진다. 예를 들어, 제어신호(E)를 논리 로우로서 생성할 경우에 즉, 리셋 전류 또는 셋 전류의 출력레벨을 낮출 필요가 있을 경우에는 상기 퓨즈들(FU1,FU2)이 커팅된다. 이에 따라, 전원전압(VDD)이 인버터(IN1)의 입력노드에 제공되지 않으므로, 인버터(IN2)의 출력은 논리 로우가 된다.

상기 제어신호(A,B,C,D)중 하나를 생성하기 위한 회로(11b)는, 퓨즈들(FU1,FU2)과, 서로 종속접속된 다이오드 기능의 엔형 모오스 트랜지스터(NM1-NM4)와, 인버터들(IN1-IN3)로 이루어진다. 예를 들어, 제어신호(A)를 논리 하이로서 생성할 경우에 즉, 리셋 전류의 출력레벨을 높일 필요가 있을 경우에는 상기 퓨즈들(FU1,FU2)이 커팅된다. 이에 따라, 전원 전압(VDD)이 인버터(IN1)의 입력노드에 제공되지 않으므로, 인버터(IN3)의 출력은 논리 하이이 된다.

도 12는 도 6중 라이트 전류 제어부 및 전류 구동부의 제3 구현 예를 보인 회로도이다. 도면을 참조하면, 리셋 전류 조절부(120-2)는 제1-제4 엔형 모오스 트랜지스터(121-124)와, 제5 및 제6 엔형 모오스 트랜지스터(127,128)로 구성된다. 드레인-소오스 채널이 시리즈로 연결된 상기 제1-제5 엔형 모오스 트랜지스터(121-124,127)는 각각의 게이트 단자를 통해 상기 제1 선택 펄스신호(PRESET)를 공통으로 수신한다. 상기 제6 엔형 모오스 트랜지스터(128)의 소오스 단자는 접지에 연결되고, 드레인 단자는 상기 제5 엔형 모오스 트랜지스터(127)의 소오스 단자에 연결되며, 게이트 단자는 증감 제어신호(DC-RESET)에 연결된다. 예를 들어, 상기 제6 엔형 모오스 트랜지스터(128)의 게이트 단자에 인가되는 상기 증감 제어신호(DC-RESET)의 전압레벨에 따라 상기 제6 엔형 모오스 트랜지스터(128)의 드레인-소오스 채널을 통해 흐르는 전류량이 증가 또는 감소적으로 조절된다. 상기 리셋전류 조절부(120-2)내의 상기 제1-제4 엔형 모오스 트랜지스터(121-124)는 제1 전류패스를 동작적으로 형성하고, 상기 제5 및 제6 엔형 모오스 트랜지스터(127,128)는 더미 전류패스를 동작적으로 형성한다. 상기 더미 전류패스는 퓨즈 프로그램에 응답된 상기 증감 제어신호(DC-RESET)에 의해 제어된다. 따라서, 상기 리셋전류 조절부(120-2)는 리셋 전류를 증가 또는 감소시키는 기능을 갖는다. 즉, 상기 더미 전류패스의 형성에 의해 노드(NO1)의 전압레벨은 높아지거나 낮아지므로 피형 모오스 트랜지스터(MPD)의 전류 드라이빙 능력은 감소되거나 증가된다.

유사하게, 셋 전류 조절부(130-2)도, 제1-제4 엔형 모오스 트랜지스터(131-134)와, 제5 및 제6 엔형 모오스 트랜지스터(137,138)로 구성된다. 드레인-소오스 채널이 시리즈로 연결된 상기 제1-제5 엔형 모오스 트랜지스터(131-134,137)는 각각의 게이트 단자를 통해 상기 제2 선택 펄스신호(PSET)를 공통으로 수신한다. 상기 제6 엔형 모오스 트랜지스터(138)의 소오스 단자는 접지에 연결되고, 드레인 단자는 상기 제5 엔형 모오스 트랜지스터(137)의 소오스 단자에 연결되며, 게이트 단자는 증감 제어신호(DC-SET)에 연결된다. 예를 들어, 상기 제6 엔형 모오스 트랜지스터(138)의 게이트 단자에 인가되는 상기 증감 제어신호(DC-SET)의 전압레벨에 따라 상기 제6 엔형 모오스 트랜지스터(138)의 드레인-소오스 채널을 통해 흐르는 전류량이 증가 또는 감소적으로 조절된다. 여기서, 상기 리셋전류 조절부(130-2)내의 상기 제1-제4 엔형 모오스 트랜지스터(131-134)는 제1 전류패스를 동작적으로 형성하고, 상기 제5 및 제6 엔형 모오스 트랜지스터(137,138)는 더미 전류패스를 동작적으로 형성한다. 상기 더미 전류패스는 퓨즈 프로그램에 응답된 상기 증감 제어신호(DC-SET)에 의해 제어된다. 따라서, 상기 셋전류 조절부(130-2)는 셋 전류를 증가 또는 감소시키는 기능을 갖는다. 즉, 상기 더미 전류패스의 형성에 의해 노드(NO1)의 전압레벨은 높아지거나 낮아지므로 피형 모오스 트랜지스터(MPD)의 드레인 단자를 통해 출력되는 셋 전류의 레벨은 감소 또는 증가된다.

도 12에서, 출력전압 조절부(140-2)는 하나의 피형 모오스 트랜지스터(141)로 구성된다. 상기 피형 모오스 트랜지스터(141)의 소오스 단자는 전원전압(VDD)에 연결되고, 게이트 단자 및 드레인 단자는 공통으로 전압출력단(VO)에 연결된다. 따라서, 상기 피형 모오스 트랜지스터(141)는 노말리 턴온되어 설정된 구동능력에 따른 전압을 상기 노드(NO1)에 제공한다.

도 12의 전류 구동부(160)는 도 8의 경우와 마찬가지로, 피형 모오스 트랜지스터(MPD)로 구성되어 있음을 알 수 있다.

도 13은 도 10의 증감제어신호들을 생성하기 위한 증감제어신호 발생부들의 구현 예를 보인 회로도이다. 도면을 참조하면, 참조 부호 13a는 상기 리셋전류 조절부(120-2)에 인가되는 상기 증감 제어신호(DC-RESET)를 생성하기 위한 회로이고, 참조 부호 13b는 상기 셋전류 조절부(130-2)에 인가되는 상기 증감 제어신호(DC-SET)를 생성하기 위한 회로이다.

상기 증감 제어신호(DC-RESET)를 생성하기 위한 회로(13a)는, 직렬로 연결된 저항들(R1-R4)과, 직류 전압의 증감을 프로그램하기 위한 퓨즈들(F1-F4)과, 서로 종속접속된 엔형 모오스 트랜지스터(NM1-NM4)와, 피형 모오스 트랜지스터(PM1)로 이루어져 있다. 여기서, 레벨 다운부(LD)내의 퓨즈(F1,F2)가 커팅되는 경우에 저항(R3,R4)이 노드(ND1)에서 접지(VSS)로 흐르는 전류를 방해하는 작업에 참여하므로, 피형 모오스 트랜지스터(PM1)의 게이트 단자에 인가되는 전압이 낮아진다. 이에 따라, 상기 피형 모오스 트랜지스터(PM1)는 노드(ND1)의 전압을 퓨즈들이 커팅되기 이전의 경우에 비해 더 낮추는 역할을 한다. 그러므로, 증감 제어신호(DC-RESET)의 직류 레벨은 낮아진다. 상기 증감 제어신호(DC-RESET)의 직류 레벨이 낮아지는 경우에 상기 리셋전류 조절부(120-2)내의 더미 전류패스를 통해 흐르는 전류가 감소되므로, 결국, 라이트 동작을 위한 리셋 전류는 감소된다.

한편, 레벨 증가부(LU)내의 퓨즈(F3,F4)가 커팅되는 경우에 엔형 모오스 트랜지스터(NM2,NM3)가 저항을 증가시키므로, 피형 모오스 트랜지스터(PM1)의 게이트 단자에 인가되는 전압은 높아진다. 이에 따라, 상기 피형 모오스 트랜지스터(PM1)는 노드(ND1)의 전압을 퓨즈들(F3,F4)이 커팅되기 이전의 경우에 비해 약하게 턴오프되므로 증감 제어신호(DC-RESET)의 직류 레벨은 높아진다. 상기 증감 제어신호(DC-RESET)의 직류 레벨이 높아지는 경우에 상기 리셋전류 조절부(120-2)내의 더미 전류패스를 통해 흐르는 전류가 증가되므로, 결국, 라이트 동작을 위한 리셋 전류는 증가된다.

유사하게, 상기 증감 제어신호(DC-SET)를 생성하기 위한 회로(13b)는, 직렬로 연결된 저항들(R1-R4)과, 직류 전압의 증감을 프로그램하기 위한 퓨즈들(F1-F4)과, 서로 종속접속된 엔형 모오스 트랜지스터(NM1-NM4)와, 피형 모오스 트랜지스터(PM1)로 이루어져 있다. 여기서, 레벨 다운부(LD)내의 퓨즈(F1,F2)가 커팅되는 경우에 저항(R3,R4)이 노드(ND1)에서 접지(VSS)로 흐르는 전류를 방해하는 작업에 참여하므로, 피형 모오스 트랜지스터(PM1)의 게이트 단자에 인가되는 전압이 낮아진다. 이에 따라, 상기 피형 모오스 트랜지스터(PM1)는 노드(ND1)의 전압을 퓨즈들이 커팅되기 이전의 경우에 비해 더 낮추는 역할을 한다. 그러므로, 증감 제어신호(DC-SET)의 직류 레벨은 낮아진다. 상기 증감 제어신호(DC-SET)의 직류 레벨이 낮아지는 경우에 상기 셋전류 조절부(130-2)내의 더미 전류패스를 통해 흐르는 전류가 감소되므로, 결국, 라이트 동작을 위한 셋 전류는 감소된다.

한편, 레벨 증가부(LU)내의 퓨즈(F3,F4)가 커팅되는 경우에 엔형 모오스 트랜지스터(NM2,NM3)가 저항을 증가시키므로, 피형 모오스 트랜지스터(PM1)의 게이트 단자에 인가되는 전압은 높아진다. 이에 따라, 상기 피형 모오스 트랜지스터(PM1)는 노드(ND1)의 전압을 퓨즈들(F3,F4)이 커팅되기 이전의 경우에 비해 약하게 턴오프되므로 증감 제어신호(DC-SET)의 직류 레벨은 높아진다. 상기 증감 제어신호(DC-SET)의 직류 레벨이 높아지는 경우에 상기 셋전류 조절부(130-2)내의 더미 전류패스를 통해 흐르는 전류가 증가되므로, 결국, 라이트 동작을 위한 셋 전류는 증가된다.

상기 도 13의 회로들에서 발생하는 상기 증감 제어신호들(DC-RESET,DC-SET)의 직류 레벨은 리셋 전류와 셋 전류의 생성특성에 기인하여 서로 다르다. 그러한 경우에, 상기 회로내의 저항들에 대한 저항값들의 적절한 조절이 수행될 필요가 있다.

상기한 바와 같은 실시예들의 설명을 통하여 명백히 알 수 있는 바와 같이, 라이트 전류 생성회로가 제조요인이나 미약한 결함에 의해 규정된 리셋 전류나 셋 전류를 출력하지 못하고 약간의 전류출력 쉬프트를 가지게 될 경우에, 상기한 바와 같은 퓨즈 프로그램을 통하여 라이트 전류의 출력 레벨을 업 또는 다운으로 조절하여 정격 출력을 가지게 할 수 있다. 또한, 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에도 증가 또는 감소적으로 보상된 라이트 전류가 본 발명의 라이트 드라이버 회로를 통해 생성될 수 있다.

상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 라이트 드라이버 회로내의 회로구성이나 퓨즈들의 개수 및 결선관계를 본 발명의 기술적 사상을 벗어남이 없이 다양한 형태로 변경할 수 있음은 물론이다. 그리고 상변화 메모리 소자의 적용처는 휴대용 전자기기에 한정됨이 없이 전자적 시스템에 폭넓게 채용될 수 있다.

발명의 효과

상술한 바와 같은 상변화 메모리 소자에서의 라이트 드라이버 회로 및 라이트 전류 인가방법을 제공하는 본 발명에 따르면, 라이트 전류 생성회로에 전류출력 쉬프트가 존재하거나 상변화 물질을 갖는 상변화 메모리 셀이 외부 요인이나 공정변화에 기인하여 상변화특성 쉬프트를 갖는 경우에도 보상된 라이트 전류가 인가되므로 라이트 동작에 대한 신뢰성이 보장 또는 최대화되는 효과가 있다.

(57) 청구의 범위

청구항 1.

(정정)상변화 메모리 셀을 구비한 상변화 메모리 소자에서, 라이트 동작에 관련된 회로에 있어서:

라이트 전류의 세기가 라이트 데이터의 논리상태에 따라 결정되어 상기 상변화 메모리 셀로 제공되는 경우에, 퓨즈 프로그램을 행하기 위한 커팅 가능한 퓨즈를 구비하여 상기 라이트 전류의 세기가 상기 퓨즈 프로그램에 의해 증가 또는 감소되도록 하는 보상 프로그램부를 상기 상변화 메모리 소자내에 구비함을 특징으로 하는 회로.

청구항 2.

(삭제)

청구항 3.

제1항에 있어서, 상기 상변화 메모리 셀이 상대적으로 고저항 상태를 갖도록 할 경우에 인가되는 상기 라이트 전류의 세기는 상기 상변화 메모리 셀이 상대적으로 저저항 상태를 갖도록 할 경우에 인가되는 전류의 세기보다 더 큼을 특징으로 하는 회로.

청구항 4.

제3항에 있어서, 상기 고저항 상태가 데이터 1로 설정되는 경우에 상기 저저항 상태는 데이터 0으로 설정됨을 특징으로 하는 회로.

청구항 5.

제1 또는 제2 저항상태를 갖는 상변화 메모리 셀이 복수의 워드라인과 비트라인이 교차하는 인터섹션마다 연결된 매트릭스 형태의 메모리 셀 어레이를 구비한 상변화 메모리 소자에서, 라이트 동작을 위한 라이트 드라이버 회로에 있어서:

상기 상변화 메모리 셀의 저항상태를 변화시키기 위해 인가되는 제1 및 제2 상태 펄스중의 하나를, 인가되는 라이트 데이터의 논리 상태에 응답하여 선택하고, 제1 또는 제2 선택 펄스신호로서 출력하는 펄스 선택부와;

상기 제1 선택 펄스신호가 인가되는 경우에 프로그램된 제1 전류패스를 형성하여 조절된 제1 레벨의 전압을 출력하고, 상기 제2 선택 펄스신호가 인가되는 경우에 프로그램된 제2 전류패스를 형성하여 조절된 제2 레벨의 전압을 출력하는 라이트 전류 제어부와;

상기 라이트 전류 제어부의 출력전압에 응답하여 라이트 전류를 생성하는 전류 구동부를 구비함을 특징으로 하는 회로.

청구항 6.

제5항에 있어서, 상기 펄스 선택부는, 상기 제1 및 제2 상태 펄스를 입력단으로 각기 수신하고 상기 라이트 데이터를 제어단으로 공통수신하는 제1,2 전송게이트를 포함함을 특징으로 하는 회로.

청구항 7.

제5항 또는 제6항에 있어서, 상기 라이트 전류 제어부는,

상기 제1 선택 펄스신호에 응답하여 상기 제1 전류패스를 형성하고 상기 제1 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 의해 감소되도록 하는 리셋전류 조절부와;

상기 제2 선택 펄스신호에 응답하여 상기 제2 전류패스를 형성하고 상기 제2 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 의해 감소되도록 하는 셋전류 조절부와;

상기 제1,2 전류패스의 전류 공급단에 전압출력 노드가 연결되고, 퓨즈 프로그램에 의해 상기 전압출력 노드의 전압레벨이 감소되도록 하며, 상기 제1 또는 제2 전류패스를 통해 흐르는 전류량에 따라 조절된 상기 제1 또는 제2 레벨의 전압을 상기 전압출력 노드를 통해 출력하는 출력전압 조절부를 포함함을 특징으로 하는 회로.

청구항 8.

제7항에 있어서, 상기 전류 구동부는, 상기 출력전압 조절부의 상기 전압출력 노드에 게이트 단자가 연결되고 소오스 단자로 전원전압을 수신하며 드레인 단자로 상기 라이트 전류를 출력하는 피형 모오스 트랜지스터로 구성됨을 특징으로 하는 회로.

청구항 9.

제1 또는 제2 저항상태를 갖는 상변화 메모리 셀이 복수의 워드라인과 비트라인이 교차하는 인터섹션마다 연결된 매트릭스 형태의 메모리 셀 어레이를 구비한 상변화 메모리 소자에서, 라이트 동작을 위한 라이트 드라이버 회로에 있어서:

상기 상변화 메모리 셀의 저항상태를 변화시키기 위해 인가되는 제1 및 제2 상태 펄스중의 하나를, 인가되는 라이트 데이터의 논리 상태에 응답하여 선택하고, 제1 또는 제2 선택 펄스신호로서 출력하는 펄스 선택부와;

상기 제1 선택 펄스신호가 인가되는 경우에 증가 프로그램된 제1 전류패스를 형성하여 전류출력 쉬프트나 상기 상변화 메모리 셀의 상변화특성 쉬프트에 따라 조절된 제1 레벨의 전압을 출력하고, 상기 제2 선택 펄스신호가 인가되는 경우에 증가 프로그램된 제2 전류패스를 형성하여 전류출력 쉬프트나 상기 상변화 메모리 셀의 상변화특성 쉬프트에 따라 조절된 제2 레벨의 전압을 출력하는 라이트 전류 제어부와;

상기 라이트 전류 제어부의 출력전압에 응답하여 라이트 전류를 생성하는 전류 구동부를 구비함을 특징으로 하는 회로.

청구항 10.

제9항에 있어서, 상기 펄스 선택부는, 상기 제1 및 제2 상태 펄스를 입력단으로 각기 수신하고 상기 라이트 데이터를 제어단으로 공통수신하는 제1,2 전송게이트를 포함함을 특징으로 하는 회로.

청구항 11.

제9항 또는 제10항에 있어서, 상기 라이트 전류 제어부는,

상기 제1 선택 펄스신호에 응답하여 상기 제1 전류패스를 형성하고 상기 제1 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 응답된 더미 전류패스에 의해 증가되도록 하는 리셋전류 조절부와;

상기 제2 선택 펄스신호에 응답하여 상기 제2 전류패스를 형성하고 상기 제2 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 응답된 더미 전류패스에 의해 증가되도록 하는 셋전류 조절부와;

상기 제1,2 전류패스의 전류 공급단에 전압출력 노드가 연결되고, 퓨즈 프로그램에 응답된 더미 전압공급 패스에 의해 상기 전압출력 노드의 전압레벨이 증가되도록 하며, 상기 제1 또는 제2 전류패스를 통해 흐르는 전류량에 따라 조절된 상기 제1 또는 제2 레벨의 전압을 상기 전압출력 노드를 통해 출력하는 출력전압 조절부를 포함함을 특징으로 하는 회로.

청구항 12.

제11항에 있어서, 상기 전류 구동부는, 상기 출력전압 조절부의 상기 전압출력 노드에 게이트 단자가 연결되고 소오스 단자로 전원전압을 수신하며 드레인 단자로 상기 라이트 전류를 출력하는 피형 모오스 트랜지스터로 구성됨을 특징으로 하는 회로.

청구항 13.

제1 또는 제2 저항상태를 갖는 상변화 메모리 셀이 복수의 워드라인과 비트라인이 교차하는 인터섹션마다 연결된 매트릭스 형태의 메모리 셀 어레이를 구비한 상변화 메모리 소자에서, 라이트 동작을 위한 라이트 드라이버 회로에 있어서:

상기 상변화 메모리 셀의 저항상태를 변화시키기 위해 인가되는 제1 및 제2 상태 펄스중의 하나를, 인가되는 라이트 데이터의 논리 상태에 응답하여 선택하고, 제1 또는 제2 선택 펄스신호로서 출력하는 펄스 선택부와;

상기 제1 선택 펄스신호가 인가되는 경우에 증가 또는 감소 프로그램된 제1 전류패스를 형성하여 조절된 제1 레벨의 전압을 출력하고, 상기 제2 선택 펄스신호가 인가되는 경우에 증가 또는 감소 프로그램된 제2 전류패스를 형성하여 조절된 제2 레벨의 전압을 출력하는 라이트 전류 제어부와;

상기 라이트 전류 제어부의 출력전압에 응답하여 라이트 전류를 생성하는 전류 구동부를 구비함을 특징으로 하는 회로.

청구항 14.

제13항에 있어서, 상기 펄스 선택부는, 상기 제1 및 제2 상태 펄스를 입력단으로 각기 수신하고 상기 라이트 데이터를 제어단으로 공통수신하는 제1,2 전송게이트를 포함함을 특징으로 하는 회로.

청구항 15.

제14항에 있어서, 상기 라이트 전류 제어부는,

상기 제1 선택 펄스신호에 응답하여 상기 제1 전류패스를 형성하고 상기 제1 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 응답된 더미 전류패스에 의해 증가 또는 감소되도록 하는 리셋전류 조절부와;

상기 제2 선택 펄스신호에 응답하여 상기 제2 전류패스를 형성하고 상기 제2 전류패스를 통해 흐르는 전류가 퓨즈 프로그램에 응답된 더미 전류패스에 의해 증가 또는 감소되도록 하는 셋전류 조절부와;

상기 제1,2 전류패스의 전류 공급단에 전압출력 노드가 연결되며, 상기 제1 또는 제2 전류패스를 통해 흐르는 전류량에 따라 조절된 상기 제1 또는 제2 레벨의 전압을 상기 전압출력 노드를 통해 출력하는 출력전압 조절부를 포함함을 특징으로 하는 회로.

청구항 16.

제15항에 있어서, 상기 전류 구동부는, 상기 출력전압 조절부의 상기 전압출력 노드에 게이트 단자가 연결되고 소오스 단자로 전원전압을 수신하며 드레인 단자로 상기 라이트 전류를 출력하는 피형 모오스 트랜지스터로 구성됨을 특징으로 하는 회로.

청구항 17.

제16항에 있어서, 상기 더미 전류패스는 DC 출력회로의 프로그램된 출력전압에 응답하여 상기 전류 공급단에 인가되는 전류를 통과시킴을 특징으로 하는 회로.

청구항 18.

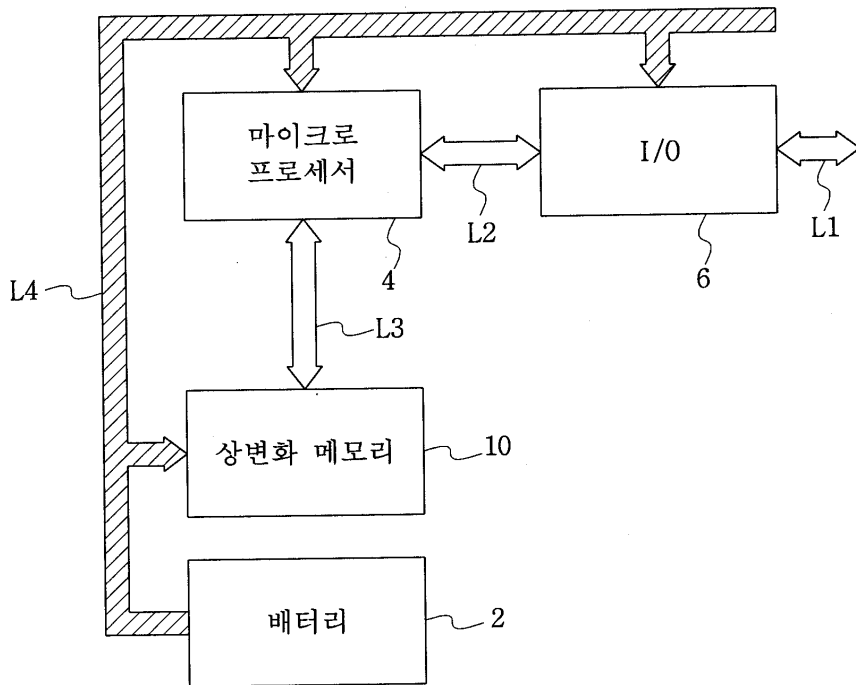
(정정)상변화 메모리 셀을 구비한 상변화 메모리 소자에서의 라이트 전류 인가방법에 있어서:

상기 상변화 메모리 셀을 라이트 동작 모드로 진입시키는 단계와;

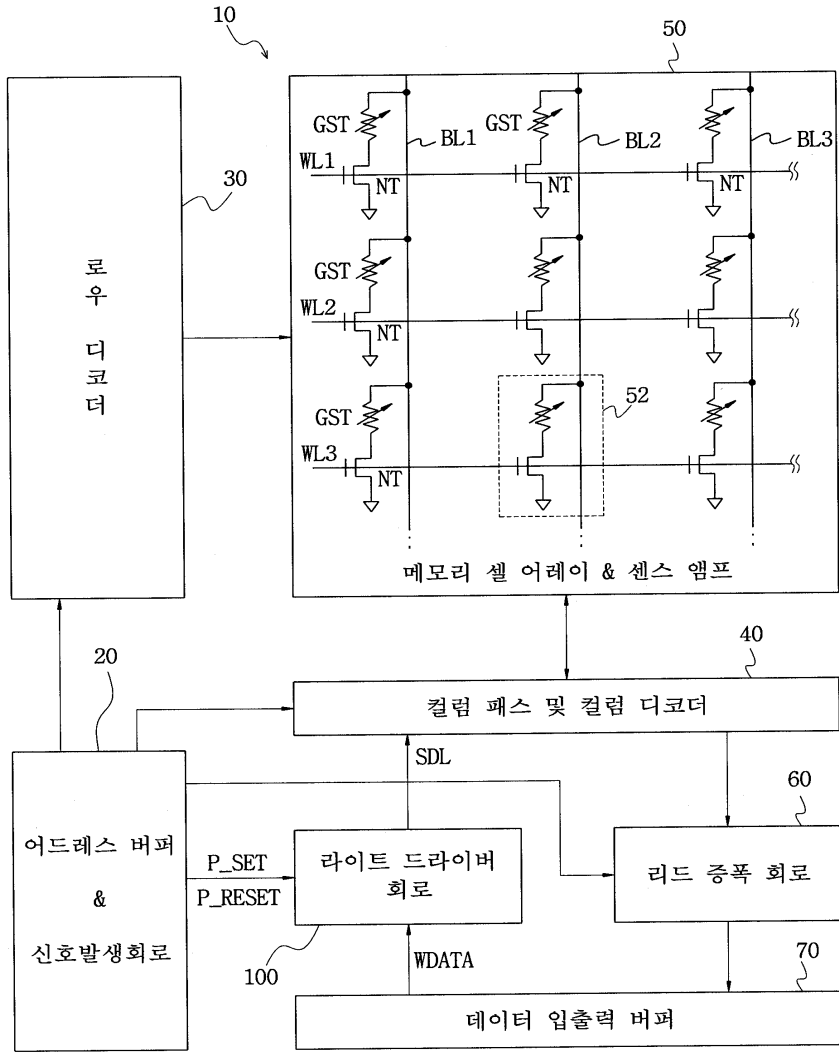
라이트 전류의 세기를 라이트 데이터의 논리상태에 따라 결정하여 상기 상변화 메모리 셀로 제공할 때, 상기 라이트 전류의 세기를 설정된 프로그램에 의해 증가 또는 감소적으로 조절하는 단계를 포함함을 특징으로 하는 라이트 전류 인가방법.

도면

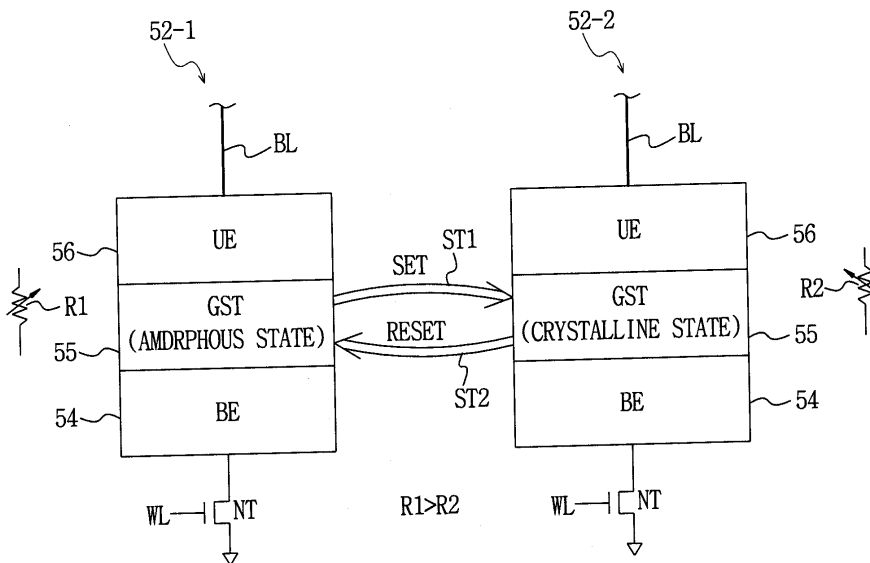
도면1



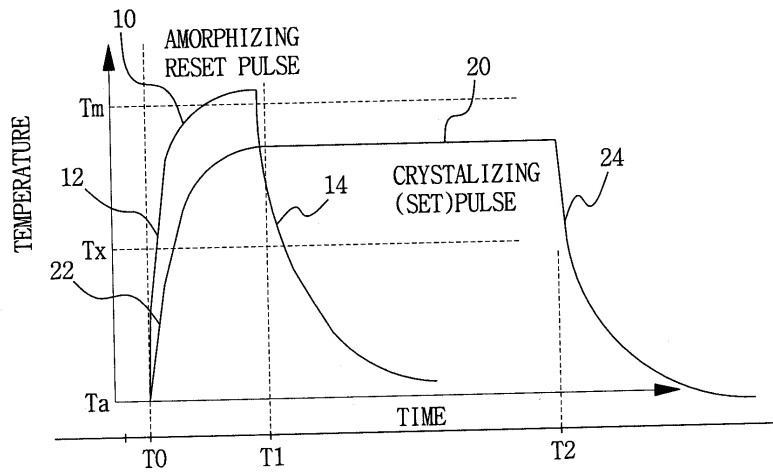
도면2



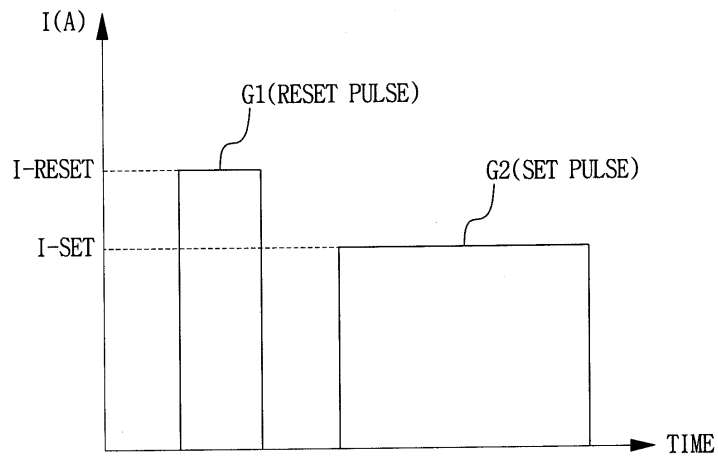
도면3



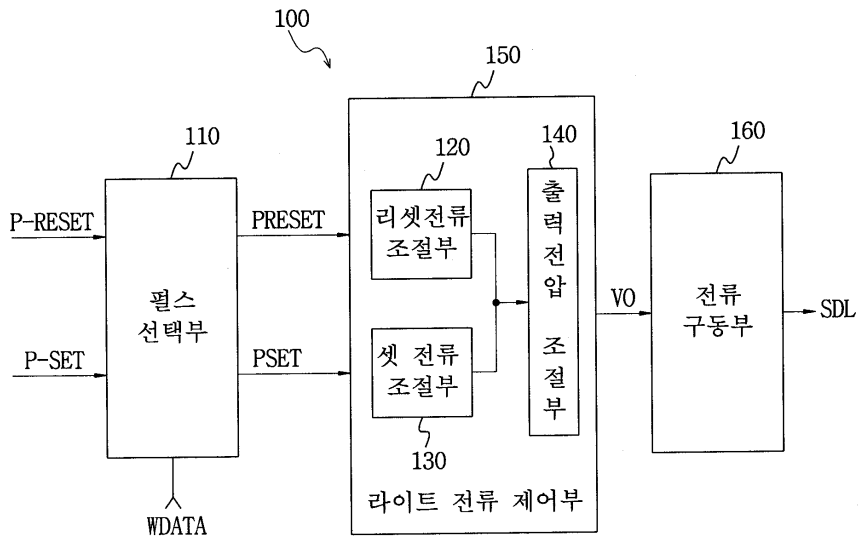
도면4



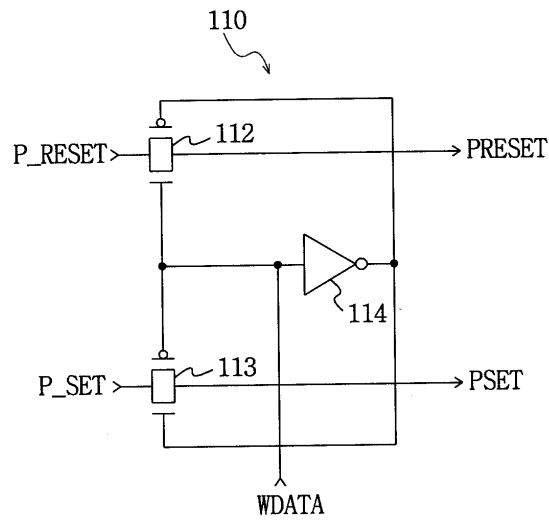
도면5



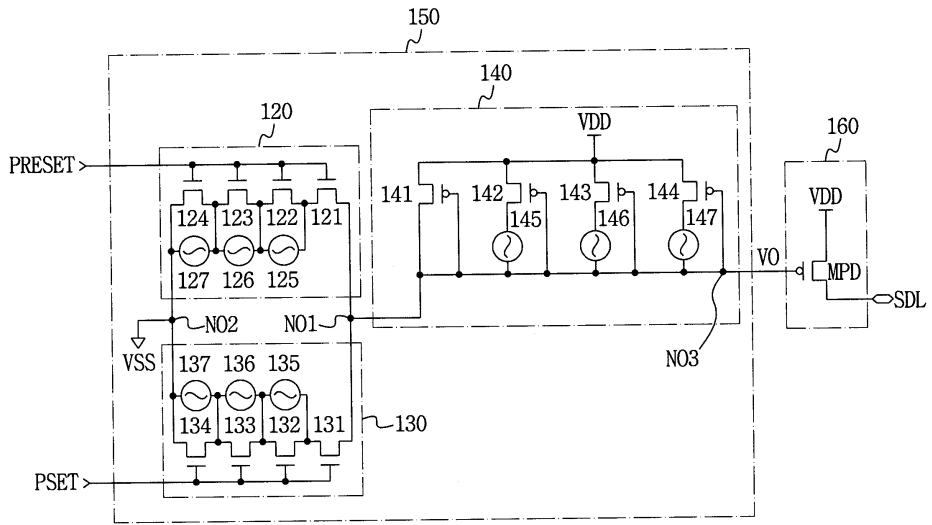
도면6



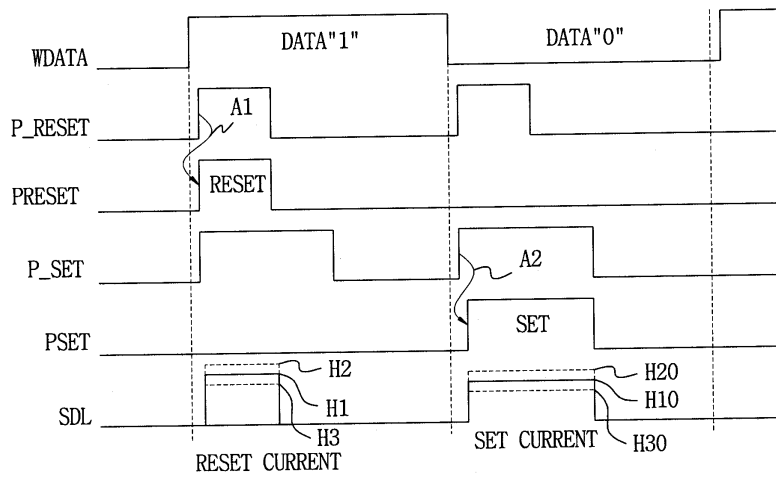
도면7



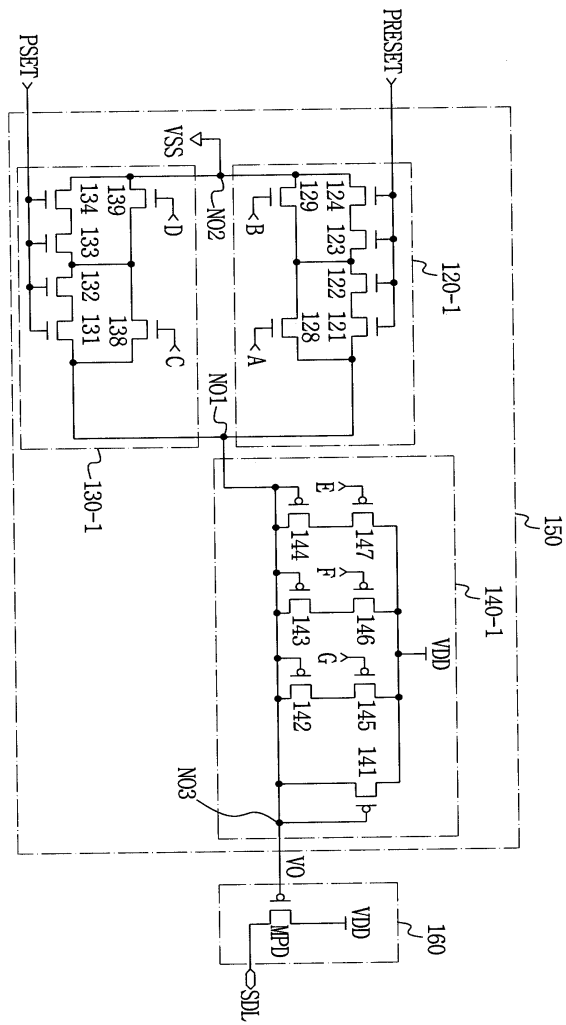
도면8



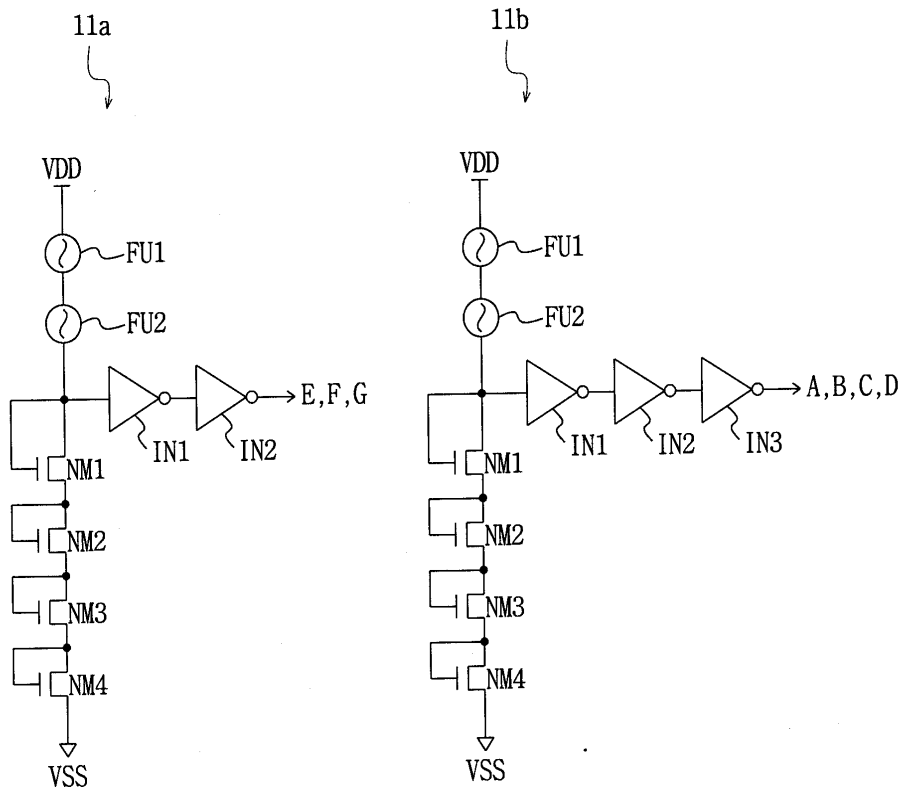
도면9



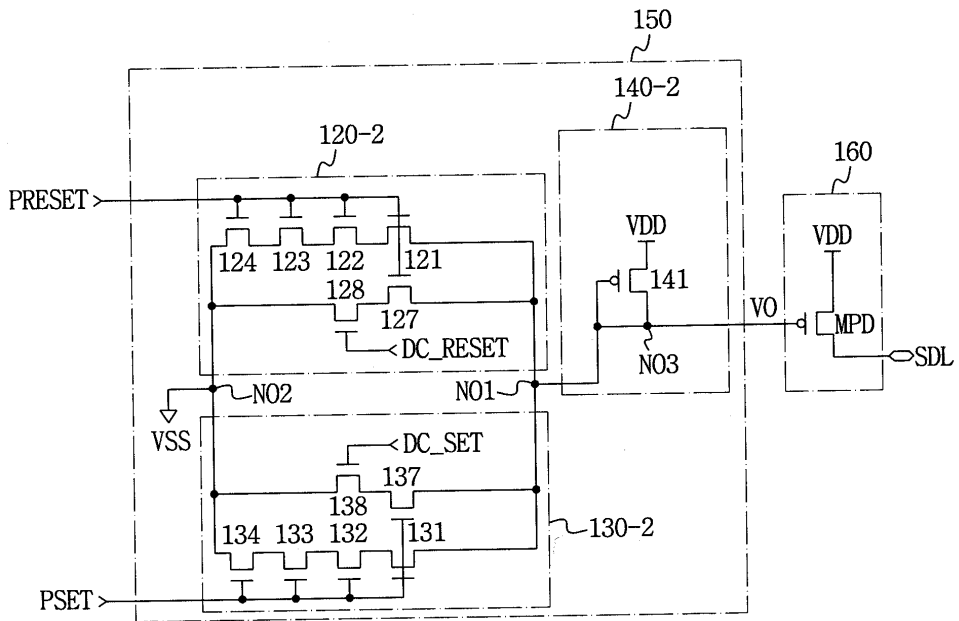
도면10



도면11



도면12



도면13

