



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월08일
(11) 등록번호 10-0877674
(24) 등록일자 2008년12월30일

(51) Int. Cl.

H01L 29/76 (2006.01) H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(21) 출원번호 10-2007-0092597

(22) 출원일자 2007년09월12일

심사청구일자 2007년09월12일

(56) 선행기술조사문헌

JP09082960 A

US6946705 B2

KR1020000000659 A

JP2000252467 A

전체 청구항 수 : 총 12 항

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

박일용

인천 서구 당하동 원당지구 풍림아이원아파트
815-1404

(74) 대리인

허용록

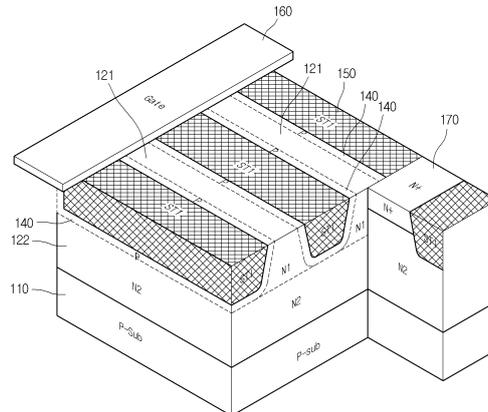
심사관 : 최광섭

(54) LDMOS 소자

(57) 요약

실시에에 따른 LDMOS 소자는 제2 도전형 기판상에 형성된 제1 도전형 제1 웰; 상기 제1 도전형 제1 웰 내에 형성된 복수의 소자분리막; 상기 소자분리막의 표면에 형성된 제2 도전형 이온주입영역; 및 상기 제1 도전형 제1 웰과 상기 소자분리막 상에 선택적으로 형성된 게이트;를 포함하는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

제2 도전형 기판상에 형성된 제1 도전형 제1 웰;
상기 제1 도전형 제1 웰 내에 형성된 복수의 소자분리막;
상기 소자분리막의 표면에 형성된 제2 도전형 이온주입영역; 및
상기 제1 도전형 제1 웰과 상기 소자분리막 상에 형성된 게이트;를 포함하는 것을 특징으로 하는 LDMOS 소자.

청구항 2

제1 항에 있어서,
상기 제1 도전형 제1 웰과 상기 제2 도전형 기판 사이에 형성된 제1 도전형 제2 웰을 더 포함하는 것을 특징으로 하는 LDMOS 소자.

청구항 3

제2 항에 있어서,
상기 제1 도전형 제1 웰은
상기 제1 도전형 제2 웰 보다 도핑농도가 더 높은 것을 특징으로 하는 LDMOS 소자.

청구항 4

제1 항 내지 제3 항 중 어느 하나의 항에 있어서,
상기 제2 도전형 이온주입영역은 상기 소자분리막을 감싸는 것을 특징으로 하는 LDMOS 소자.

청구항 5

제1 항 내지 제3 항 중 어느 하나의 항에 있어서,
상기 제2 도전형 이온주입영역은,
상기 제1 도전형 제1 웰과 상기 소자분리막 사이에 형성되는 것을 특징으로 하는 LDMOS 소자.

청구항 6

제1 항 내지 제3 항 중 어느 하나의 항에 있어서,
상기 소자분리막과 제1 도전형 제1 웰은 상기 게이트에서 드레인 방향으로 번갈아 형성된 것을 특징으로 하는 LDMOS 소자.

청구항 7

제6 항에 있어서,
상기 소자분리막과 제1 도전형 제1 웰이 번갈아 형성되는 라인은
상기 게이트 라인(워드라인)과 수직인 것을 특징으로 하는 LDMOS 소자.

청구항 8

제2 도전형 기판상에 형성된 제1 도전형 제1 웰;
상기 제1 도전형 제1 웰 상에 형성된 제2 도전형 웰;
상기 제2 도전형 웰 내에 형성된 복수의 소자분리막; 및
상기 제2 도전형 웰과 상기 소자분리막 상에 형성된 게이트;를 포함하는 것을 특징으로 하는 LDMOS 소자.

청구항 9

제8 항에 있어서,
 상기 소자분리막의 표면에 형성된 제2 도전형 이온주입영역을 더 포함하는 것을 특징으로 하는 LDMOS 소자.

청구항 10

제9 항에 있어서,
 상기 제2 도전형 이온주입영역은 상기 소자분리막을 감싸는 것을 특징으로 하는 LDMOS 소자.

청구항 11

제9 항에 있어서,
 상기 제2 도전형 이온주입영역은,
 상기 제2 도전형 웰과 상기 소자분리막 사이에 형성되는 것을 특징으로 하는 LDMOS 소자.

청구항 12

제8 항 내지 제11 항 중 어느 하나의 항에 있어서,
 상기 소자분리막과 제2 도전형 웰은 상기 게이트에서 드레인 방향으로 번갈아 형성된 것을 특징으로 하는 LDMOS 소자.

명세서

발명의 상세한 설명

기술분야

<1> 실시예는 LDMOS 소자(Lateral Double diffused MOS Device)에 관한 것이다.

배경기술

<2> 종래기술에 의한 고전압 LDMOS 소자에 의하면, 유전체(Dielectric) RESURF(Reduce surface field) 기술을 이용함으로써 STI 산화막 사이의 실리콘 영역을 매우 좁게 형성하여 항복전압을 높일 수 있으나, 소자의 온-상태에서 전류가 흐르는 면적이 매우 좁기 때문에 온-저항이 높아지는 단점이 있다.

발명의 내용

해결하고자하는 과제

<3> 실시예는 소자의 항복전압을 높이면서도 온-저항을 낮출 수 있는 LDMOS 소자를 제공하고자 한다.

과제 해결수단

<4> 실시예에 따른 LDMOS 소자는 제2 도전형 기판상에 형성된 제1 도전형 제1 웰; 상기 제1 도전형 제1 웰 내에 형성된 복수의 소자분리막; 상기 소자분리막의 표면에 형성된 제2 도전형 이온주입영역; 및 상기 제1 도전형 제1 웰과 상기 소자분리막 상에 선택적으로 형성된 게이트;를 포함하는 것을 특징으로 한다.

<5> 또한, 실시예에 따른 LDMOS 소자는 제2 도전형 기판상에 형성된 제1 도전형 제1 웰; 상기 제1 도전형 제1 웰 상에 형성된 제2 도전형 웰; 상기 제2 도전형 웰 내에 형성된 복수의 소자분리막; 및 상기 제2 도전형 웰과 상기 소자분리막 상에 선택적으로 형성된 게이트;를 포함하는 것을 특징으로 한다.

효과

<6> 실시예에 따른 LDMOS 소자에 의하면, STI 공정을 이용하는 LDMOS 소자의 구조에 추가의 P-형(type) 영역을 STI 표면에 형성함으로써 소자의 항복전압을 높이면서도 온-저항을 낮출 수 있다.

- <7> 특히, 종래에 제안된 유전체(Dielectric) RESURF(Reduce surface field) 기술의 경우 STI와 STI사이의 실리콘 영역을 매우 좁게 해야 하는 반면, 본 실시예는 pn 접합에서의 공핍현상을 이용하기 때문에 넓은 실리콘 영역을 확보할 수 있다.
- <8> 또한, 실시예에 의하면 종래기술과는 달리 STI에 의해 전자전류의 이동 거리가 길어지는 현상을 피할 수 있기 때문에 온-저항을 낮추는 데 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <9> 이하, 실시예에 따른 LDMOS 소자를 첨부된 도면을 참조하여 상세히 설명한다.
- <10> 실시예의 설명에 있어서, 각 층의 "상/아래(on/under)"에 형성되는 것으로 기재되는 경우에 있어, 상/아래는 직접(directly)와 또는 다른 층을 개재하여(indirectly) 형성되는 것을 모두 포함한다.
- <11> 실시예에서 제1 도전형은 N-형(type), 제2 도전형은 P-형(type)으로 설명하고 있으나 이에 한정되는 것은 아니다.
- <12> (제1 실시예)
- <13> 도 1은 제1 실시예에 따른 LDMOS 소자의 개념도이며, 도 2는 제1 실시예에 따른 LDMOS 소자의 평면도이고, 도 3은 제1 실시예에 따른 LDMOS 소자의 도 2의 I-I' 선을 따른 단면도이다.
- <14> 제1 실시예에 따른 LDMOS 소자는 제2 도전형 기판(110)상에 형성된 제1 도전형 제1 웰(121); 상기 제1 도전형 제1 웰(121) 내에 형성된 복수의 소자분리막(150); 상기 소자분리막(150)의 표면에 형성된 제2 도전형 이온주입 영역(140); 및 상기 제1 도전형 제1 웰(121)과 상기 소자분리막(150) 상에 선택적으로 형성된 게이트(160);를 포함할 수 있다.
- <15> 또한, 실시예는 게이트(160) 양측에 드레인(170)과 소스(180)를 더 형성할 수 있다.
- <16> 또한, 실시예에 의하면 상기 제2 도전형 이온주입영역(140)이 상기 소자분리막(150)을 감싸도록 형성할 수 있다.
- <17> 실시예에 따른 LDMOS 소자에 의하면, STI 공정을 이용하는 LDMOS 소자의 구조에서 제2 도전형 이온주입영역(140)인 추가의 P-형(type) 영역(140)을 STI 표면에 형성함으로써 소자의 항복전압을 높이면서도 온-저항을 낮출 수 있다.
- <18> 특히, 종래에 제안된 유전체(Dielectric) RESURF(Reduce surface field) 기술의 경우 STI와 STI사이의 실리콘 영역을 매우 좁게 해야 하는 반면, 실시예는 pn 접합에서의 공핍현상을 이용하기 때문에 넓은 실리콘 영역을 확보할 수 있다.
- <19> 또한, 실시예에 의하면 종래기술과는 달리 STI에 의해 전자전류의 이동 거리가 길어지는 현상을 피할 수 있기 때문에 온-저항을 낮추는 데 효과가 있다.
- <20> 실시예에 따른 LDMOS 소자는 소자분리막(150), 예를 들어 STI 표면에 제2 도전형 이온주입영역(140), 예를 들어 p-형(type) 영역을 형성함으로써 STI와 STI 영역 사이의 액티브 영역인 제1 도전형 제1 웰(121)을 종래기술에 비해 넓힐 수 있다.
- <21> 이에 따라, 실시예에 의하면 온-상태에서는 액티브 영역의 폭이 넓기 때문에 많은 전자 전류가 흐를 수 있으므로 온-저항이 감소하며, 오프 상태에서는 p-형(type) 영역(140)과 n-형(type) 영역(121) 사이에 공핍층이 형성됨으로써 항복전압을 높일 수 있다.
- <22> 한편, 제1 실시예는 드리프트 영역에 제1 도전형 제1 웰(N1)(121)이 형성된 경우와 제1 도전형 제1 웰(N1)(121)과 제1 도전형 제2 웰(N2)(122)이 모두 형성된 경우를 포함할 수 있다.
- <23> 이때, 도 3과 같이 제1 도전형 제1 웰(121)과 제1 도전형 제2 웰(122) 모두 존재하는 경우 제1 도전형 제1 웰(121)의 경우에는 양쪽의 p-형(type) 영역(140)으로부터 상호 디플리션(depletion)이 발생하며, 제1 도전형 제2 웰(122) 영역의 경우에는 p-sub(110)과 제1 도전형 제2 웰(122) 사이의 공핍층이 확장되기 때문에 드리프트 영역이 완전 공핍되도록 설계할 수 있다.
- <24> 또한, 실시예는 도 3과 같이 제1 도전형 제1 웰(121)과 제1 도전형 제2 웰(122) 모두 존재하는 경우 제1 도전형

제1 웰(121)과 제1 도전형 제2 웰(122)의 도핑 농도를 조절하여 높은 항복전압을 유지할 수 있다.

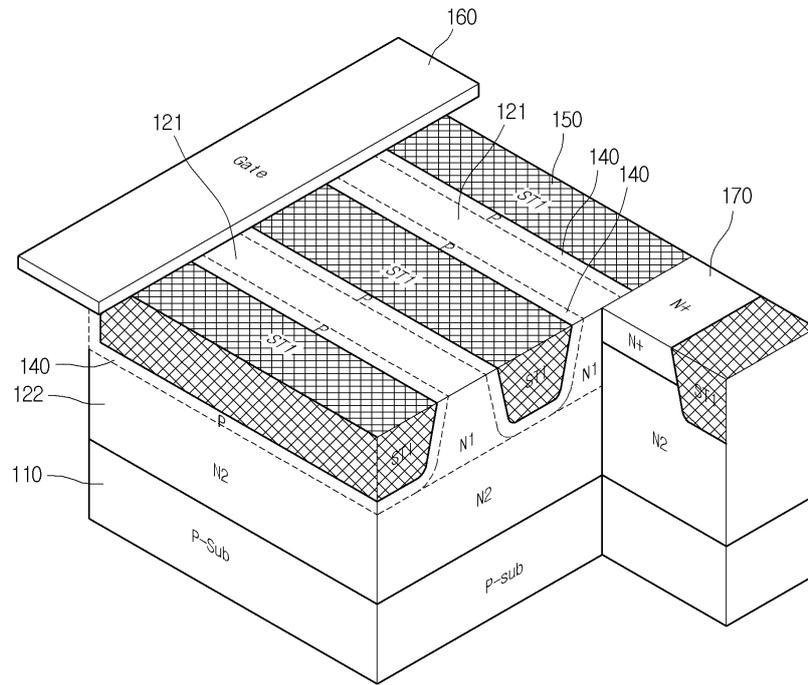
- <25> 예를 들어, 기판의 표면에서 커런트가 높은 것을 감안하여 제1 도전형 제1 웰(121)의 도핑농도를 제1 도전형 제2 웰(122)의 도핑농도보다 높임으로써 퍼포먼스를 향상시킬 수 있다.
- <26> 또한, 실시예에서 상기 제2 도전형 이온주입영역(140)은 상기 제2 도전형 기판(110)의 도핑농도보다 더 높게 도핑 됨으로써 디플리션이 활발하게 일어나게 할 수 있다.
- <27> 제1 실시예에서, 도 2와 같이 상기 소자분리막(150)과 제1 도전형 제1 웰(121)은 상기 게이트(160)에서 드레인(170) 방향으로 번갈아 형성될 수 있다. 예를 들어, 상기 소자분리막(150)과 제1 도전형 제1 웰(121)이 번갈아 형성되는 라인(180)은 상기 게이트 라인(위드라인)과 수직일 수 있다.
- <28> (제2 실시예)
- <29> 도 4는 제2 실시예에 따른 LDMOS 소자의 단면도이다.
- <30> 제2 실시예에 따른 LDMOS 소자는 제2 도전형 기판(110)상에 형성된 제1 도전형 제1 웰(121); 상기 제1 도전형 제1 웰(121) 상에 형성된 제2 도전형 웰(142); 상기 제2 도전형 웰(142) 내에 형성된 복수의 소자분리막(150); 및 상기 제2 도전형 웰(142)과 상기 소자분리막(150) 상에 선택적으로 형성된 게이트(160);를 포함할 수 있다.
- <31> 제2 실시예는 상기 제1 실시예의 기술적인 특징을 채용할 수 있다.
- <32> 제2 실시예는 상기 제1 실시예와 달리 제1 도전형 제1 웰(121) 자리에 제2 도전형 웰(142)을 형성하는 점이다.
- <33> 이에 따라, 기판의 표면이 P형이 됨에 따라 기판의 표면으로 전자가 흐르는 것을 방지할 수 있고, 나아가 소자분리막에 전자가 트랩되는 문제를 예방할 수 있다.
- <34> 제2 실시예에 따른 LDMOS 소자에 의하면, 제1 도전형 제2 웰(122)로 제2 도전형 기판(110)과 제2 도전형 웰(142)로 부터의 디플리션이 됨으로써 더욱 완전한 디플리션을 확보할 수 있다.
- <35> 또한, 제2 실시예는 상기 소자분리막(150)과 제2 도전형 웰(142) 사이에 상기 소자분리막을 감싸는 제2 도전형 이온주입영역(140)을 더 형성함으로써 소자분리막(150)과 제1 도전형 제2 웰(122)의 직접적인 접촉을 방지하여 디플리션의 진행을 촉진할 수 있다.
- <36> 본 발명은 기재된 실시예 및 도면에 의해 한정되는 것이 아니고, 청구항의 권리범위에 속하는 범위 안에서 다양한 다른 실시예가 가능하다.

도면의 간단한 설명

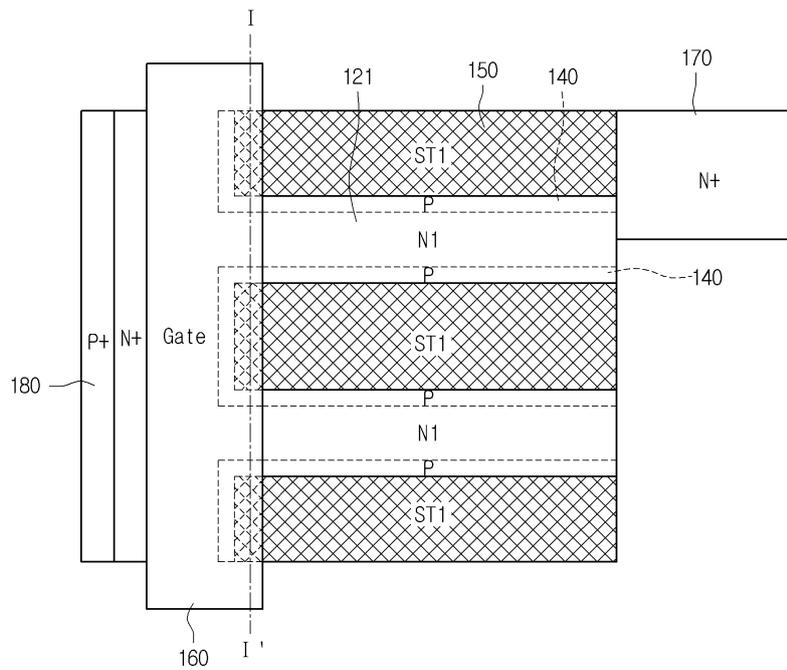
- <37> 도 1은 제1 실시예에 따른 LDMOS 소자의 개념도.
- <38> 도 2는 제1 실시예에 따른 LDMOS 소자의 평면도.
- <39> 도 3은 제1 실시예에 따른 LDMOS 소자의 단면도.
- <40> 도 4는 제2 실시예에 따른 LDMOS 소자의 단면도.

도면

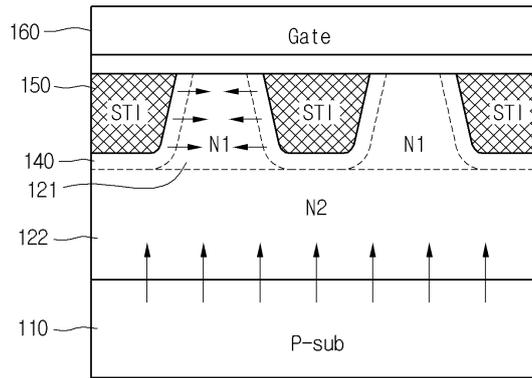
도면1



도면2



도면3



도면4

