

1. 一种晶体管，其特征在于包括：

一 P 型衬底；

形成于所述 P 型衬底中包含有 N 型导电离子的一第一扩散区和一第二扩散区，其中，所述的第一扩散区包含了一扩展漏极区；

包含 N+型导电离子的一漏极扩散区，在所述的扩展漏极区内形成一个漏极区；

多个在所述扩展漏极区形成的 P 型场块；其中所述的 P 型场块具有不同的大小尺寸；其中最小的 P 型场块离所述漏极区最近；其中所述的 P 型场块用于产生接面场；

具有 N+导电离子的源极扩散区，在由所述第二扩散区构成的所述 N 型井区内形成一源极区，其中最大的 P 型场块离所述源极区最近；

在所述漏极区和所述源极区之间形成的一通道；

一多晶硅栅极电极，形成在所述通道上方，用以控制在所述通道中电流的流通；

包含 P+型导电离子的一接触扩散区，在由所述第二扩散区形成的所述 N 型井区内形成一接触区；以及

在由所述第二扩散区形成的所述 N 型井区中形成一隔离 P 型井区，以防击穿；其中在所述第二扩散区中形成的所述隔离 P 型井区包围所述源极区和所述接触区。

2. 如权利要求 1 所述的晶体管，其特征在于其中由所述第二扩散区形成的所述 N 型井区为所述源极区提供了一低阻抗路径，并且限制了在所述漏极区和所述源极区间的电流流通。

3. 如权利要求 1 所述的晶体管，其特征在于还包括：

在所述多晶硅栅极电极之下形成的一薄型栅氧化层和一厚型场氧化层；

在所述漏极扩散区和所述厚型场氧化层之间形成的一漏极间隙，用以在所述漏极扩散区和所述厚型场氧化层之间保持一空间；以及

在所述厚型场氧化层和所述隔离 P 型井区之间形成的一源极间隙，用以在所述厚型场氧化层和所述隔离 P 型井区之间保持另一空间，其中所述漏极间隙和所述源极间隙是用来提高击穿电压，而所述漏极间隙更能降低所述通道的导通电阻。

4. 如权利要求 1 所述的晶体管，其特征在于还包括二氧化硅绝缘层，覆盖在所述多晶硅栅极电极和所述厚型场氧化层。

5. 如权利要求 1 所述的晶体管，还包括：

具有一第一金属电极的一源极金属接点,用于与所述源极扩散区和所述接触扩散区连接; 以及

具有一第二金属电极的一漏极金属接点,用于与所述的漏极扩散区连接。

6. 如权利要求 1 所述的晶体管, 其特征在于还包括:

一漏极焊盘, 与所述漏极金属接点相连接作为一漏极电极;

一源极焊盘, 与所述源极金属接点相连接作为一源极电极; 以及

一栅极焊盘, 与所述多晶硅栅极电极相连接。

7. 如权利要求 1 所述的晶体管, 其特征在于其中所述多个 P 型场块是在所述 N 型井区的所述扩展漏极区中形成, 其中所述 N 型井区和所述多个 P 型场块可用来耗尽漂移区和均化所述漏极区和所述源极区之间的寄生电容器的电容量, 以及降低所述通道的导通电阻。

具有均化电容的高压和低导通电阻横向扩散金属氧化物半导体晶体管

技术领域

该发明涉及的是半导体器件，特别是横向功率金属氧化物半导体场效应晶体管（MOSFET）。

背景技术

在电源集成电路（power IC）开发领域中，将电源开关与控制电路集成而发展单芯片工艺是主要趋势。特别是，横向扩散金属氧化物半导体（LDMOS）工艺正广泛应用在制造单片集成电路上。横向扩散金属氧化物半导体（LDMOS）工艺涉及在半导体衬底的表面上进行平面扩散，从而形成横向的主电流通路。横向扩散金属氧化物半导体（LDMOS）工艺使用了带有薄型晶膜（EPI）或者N型井区的减小表面电场的（RESURF）技术，可以实现低导通电阻下的高压。

在近来的发展中，很多高压横向扩散金属氧化物半导体（LDMOS）晶体管由下列专利公告提出，其中有 KLAS H. EKLUND 的发明专利，在美国的专利号为 4,811,075，专利名称为“High Voltage MOS Transistors”；还有 VLADIMIR RUMENNIK 和 ROBERT W. BUSSE 的发明专利，其美国专利号为 5,258,636，专利名称为“Narrow Radius Tips for High Voltage Semiconductor Devices with Interdigitated Source and Drain Electrodes”。然而，这些先前的技术存在的缺点是所述横向扩散金属氧化物半导体（LDMOS）晶体管具有较高的导通电阻。因此，KLAS H. EKLUND 提出了高压低导通电阻横向扩散金属氧化物半导体（LDMOS）晶体管，美国专利号为 5,313,082，专利名为“High Voltage MOS Transistor with a Low On-Resistance”；还有 GEN TADA, AKIO KITAMURA, MASARU SAITO 和 NAOTO FUJISHIMA 的专利，美国专利号为 6,525,390 B2，其专利名为“MIS Semiconductor Device with Low On-Resistance and High Breakdown Voltage”；以及 VLADIMIR RUMENNIK, DONALD R. DISNEY 和 JANARDHANAN S. AJIT 的专利，美国专利号是 6,570,219 B1，专利名为“High-Voltage Transistor with Multi-layer Conductor Region”；还有 MASA AKI NODA 的专利，专利号为 6,617,652 B2，专利名为“High Breakdown Voltage Semiconductor Device”。虽然，可以生产高压和低导通电阻的横向扩散金属氧化物半导体（LDMOS）晶体管，但是其生产工艺的复杂性增加了生产成本，并且/或者降低了生产良率。这些被提出的晶体管的另一个缺点是其

非隔离 (none-isolated) 源极结构。该非隔离晶体管电流可以在衬底上到处流动, 这就可能在控制电路中产生噪音干扰。除此以外, 横向扩散金属氧化物半导体 (LDMOS) 晶体管的电流会产生一个接地反弹, 对控制信号产生干扰。为了解决这个问题, 本发明提出了一种横向扩散金属氧化物半导体 (LDMOS) 结构来为单片集成 (monolithic integration) 实现高击穿电压、低导通电阻和隔离的晶体管。

发明内容

根据本发明, 一个高压横向扩散金属氧化物半导体 (LDMOS) 晶体管包括了一 P 型衬底。包含 N 型导电离子的一第一扩散区和一第二扩散区, 在 P 型衬底内形成了一 N 型井区。第一扩散区进一步形成一扩展漏极区。含有 N+ 型导电离子的一漏极扩散区在扩展漏极区形成一漏极区。包含 P 型导电离子的一第三扩散区, 在扩展漏极区形成分离的多个 P 型场块。P 型场块具有不同的大小。最小的 P 型场块最靠近漏极区。具有 N+ 型导电离子的源极扩散区, 在由第二扩散区构成的 N 型井区内形成一源极区。具有 P+ 型导电离子的一接触扩散区, 在由第二扩散区形成的 N 型井区内形成一接触区。具有 P 型导电离子的一第四扩散区, 在由第二扩散区构成的 N 型井区内形成一隔离的 P 型井区, 以防止击穿。位于第二扩散区之内的隔离 P 型井区包围源极区和接触区。最大的 P 型场块位于离源极区最近的地方。位于扩展漏极区的多个 P 型场块在 N 型井区内构成接面场 (junction field), 以耗尽漂移区、并且用以均化在漏极区和源极区之间的寄生电容器的电容量。一通道形成并贯穿 N 型井区的源极区和漏极区之间。分离的多个 P 型场块能进一步地改善该通道的导通电阻。在通道的区段之上形成了一个多晶硅栅极电极来控制通道内的电流流通。另外, 由第二扩散区所产生的 N 型井区部分为源极区提供了一个低阻抗路径, 因而限制了位于漏极区和源极区中间的电流的流通。

值得一提的是, 不管是以上的概述、还是以下的详细介绍都是例证性质的, 其目的是对所声明的发明作出进一步的解释。参照以下的描述和图式, 可使更多的发明目的和优点变得清晰明了。

附图说明

本发明包含附图以便提供对本发明的进一步理解, 且前述附图并入本说明书中并组成本说明书的一部分。附图说明本发明的实施例, 并与描述内容一起用来解释本发明的原理。

图 1 表示本发明的一实施例的一种带有寄生电容器的横向扩散金属氧化物半导体 (LDMOS) 晶体管。

图2是本发明的一实施例的一种横向扩散金属氧化物半导体(LDMOS)晶体管的剖面图。

图3表示图2所示的本发明的横向扩散金属氧化物半导体(LDMOS)晶体管的顶视图。

具体实施方式

实现晶体管高击穿电压的传统方法是将漏极到源极通道内的电位势中的电位差进行分离。然而,掺杂浓度的变化可能导致极低的生产良率。为了得到更高的击穿电压以及增加晶体管的生产良率,本发明进一步将晶体管的寄生电容器作为参数来改进晶体管的结构和设计,在其中,寄生电容器的电容量是均化的。

图1表示具有一漏极电极10、一源极电极20、以及一多晶硅栅极电极40的一横向扩散金属氧化物半导体(LDMOS)晶体管100。在漏极电极10和多晶硅栅极电极40之间具有串联的寄生电容器101、102、103和104。在漏极电极10和源极电极20之间具有串联的寄生电容器105、106、107、108和109。当高压施加于漏极和源极上时,高压将被分配到这些寄生电容器105到109上面。如果寄生电容器的电容量是平均分布的,电压就将平均分配,所以就可以得到更高的击穿电压。为了实现均化的电容量,晶体管的介电性质和几何构造必须适当地加以控制。

图2是根据本发明的一种横向扩散金属氧化物半导体晶体管100的剖面图,所述横向扩散金属氧化物半导体晶体管100包含了一个P型衬底90。所述横向扩散金属氧化物半导体晶体管100还包含了含有N型导电离子的一第一扩散区33以及一第二扩散区37,以便在P型衬底90中形成一个N型井区30。第一扩散区33包括一扩展漏极区50。包含N+型导电离子的一漏极扩散区53在扩展漏极区50形成一漏极区52。包含P型导电离子的一第三扩散区在扩展漏极区50形成了多个P型场块60、61、62和63。P型场块60、61、62和63具有不同的尺寸。P型场块60的尺寸比P型场块61、62和63要大。在较佳的实施例中,这些P型场块的大小次序为 $60 > 61 > 62 > 63$ 。P型场块63离漏极区52最近。具有N+型导电离子的一源极扩散区55在由第二扩散区37形成的N型井区30中形成一源极区56。含有P+型导电离子的一接触扩散区57在由第二扩散区37构成的N型井区30内形成一接触区58。包含P型导电离子的一第四扩散区67在由第二扩散区37形成的N型井区30里形成了一隔离的P型井区65,用以防止击穿。隔离的P型井区65包围了源极区56和接触区58。P型场块60、61、62和63在N型井区30中构成接面场,以耗尽漂移区,并且用以均化在漏极区52和源极区56之间的寄生电容器的电容量。

一通道形成于源极区 56 和漏极区 52 之间并贯穿 N 型井区 30。P 型场块 60、61、62 和 63 能进一步地减小通道的导通电阻。在 P 型衬底 90 上形成一薄型栅氧化层 81 和一厚型场氧化层 87。在栅氧化层 81 和场氧化层 87 上形成一多晶硅栅极电极 40，以控制通道内的电流流通。在漏极扩散区 53 和场氧化层 87 之间形成一漏极间隙 71，以便在漏极扩散区 53 和场氧化层 87 之间保持一个空间。在场氧化层 87 和隔离的 P 型井区 65 之间形成一源极间隙 72，以便在场氧化层 87 和隔离 P 型井区 65 之间保持一空间。源极间隙 72 和漏极间隙 71 的正确设置能实质上增加横向扩散金属氧化物半导体晶体管 100 的击穿电压。除此以外，漏极间隙 71 还能进一步降低通道的导通电阻。

绝缘层 85 和 86 覆盖多晶硅栅极电极 40 以及场氧化层 87 和 88。例如，绝缘层 85 和 86 是由二氧化硅制成。一漏极金属接点 15 是金属电极，用于与漏极扩散区 53 相接触。一源极金属接点 25 也是金属电极，用以与源极扩散区 55 和接触扩散区 57 相接触。

图 3 是横向扩散金属氧化物半导体晶体管 100 的顶面图。横向扩散金属氧化物半导体晶体管 100 包括漏极电极 10、源极电极 20、多晶硅栅极电极 40、用于漏极电极 10 的焊盘 12、用于源极电极 20 的焊盘 22、以及用于多晶硅栅极电极 40 的焊盘 42。请参看图 2 和图 3，扩展漏极区 50 和漏极扩散区 53 两者构成漏极电极 10。隔离的 P 型井区 65、源极扩散区 55 以及接触扩散区 57 构成源极电极 20。焊盘 12 与漏极电极 10 的漏极金属接点 15 相连接。焊盘 22 与源极电极 20 的源极金属接点 25 相连接。焊盘 42 与多晶硅栅极电极 40 相连接。包围 P 型场块 60、61、62、和 63 的 N 型井区 30 从漏极电极 10 连接到源极电极 20。位于 P 型场块 60、61、62 和 63 部位的 N 型井区 30 的那部分降低了通道的导通电阻。

P 型场块 60、61、62 和 63 位于 N 型井区 30 的扩展漏极区 50 之中。N 型井区 30 和 P 型场块 60、61、62 和 63 耗尽了漂移区，并在 N 型井区 30 中形成电场来增加击穿电压。为了得到更高的击穿电压，在击穿发生之前必须完全耗尽扩展漏极区 50。即使漂移区的掺杂浓度处于高位，N 型井区 30 和 P 型场块 60、61、62 和 63 都能在击穿发生之前使扩展漏极区 50 耗尽，这就使得漂移区具有更高的掺杂浓度并实现低阻抗。P 型场块的大小可以优化以达到期望的效果。N 型井区 30 和 P 型场块的掺杂浓度要正确选用，以实现均化电容量。因此，可以实现一具有高击穿电压和低导通电阻的横向扩散金属氧化物半导体晶体管 100。另外，由第二扩散区 37 所构成的那部分 N 型井区 30 为源极区 56 产生了一低阻抗路径，限制了在漏极区 52 和源极区 56 之间的电流的流通。

本发明的横向扩散金属氧化物半导体晶体管 100 为实现高击穿电压、

低导通电阻和隔离性能提供了简单的结构，而且，还实现了低成本和高产出良率。

任何熟悉本专业的技术人员，在不脱离本发明技术方案范围内，当可利用上述揭示的方法及技术内容作出些许的更动或修饰为等同变化的等效实施例，但凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本发明技术方案的范围内。

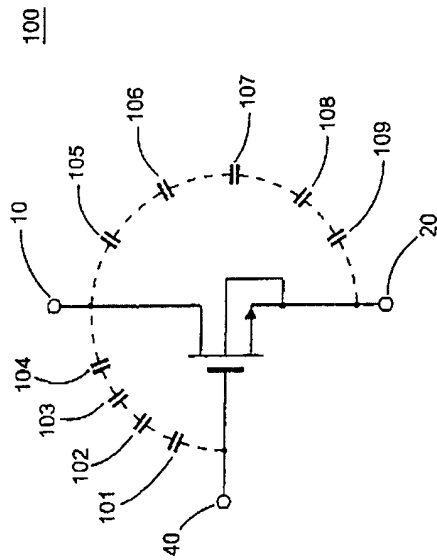


图 1

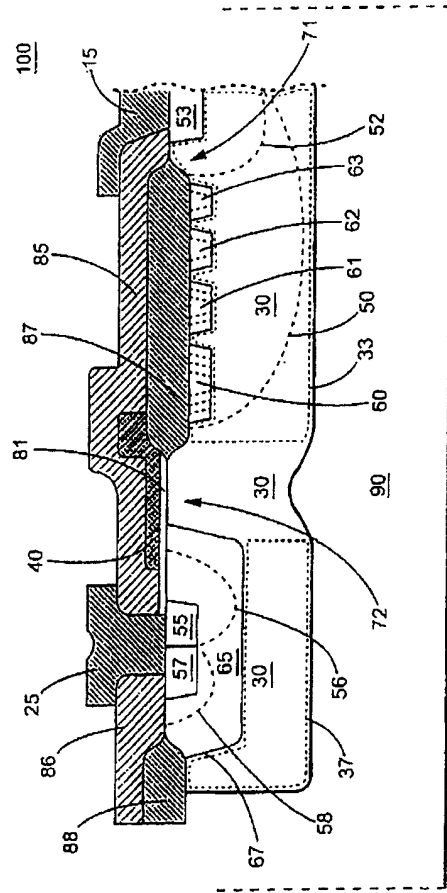


图 2

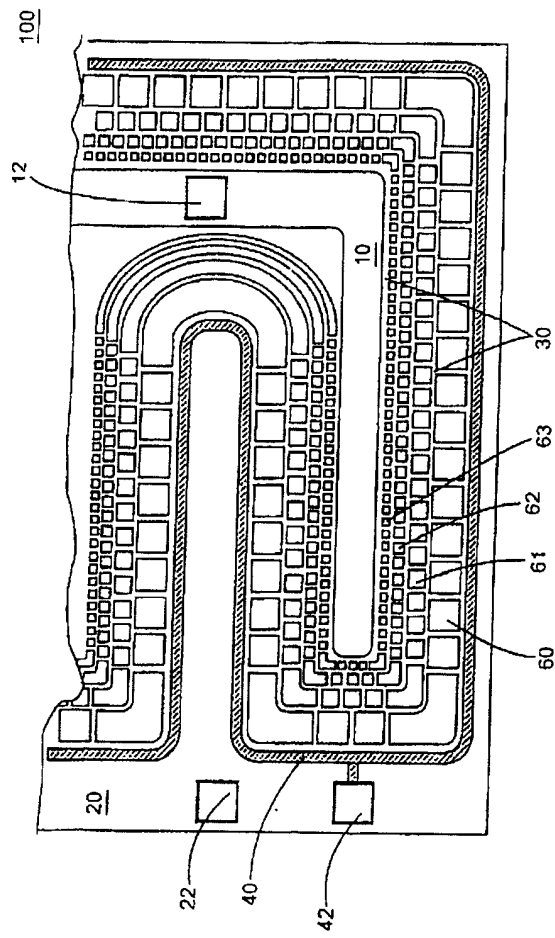


图 3