



(12) 发明专利

(10) 授权公告号 CN 101452860 B

(45) 授权公告日 2011. 11. 30

(21) 申请号 200710186547. 5

[0006]-[0007] 段、附图 2-3.

(22) 申请日 2007. 12. 07

CN 1485914 A, 2004. 03. 31, 说明书第 4 页第 8-35 行、附图 1-3.

(73) 专利权人 矽品精密工业股份有限公司

地址 中国台湾台中县

审查员 王欣

(72) 发明人 刘正仁 黄荣彬 张翊峰 江政嘉

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟

(51) Int. Cl.

H01L 21/50(2006. 01)

H01L 21/60(2006. 01)

H01L 25/00(2006. 01)

H01L 25/065(2006. 01)

H01L 23/488(2006. 01)

(56) 对比文件

US 2004183190 A1, 2004. 09. 23, 说明书第 [0021] 段、附图 5.

US 2004184250 A1, 2004. 09. 23, 说明书第

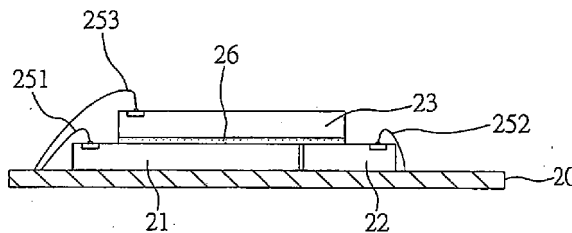
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

多芯片堆叠结构及其制法

(57) 摘要

本发明公开了一种多芯片堆叠结构及其制法, 提供一具相对第一及第二表面的芯片承载件, 以将一第一及第二芯片接置于该芯片承载件第一表面, 并通过焊线电性连接至该芯片承载件, 再将一第三芯片间隔一黏着层而同时堆叠于该第一及第二芯片上, 其中该第三芯片是呈阶状方式接置于该第一芯片上, 且避免接触至该第一及第二芯片的焊线, 接着通过焊线电性连接该第三芯片及芯片承载件, 从而可节省芯片承载件使用空间, 以利整体结构的小型化。



1. 一种多芯片堆叠结构的制法,包括:

提供一具相对第一及第二表面的芯片承载件,以将一第一芯片及第二芯片接置于该芯片承载件第一表面,并通过焊线电性连接至该芯片承载件,该第一芯片为内存芯片,该第二芯片为控制芯片,该第一芯片与第二芯片彼此未接触而具有间隙;

将一第三芯片间隔一黏着层而同时堆叠于该第一及第二芯片上,该间隙中未填有该黏着层,其中该第三芯片是呈阶状方式接置于该第一芯片上,且避免接触至该第一及第二芯片的焊线,该第三芯片为内存芯片,该第二芯片平面尺寸小于第一芯片及第三芯片平面尺寸;以及

利用焊线电性连接该第三芯片及芯片承载件。

2. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该第一、第二及第三芯片单边表面边缘设有多个焊垫。

3. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该芯片承载件为球栅阵列式基板、平面栅阵列式基板及导线架的其中一者。

4. 根据权利要求1所述的多芯片堆叠结构的制法,复包括于第三芯片上以阶状方式堆叠第四芯片。

5. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该第一、第二及第三芯片选择利用一般打线方式及反向焊接方式的其中一者,而电性连接至该芯片承载件。

6. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该黏着层为绝缘胶带。

7. 一种多芯片堆叠结构的制法,包括:

提供一具相对第一及第二表面的芯片承载件,以将一第一芯片及第二芯片接置于该芯片承载件第一表面,该第一芯片为内存芯片,该第二芯片为控制芯片,该第一芯片与第二芯片彼此未接触而具有间隙;

将一第三芯片间隔一黏着层而同时堆叠于该第一及第二芯片上,该间隙中未填有该黏着层,其中该第三芯片是呈阶状方式接置于该第一芯片上,该第三芯片为内存芯片,该第二芯片平面尺寸小于第一芯片及第三芯片平面尺寸;以及

利用焊线电性连接该第一、第二及第三芯片与芯片承载件。

8. 根据权利要求7所述的多芯片堆叠结构的制法,其中,该第一、第二及第三芯片单边表面边缘设有多个焊垫。

9. 根据权利要求7所述的多芯片堆叠结构的制法,其中,该芯片承载件为球栅阵列式基板、平面栅阵列式基板及导线架的其中一者。

10. 根据权利要求7所述的多芯片堆叠结构的制法,复包括于第三芯片上以阶状方式堆叠第四芯片。

11. 根据权利要求7所述的多芯片堆叠结构的制法,其中,该第一、第二及第三芯片选择利用一般打线方式及反向焊接方式的其中一者,而电性连接至该芯片承载件。

12. 根据权利要求7所述的多芯片堆叠结构的制法,其中,该黏着层为绝缘胶带。

13. 一种多芯片堆叠结构,包括:

具相对第一及第二表面的芯片承载件;

第一芯片,接置于该芯片承载件第一表面,且通过焊线电性连接至该芯片承载件,该第一芯片为内存芯片;

第二芯片,接置于该芯片承载件第一表面,且通过焊线电性连接至该芯片承载件,该第二芯片为控制芯片,该第一芯片与第二芯片彼此未接触而具有间隙;以及

第三芯片,间隔一黏着层而同时堆叠于该第一及第二芯片上,该间隙中未填有该黏着层,其中该第三芯片是呈阶状方式接置于该第一芯片上,且避免接触至该第一及第二芯片的焊线,该第三芯片为内存芯片,该第二芯片平面尺寸小于第一芯片及第三芯片平面尺寸。

14. 根据权利要求 13 所述的多芯片堆叠结构,其中,该第一、第二及第三芯片单边表面边缘设有多个焊垫。

15. 根据权利要求 13 所述的多芯片堆叠结构,其中,该芯片承载件为球栅阵列式基板、平面栅阵列式基板及导线架的其中一者。

16. 根据权利要求 13 所述的多芯片堆叠结构,复包括有第四芯片,以阶状方式堆叠于该第三芯片上。

17. 根据权利要求 13 所述的多芯片堆叠结构,其中,该第一、第二及第三芯片选择利用一般打线方式及反向焊接方式的其中一者,而电性连接至该芯片承载件。

18. 根据权利要求 13 所述的多芯片堆叠结构,其中,该黏着层为绝缘胶带。

## 多芯片堆叠结构及其制法

### 技术领域

[0001] 本发明涉及一种半导体结构及其制法,特别涉及一种多芯片堆叠结构及其制法。

### 背景技术

[0002] 由于电子产品的微小化以及高运行速度需求的增加,而为提高单一半导体封装结构的性能与容量以符合电子产品小型化的需求,半导体封装结构以多芯片模块化(Multichip Module)乃成一趋势,从而借此将两个或两个以上的芯片组合在单一封装结构中,以缩减电子产品整体电路结构体积,并提升电性功能。亦即,多芯片封装结构可通过将两个或两个以上的芯片组合在单一封装结构中,来使系统运行速度的限制最小化;此外,多芯片封装结构可减少芯片间连接线路的长度而降低信号延迟以及存取时间。

[0003] 常见的多芯片封装结构为采用并排式(side-by-side)多芯片封装结构,其是将两个以上的芯片彼此并排地安装于一共同基板的主要安装面。芯片与共同基板上导电路径间的连接一般是通过导线焊接方式(wire bonding)达成。然而该并排式多芯片封装构造的缺点为封装成本太高及封装结构尺寸太大,因该共同基板的面积会随着芯片数目的增加而增加。

[0004] 为解决上述现有技术的问题,近年来为使用垂直式的堆叠方法来安装所增加的芯片,其堆叠的方式按照其芯片的设计,打线制程各有不同,但若该芯片被设计为焊垫集中于一边时,例如记忆卡的电子装置中所设的闪存芯片(flash memory chip)或动态随机存取内存芯片(Dynamic Random Access Memory, DRAM)等,为了打线的便利性,其堆叠方式是以阶梯状的形式进行,如图 1A 及图 1B 所示的美国专利第 6,538,331 号所揭示的多芯片堆叠结构(其中该图 1B 为对应图 1A 的俯视图),是在芯片承载件 10 上堆叠了多个内存芯片,以将第一内存芯片 11 安装于芯片承载件 10 上,第二内存芯片 12 以一偏移的距离而不妨碍第一内存芯片 11 焊垫的打线作业为原则下呈阶状堆叠于该第一内存芯片 11 上,另外,于该记忆卡的电子装置中复设有控制芯片(controller) 13,该控制芯片 13 的周边设有多个焊垫,并通过多条焊线 15 将该第一及第二内存芯片 11、12 及控制芯片 13 电性连接至该芯片承载件 10。

[0005] 而为节省基板使用空间,可将该控制芯片 13 堆叠于该第二内存芯片 12 上,但是如此将增加整体结构的高度;再者由于一般控制芯片 13 的平面尺寸远小于该第一及第二内存芯片 11、12 的平面尺寸,因此在利用焊线 15 将该控制芯片 13 电性连接至该芯片承载件 10 时,该些焊线 15 势必跨越该控制芯片 13 下方的第一及第二内存芯片 11、12,如此即易造成焊线 15 触碰至第一及第二内存芯片 11、12 而发生短路问题,同时亦增加焊线作业的困难度。

[0006] 相对地,如欲将该控制芯片 13 置于芯片承载件 10 上未供接置第一及第二内存芯片 11、12 的区域,又会增加芯片承载件 10 的使用面积,不利整体结构的小型化。

[0007] 因此,如何提供一种堆叠多芯片的结构及其制法,以达成整合多个芯片又不需额外增加封装结构面积、高度,以适用于薄型电子装置,同时降低焊线作业困难度及避免发生

短路问题,实为目前亟待达成的目标。

### 发明内容

[0008] 鉴于以上现有技术缺点,本发明的一目的是提供一种多芯片堆叠结构及其制法,从而可在不额外增加封装结构面积及高度原则下,进行多层芯片的堆叠。

[0009] 本发明的另一目的是提供一种多芯片堆叠结构及其制法,可以适用于薄型电子装置。

[0010] 本发明的又一目的是提供一种多芯片堆叠结构及其制法,得以降低焊线作业困难度及避免焊线碰触芯片而发生短路问题。

[0011] 为达到上述目的,本发明提供一种多芯片堆叠结构的制法,包括:提供一具相对第一及第二表面的芯片承载件,以将一第一芯片及一第二芯片接置于该芯片承载件第一表面,并通过焊线电性连接至该芯片承载件;将一第三芯片间隔一黏着层而同时堆叠于该第一及第二芯片上,其中该第三芯片是呈阶状方式接置于该第一芯片上,且避免接触至该第一及第二芯片的焊线;以及利用焊线电性连接该第三芯片及芯片承载件。该第一、第二及第三芯片于单边表面设有多个焊垫,该第一及第三芯片例如为内存芯片,该第二芯片例如为控制芯片,该黏着层例如为绝缘的胶带(tape)。

[0012] 通过前述制法,本发明还提供一种多芯片堆叠结构,包括:具相对第一及第二表面的芯片承载件;第一芯片,接置于该芯片承载件第一表面,且通过焊线电性连接至该芯片承载件;第二芯片,接置于该芯片承载件第一表面,且通过焊线电性连接至该芯片承载件;以及第三芯片,间隔一黏着层而同时堆叠于该第一及第二芯片上,其中该第三芯片是呈阶状方式接置于该第一芯片上,且避免接触至该第一及第二芯片的焊线。

[0013] 此外,复可于该第三芯片上以阶状方式堆叠第四芯片。另该些芯片可以一般打线方式或反向焊接(Reverse Wire Bonding)方式而与该芯片承载件电性连接,其中该反向焊接方式是使焊线外端先焊接至该芯片承载件上,再将其内端焊接至该芯片,藉以降低线弧高度,以提供更轻薄的多芯片堆叠结构。

[0014] 该第一、第三及第四芯片于单边表面设有多个焊垫(例如为内存芯片),且对应其具焊垫的一侧乃偏离下方芯片一预先设定的距离,而呈阶梯状堆叠。该第二芯片亦于单边表面设有多个焊垫(例如为控制芯片),且该第二芯片的平面尺寸小于第一、第三及第四芯片平面尺寸。

[0015] 再者,当该第二芯片于多边表面具有焊垫时,可先于该第二芯片上利用线路重布置层(Redistribution layer, RDL)技术,将该第二芯片上的焊垫集中于单边表面,以通过焊线电性连接该第二芯片焊垫及芯片承载件,同时避免于该第一及第二芯片上堆叠第三芯片时,该第三芯片压迫至第一及第二芯片的焊线。

[0016] 因此,本发明的多芯片堆叠结构及其制法,将第一及第二芯片接置于芯片承载件表面,并利用焊线电性连接至该芯片承载件,再于该第一及第二芯片上同时堆叠有第三片芯片,其中该第三芯片是呈阶状方式接置于该第一芯片上,且避免接触至该第一及第二芯片的焊线,并通过焊线电性连接至芯片承载件,藉以避免现有技术将该平面尺寸远小于第一及第三芯片(内存芯片)平面尺寸的第二芯片(控制芯片)堆叠于第三芯片时,增加整体结构的高度,且可避免焊线跨越及触碰至第一及第三芯片(内存芯片)而发生短路与增

加焊线作业困难度问题,再者,因该第二芯片是直接接置于芯片承载件上且由第三芯片间隔一黏着层而堆叠于该第一及第二芯片上,如此即可节省芯片承载件使用空间,以利整体结构的小型化。

#### 附图说明

[0017] 图 1A 及图 1B 为美国专利第 6, 538, 331 号所公开的多芯片堆叠结构剖面及平面示意图;

[0018] 图 2A 至图 2C 为本发明的多芯片堆叠结构及其制法第一实施例的剖面示意图;

[0019] 图 3 为本发明的多芯片堆叠结构及其制法第二实施例的剖面示意图;

[0020] 图 4 为本发明的多芯片堆叠结构及其制法第三实施例的剖面示意图;以及

[0021] 图 5A 至图 5C 为本发明的多芯片堆叠结构及其制法第四实施例的剖面示意图。

[0022] 主要元件符号说明:

[0023]	10	芯片承载件
[0024]	11	第一内存芯片
[0025]	12	第二内存芯片
[0026]	13	控制芯片
[0027]	15	焊线
[0028]	20	芯片承载件
[0029]	21	第一芯片
[0030]	22	第二芯片
[0031]	23	第三芯片
[0032]	210, 220, 230	焊垫
[0033]	251, 252, 253	焊线
[0034]	26	黏着层
[0035]	30	芯片承载件
[0036]	31	第一芯片
[0037]	32	第二芯片
[0038]	33	第三芯片
[0039]	34	第四芯片
[0040]	354	焊线
[0041]	40	芯片承载件
[0042]	41	第一芯片
[0043]	42	第二芯片
[0044]	43	第三芯片
[0045]	410, 420, 430	焊垫
[0046]	451, 452, 453	焊线
[0047]	50	芯片承载件
[0048]	51	第一芯片
[0049]	52	第二芯片

[0050]	53	第三芯片
[0051]	551,552,553	焊线
[0052]	56	黏着层

### 具体实施方式

[0053] 以下通过特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点与功效。

[0054] 请参阅图 2A 至图 2C,为本发明的多芯片堆叠结构及其制法第一实施例的剖面示意图。

[0055] 如图 2A 所示,提供一具相对第一及第二表面的芯片承载件 20,以将至少一第一芯片 21 及至少一第二芯片 22 接置于该芯片承载件 20 第一表面。

[0056] 该第一芯片 21 及第二芯片 22 例如为内存芯片及控制芯片,该第二芯片 22 平面尺寸小于第一芯片 21 平面尺寸,且该第一芯片 21 单边表面边缘设有多个焊垫 210,该第二芯片 22 单边表面边缘复设有多个焊垫 220,以分别通过焊线 251、252 而电性连接至该芯片承载件 20。

[0057] 于该芯片承载件 20 上接置该第一及第二芯片 21、22 时,该第一及第二芯片 21、22 间是尽可能相互接近,但是应避免接触,藉以减少芯片承载件使用面积,进而节省制造成本,且该第一芯片 21 具焊垫 210 的一侧是与该第二芯片 22 具焊垫 220 的一侧相互远离,以进行打线作业。该芯片承载件 20 可为一球栅阵列式 (BGA) 基板、平面栅阵列式 (LGA) 基板或导线架。

[0058] 如图 2B 及图 2C 所示,将至少一第三芯片 23 间隔一黏着层 26 而同时堆叠于该第一及第二芯片 21、22 上,其中该第三芯片 23 是呈阶状方式接置于该第一芯片 21 上,且避免接触至该第一及第二芯片 21、22 的焊线 251、252。

[0059] 接着,利用焊线 253 电性连接该第三芯片 23 及芯片承载件 20。

[0060] 该第三芯片 23 例如为具单边焊垫的内存芯片,该第三芯片 23 单边表面边缘设有多个焊垫 230,并以偏离该第一芯片 21 焊垫 210 一预先设定的距离而堆叠于该第一及第二芯片 21、22 上,使得该第三芯片 23 不致挡到第一芯片 21 的焊垫 210 垂直向上区域,以供该第一及第三芯片 21、23 得以通过多条焊线 251、253 电性连接至该芯片承载件 20。该黏着层 26 例如可使用一般的绝缘胶带 (tape),以节省制造成本,且其厚度约为 10-25 微米。

[0061] 再者,当该第二芯片 22(控制芯片)于多边具有焊垫时,可利用线路重布置层 (Redistribution layer, RDL) 技术,将该第二芯片上的焊垫集中于单边表面,以通过焊线电性连接该第二芯片焊垫及芯片承载件,同时避免于该第一及第二芯片上堆叠第三芯片时,该第三芯片压迫至第一及第二芯片的焊线。

[0062] 如此相较现有技术将多个芯片单纯进行堆叠而言,本申请是将第一芯片 21 连同第二芯片 22 接置于芯片承载件 20 上,再将第三芯片 23 间隔一黏着层 26 而同时堆叠于该第一及第二芯片 21、22 上,并使该第三芯片 23 呈阶状方式堆叠于该第一芯片 21 上,且避免接触至该第一及第二芯片 21、22 的焊线 251、252,以达轻薄短小目的,同时可避免连接第二芯片 22 与芯片承载件 20 的焊线 252 跨越及触碰至第一及第三芯片 21、23 而发生短路与增加焊线作业困难度问题。

[0063] 通过前述制法,本发明复揭示一种多芯片堆叠结构,包括:一具相对第一及第二表面的芯片承载件 20;第一芯片 21,接置于该芯片承载件 20 第一表面,且通过焊线 251 电性连接至该芯片承载件 20;第二芯片 22,接置于该芯片承载件 20 第一表面,且通过焊线 252 电性连接至该芯片承载件 20;以及第三芯片 23,间隔一黏着层 26 而同时堆叠于该第一及第二芯片 21、22 上,并通过焊线 253 电性连接至该芯片承载件 20,其中该第三芯片 23 是呈阶状方式接置于该第一芯片 21 上,且避免接触至该第一及第二芯片 21、22 的焊线 251、252。

[0064] 因此,本发明的多芯片堆叠结构及其制法,是将第一及第二芯片接置于芯片承载件表面,并利用焊线电性连接至该芯片承载件,再于该第一及第二芯片上同时堆叠有第三片芯片,其中该第三芯片是呈阶状方式接置于该第一芯片上,且避免接触至该第一及第二芯片的焊线,并通过焊线电性连接至芯片承载件,藉以避免现有技术将该平面尺寸远小于第一及第三芯片(内存芯片)平面尺寸的第二芯片(控制芯片)堆叠于第三芯片时,增加整体结构的高度,且可避免焊线跨越及触碰至第一及第三芯片(内存芯片)而发生短路与增加焊线作业困难度问题,再者,因该第二芯片是直接接置于芯片承载件上且由第三芯片间隔一黏着层而堆叠于该第一及第二芯片上,如此即可节省芯片承载件使用空间,以利整体结构的小型化。

#### [0065] 第二实施例

[0066] 复请参阅图 3,为本发明的多芯片堆叠结构及其制法第二实施例的示意图。本实施例与前述实施例大致相同,主要差异是在接置于第一及第二芯片 31、32 的第三芯片 33 上,得持续以阶状方式堆叠如内存芯片的第四芯片 34,并通过焊线 354 电性连接至芯片承载件 30,以提升整体结构的记忆容量。

#### [0067] 第三实施例

[0068] 复请参阅图 4,为本发明的多芯片堆叠结构及其制法第三实施例的示意图。本实施例与前述实施例大致相同,主要差异是在接置于芯片承载件 40 第一表面上的第一芯片 41 及第二芯片 42,以及堆叠于该第一及第二芯片 41、42 上的第三芯片 43 是可采用反向焊接方式(ReverseWire Bonding)而电性连接至芯片承载件 40,亦即将用以连接第一、第二及第三芯片 41、42、43 与芯片承载件 40 的焊线 451、452、453 外端先烧球焊结至第一、第二及第三芯片 41、42、43 的焊垫 410、420、430,以形成一凸柱(stud),再从芯片承载件 40 焊接、上引并焊接至该凸柱上,以将焊线 451、452、453 内端缝接(Stitch Bond)至该凸柱上,如此,将可缩减芯片与芯片承载件间电性连接的线弧高度,以进一步缩减整体堆叠结构的高度。

#### [0069] 第四实施例

[0070] 复请参阅图 5A 至图 5C,为本发明的多芯片堆叠结构及其制法第四实施例的示意图。本实施例与第一实施例大致相同,主要差异是在完成芯片接置作业后,再进行打线作业。

[0071] 如图 5A 所示,提供一具相对第一及第二表面的芯片承载件 50,以将至少一第一芯片 51 及至少一第二芯片 52 接置于该芯片承载件 50 第一表面。

[0072] 如图 5B 所示,将至少一第三芯片 53 间隔一黏着层 56 而同时堆叠于该第一及第二芯片 51、52 上,其中该第三芯片 53 是呈阶状方式接置于该第一芯片 51 上。

[0073] 如图 5C 所示,进行打线作业,以供该第一、第二及第三芯片 51、52、53 分别通过焊线 551、552、553 电性连接至芯片承载件 50。



[0074] 亦即,于本实施例中是先将该第一、第二及第三芯片先后接置于该芯片承载件上,再同时利用焊线电性连接该些第一、第二及第三芯片与芯片承载件,从而可简化制程步骤及顺序,加快制程速度,同时亦可避免先利用焊线电性连接第一、第二芯片与芯片承载件,再将第三芯片接置于该第一及第二芯片上时,第三芯片误触至第一及第二芯片的焊线问题。

[0075] 以上所述的具体实施例,仅用以例释本发明的特点及功效,而非用以限定本发明的可实施范畴,在未脱离本发明上述的精神与技术范畴下,任何运用本发明所揭示内容而完成的等效改变及修饰,均仍应为权利要求书的范围所涵盖。

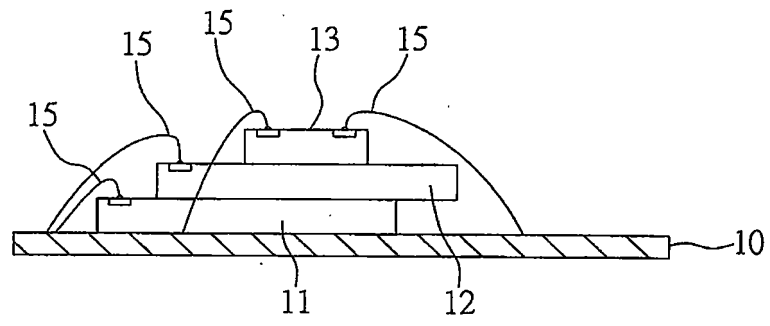


图 1A

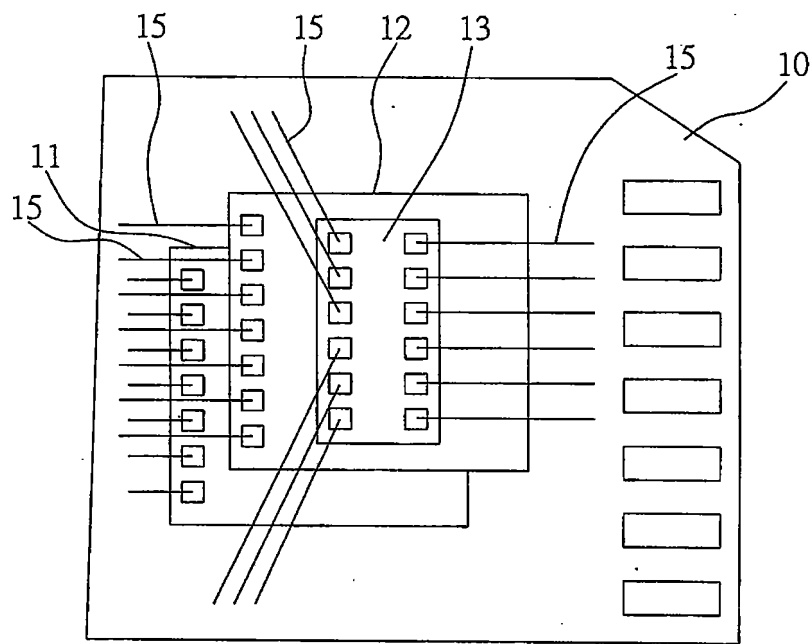


图 1B

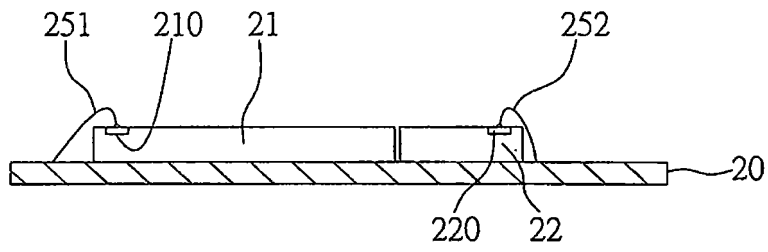


图 2A

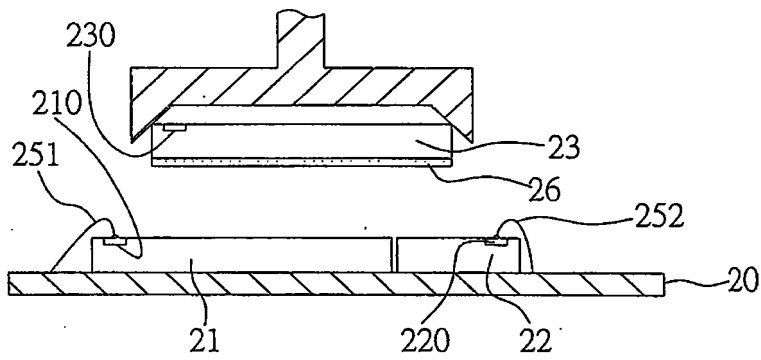


图 2B

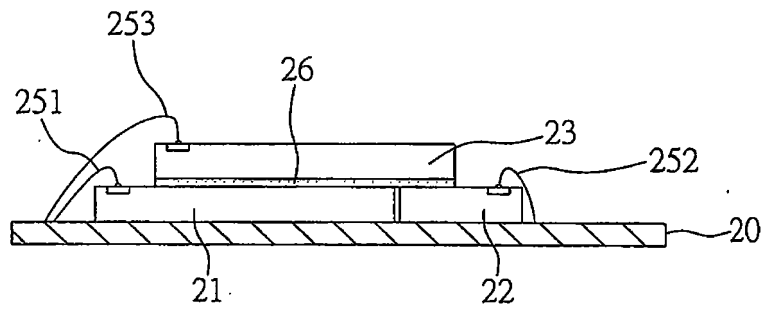


图 2C

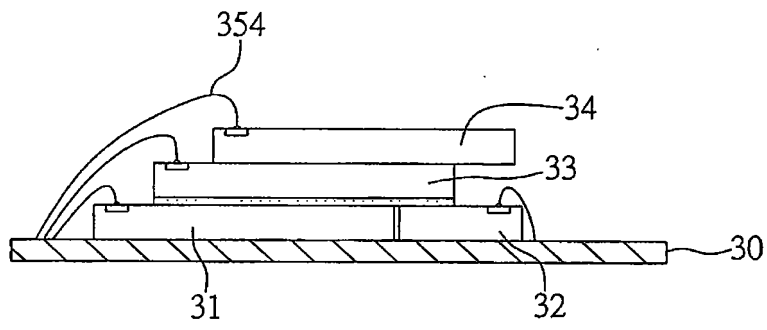


图 3

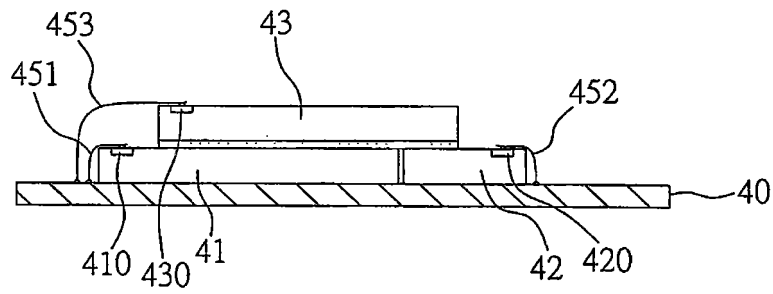


图 4

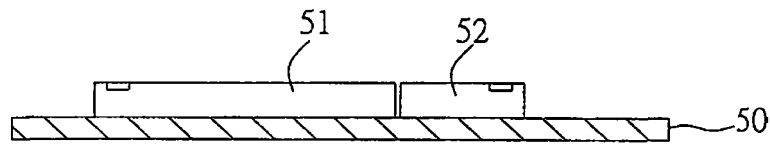


图 5A

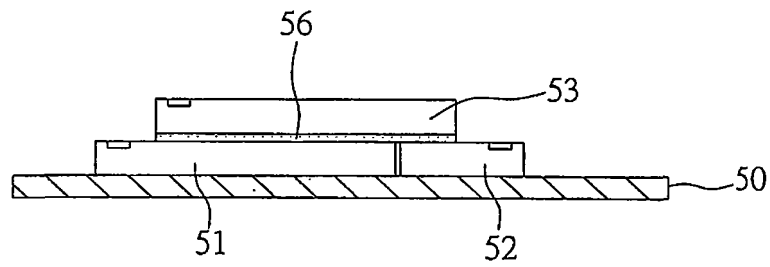


图 5B

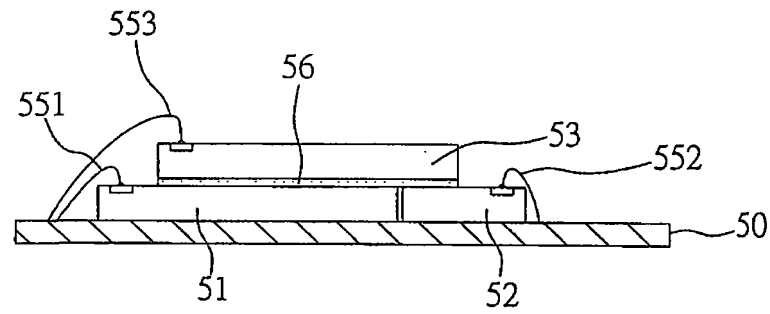


图 5C