

HLR형 셀을 만들 수 있으며, 두 개의 폴리실리콘층 및 두 개의 메탈층을 사용하는 종래의 HLR형 셀에 비하면 면적을 30% 이상 작게 제조할 수 있다.

그러면, 먼저 일반적인 TFT형 셀의 구조를 살펴보고 그와 비교해가며 본 발명의 HLR형 셀을 살펴본다.

제2도는 통상적인 TFT형 셀의 TFT와 전원선의 배치도(Layout)를 도시한 평면도이고, 제3도는 제2도의 A-A선을 따른 단면도로서, 도면에서 1은 콘택홀, 2는 TFT의 게이트용 제3폴리실리콘층, 3은 TFT의 채널용 제4폴리실리콘층, 4는 불순물 주입 영역을 각각 나타내며, 상기 제2도에 도시된 구조는 그 하부 구조로서 구동 트랜지스터와 접지선으로 사용되는 두 개의 도전층(제1 및 제2폴리실리콘층)으로 이루어지는 하부층과 층간 절연을 위한 절연막을 포함하는 바, 이는 본 발명의 기술분야에서 통상의 지식을 가진자에게 자명한 것으로 이를 생략하기로 한다.

여기서, 제3폴리실리콘층(2)은 TFT의 게이트 기능 뿐만 아니라 구동 트랜지스터 드레인과의 접속을 위한 콘택 패드 기능도 수행한다. 그리고, 제4폴리실리콘층(3)은 주입된 불순물의 종류와 양에 따라 소정 영역 별로 각각 부하 소자인 TFT의 채널과 드레인/소오스 영역 및 전원선으로서의 기능을 수행한다.

제4도는 본 발명의 실시예에 따른 HLR형 SRAM 셀의 부하 저항과 전원선의 배치도를 도시한 평면도로서, 도면에서 1은 콘택홀, 2'는 구동 트랜지스터 드레인과의 접속 기능을 수행하는 제3폴리실리콘층, 3'은 전원선 및 고저항 부하 소자용 제4폴리실리콘층, 4'는 불순물 주입영역을 각각 나타낸다.

상기 제4도에 도시된 구조는 그 하부 구조로서 구동 트랜지스터와 접지선으로 사용되는 두 개의 도전층(제1 및 제2폴리실리콘층)으로 이루어지는 하부층과 층간 절연을 위한 절연막을 포함하는 바, 이는 본 발명의 기술 분야에서 통상의 지식을 가진자에게 자명한 것이므로 이를 생략하기로 한다.

상기와 같은 본 발명에 따른 HLR형 셀의 구조는 종래의 TFT형 셀을 채택한 SRAM 제조 기술에서 이미 사용되는 구조(그 하부층만이 적용)로서, 도면에 도시된 바와 같이 하부층 및 절연막(도시 안됨) 상부에 구동 트랜지스터의 드레인과 콘택홀(1)을 통하여 접속되는 도전층인 제3폴리실리콘층(2')을 포함한다. 상기 제3폴리실리콘층(2')은 종래의 TFT형 셀의 제3폴리실리콘층(제2도의 도면부호 2)과 달리 상호 도전층의 전기적 접속을 위한 콘택 패드의 기능만을 하게 되므로, 그 상부의 제4폴리실리콘층(3')과 중첩되는 영역을 갖지 않아도 좋다.

또한, 제4폴리실리콘층(3')은 종래의 TFT형 셀의 제4폴리실리콘층(제2도의 도면부호 3)과 달리 TFT의 채널이나 소오스/드레인의 기능을 갖지 않는다. 따라서, 오프셋(Offset) 영역이나 소오스/드레인을 형성할 필요가 없어 소자의 신뢰성과 재현성을 본질적으로 개선하게 된다.

그리고, 제4폴리실리콘층(3')중에서 불순물이 주입된 영역은 전원선이며, 불순물이 주입되지 않은 영역은 고저항 부하 소자로 사용된다. 또한, 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하 소자로 사용되는 영역의 불순물 농도보다 높게 제어하여 제4폴리실리콘층(3')을 전원선과 고저항 부하 소자를 구분할 수 있다.

또한, 본 발명은 금속 배선 공정 이전에 적어도 4개의 도전층(폴리실리콘)을 형성하게 되어, 2개의 도전층만을 형성하던 종래의 HLR형 메모리 셀에 비하여 약 30% 이상의 면적 감소 효과를 가져온다. 따라서, 전체적인 집적도를 크게 향상시킬 수 있다.

제5도는 제4도의 A-A선을 따라 본 공정 단면도로서, 제4도와 제5도를 참조하여 본 발명의 HLR형 SRAM 셀의 제조 방법을 설명한다

먼저, 제5도(a)는 반도체 기판의 소정 영역에 제1폴리실리콘층을 게이트로 사용하는 구동 트랜지스터와 접지선으로 사용되는 제2폴리실리콘층을 포함하는 하부층(5) 및 층간 절연을 위한 절연막(6)을 형성한 상태의 단면도이다. 제1 및 제2폴리실리콘층을 포함하는 하부층(5)의 세부적인 형성 방법은 일반적인 TFT형 셀과 그 제조 공정이 동일하며, 이는 본 발명의 기술 분야에서 통상의 지식을 가진자에게 자명한 것이므로 이를 생략하기로 한다.

이어서, 제5도(b)와 같이 상기 절연막(6)의 소정 부위를 선택식각하여 구동 트랜지스터의 드레인(도시 안됨)이 노출되는 콘택홀(1)을 형성하고, 상기 콘택홀(1)을 충전하는 제3폴리실리콘층(2')을 증착하고 패턴닝한다. 이때, 앞에서도 언급하였듯이 제3폴리실리콘층(2')의 패턴 형상은 종래의 TFT형 셀의 제3폴리실리콘층과 달리 상호 도전층의 전기적 접속을 위한 콘택 패드의 기능만을 하게 되므로, 그 상부의 제4폴리실리콘층(3')과 중첩되는 영역을 갖지 않아도 좋다.

이어서, 제5도(c)와 같이 전체구조 상부에 층간절연막(7')을 증착하고, 상기 층간절연막(7')상에 전원선 및 고저항 부하 소자용 제4폴리실리콘층(3')을 증착한 다음, 소정 영역 별로 각각 다른 양의 불순물을 주입하고, 상기 불순물이 주입된 제4폴리실리콘층(3')를 패턴닝한다. 이때, 제4폴리실리콘층(3')에 불순물을 주입할 시, 전원선 부위는 고저항 부위보다 많은 양의 불순물을 주입한다. 또한, 전원선으로 사용되는 부위에만 불순물을 주입하고, 고저항 부하 소자로 사용될 부위는 불순물을 주입하지 않을 수 있다. 참고적으로 폴리실리콘은 저항체로서 불순물의 양에 따라 저항값이 달라진다.

이후에 종래의 TFT형 셀 제조 공정과 동일하게 층간절연막과 금속배선 및 보호 절연막을 형성한다.

본 발명은 일반적인 TFT형 셀의 제조 공정중에서 그 회로 배치도(Layout)만을 변경함으로써 셀 크기가 감소된 HLR형 메모리 셀을 제조할 수 있어, 간단한 회로 배치의 변경으로 고속형 및 저속형 SRAM을 선택적으로 제조할 수 있다.

이상, 본 발명을 그 실시예에 따라 구체적으로 설명하였으나, 본 발명이 상기의 실시예들로 한정되는 것은 아니며, 그 기술적 사상의 범위를 벗어나지 않은 다양한 실시예가 가능함을 유의하여야 한다. 따라서, 본 발명은 이하의 특허 청구의 범위에 의하여 그 범위를 해석하여야 할 것이다.

(57) 청구의 범위

청구항 1

제1 및 제2구동 트랜지스터의 게이트로 사용되는 제1도전층, 접지선으로 사용되는 제2도전층, TFT의 게이트 및 노드 콘택용 제3도전층, 전원선과 TFT의 채널 및 TFT의 소오스 드레인으로 사용되는 제4도전층을 구비하는 통상적인 TFT형 SRAM 셀 형태의 구조를 갖되, 상기 제3도전층이 상기 제4도전층과 오버랩되는 부위가 제거되어 콘택 패드로만 사용되고, 상기 제4도전층은 주입된 불순물의 양에 따라 소정 영역별로 셀의 전원선 및 고저항 부하 소자로 사용되는 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 2

제1항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 폴리실리콘층인 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 3

제2항에 있어서, 상기 제4도전층의 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하 소자로 사용되는 영역의 불순물 농도보다 높은 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 4

제2항에 있어서, 상기 제4도전층의 고저항 부하 소자 영역은 불순물을 주입하지 않은 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 5

고저항 부하 소자를 포함하는 SRAM 셀에 있어서, 반도체 기판의 소정 영역에 형성되며 제1도전층으로써 게이트를 형성하는 제1 및 제2구동 트랜지스터와 상기 제1 및 제2구동 트랜지스터의 일측 접합과 접촉되어 접지선으로 사용되는 제2도전층을 포함하는 하부층; 상기 하부층 상에 형성되어 층간절연막으로 사용되는 제1절연막; 상기 제1절연막상에 형성되며 그를 통과하여 상기 제1 또는 제2구동 트랜지스터의 타측 접합에 콘택되는 콘택 패드용 제3도전층; 상기 제3도전층상에 형성되어 층간절연막으로 사용되는 제2절연막; 및 상기 제2절연막상에 형성되고 그를 통과하여 상기 제3도전층의 소정부위에 접속되도록 형성되며, 주입된 불순물의 양에 따라 소정 영역별로 셀의 전원선 및 고저항 부하 소자로 사용되는 제4도전층을 구비하는 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 6

제5항에 있어서, 상기 제3도전층과 상기 제4도전층은 서로 오버랩(overlap)되지 않도록 배치되는 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 7

제5항 또는 제6항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 폴리실리콘층인 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 8

제7항에 있어서, 상기 제4도전층의 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하 소자로 사용되는 영역의 불순물 농도보다 높은 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 9

제7항에 있어서, 상기 제4도전층의 고저항 부하 소자 영역은 불순물을 주입하지 않는 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 10

고저항을 부하소자로 사용하는 SRAM 셀 제조 방법에 있어서, 반도체 기판의 소정 영역에 제1도전층을 게이트로 사용하는 구동 트랜지스터와 접지선으로 사용되는 제2도전층을 포함하는 하부층 및 층간 절연을 위한 제1절연막을 형성하는 단계; 상기 제1절연막상에 형성되며 상기 구동 트랜지스터의 일측 접합에 콘택되는 콘택 패드용 제3도전층을 형성하고 패터닝하는 단계; 전체구조 상부에 제2절연막을 형성하는 단계; 및 상기 제2절연막상에 제4도전층을 형성하고 전원선 및 고저항 부하소자 별로 각각 다른 양의 불순물을 주입한 다음, 불순물이 주입된 상기 제4도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 고저항 부하형 SRAM 셀 제조 방법.

청구항 11

제10항에 있어서, 상기 제3도전층과 상기 제4도전층은 서로 오버랩(overlap)되지 않는 배치를 갖도록 패터닝하는 것을 특징으로 하는 고저항 부하형 SRAM 셀 제조 방법.

청구항 12

제10항 또는 제11항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 폴리실리콘층인 것을 특징으로 하는 고저항 부하형 SRAM 셀.

청구항 13

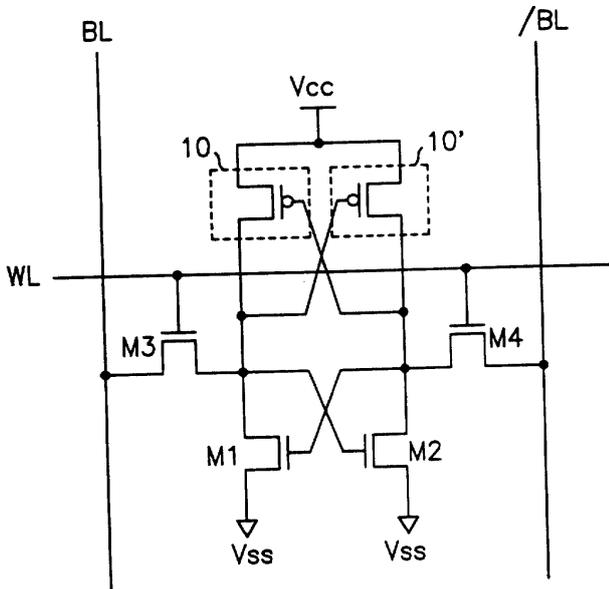
제12항에 있어서, 상기 제4도전층의 전원선으로 사용되는 영역의 불순물의 농도가 고저항 부하소자로 사용되는 영역의 불순물의 농도보다 높게 형성되는 것을 특징으로 하는 고저항 부하형 SRAM 셀 제조 방법.

청구항 14

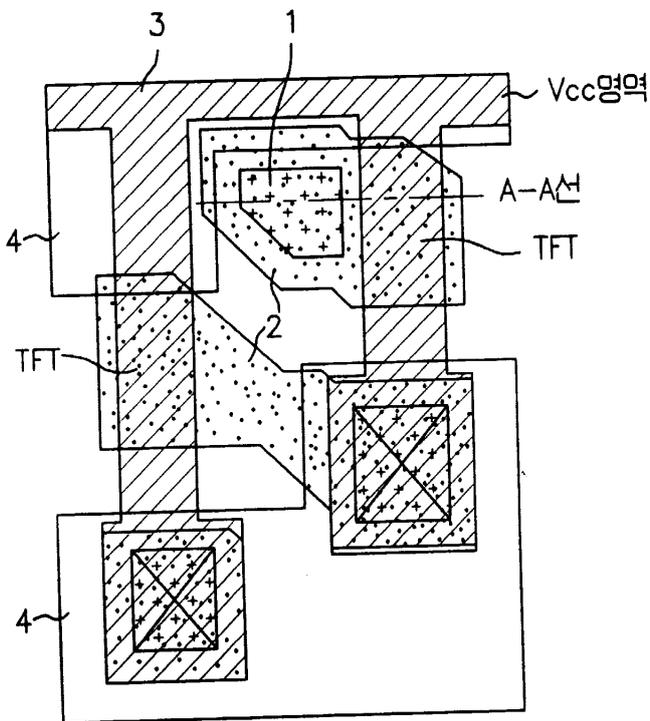
제12항에 있어서, 상기 제4도전층의 고저항 부하 소자 영역에는 불순물을 주입하지 않는 것을 특징으로 하는 고저항 부하형 SRAM 셀 제조 방법.

도면

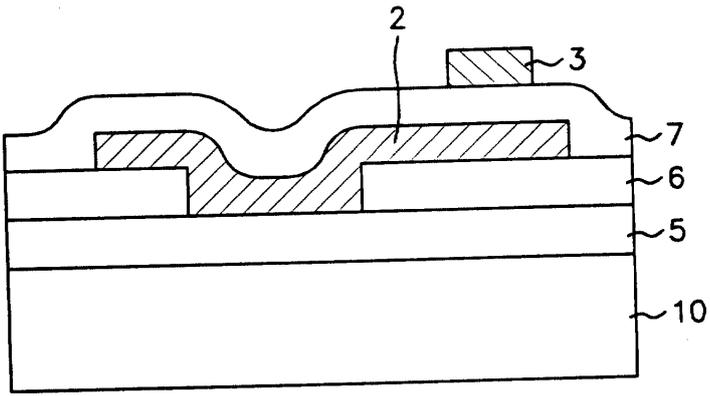
도면1



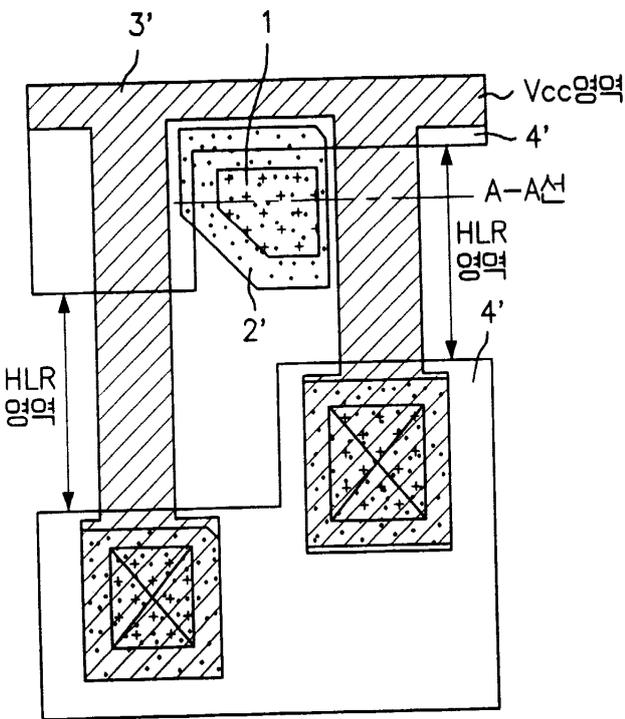
도면2



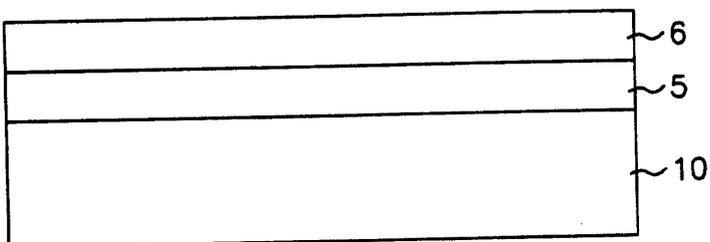
도면3



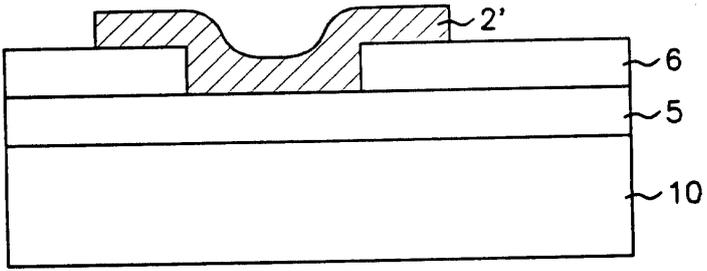
도면4



도면5a



도면5b



도면5c

