

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-142881  
(P2007-142881A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
HO 4 L 27/18 (2006.01)	HO 4 L 27/18 Z	5 K O O 4
HO 4 L 27/20 (2006.01)	HO 4 L 27/20 Z	
HO 4 L 27/22 (2006.01)	HO 4 L 27/22 Z	

審査請求 未請求 請求項の数 10 O L (全 26 頁)

(21) 出願番号 特願2005-334793 (P2005-334793)  
(22) 出願日 平成17年11月18日 (2005.11.18)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号  
(74) 代理人 100092978  
弁理士 真田 有  
(72) 発明者 川▲崎▼ 敏雄  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
Fターム(参考) 5K004 AA05 FA07 FC02 FD05

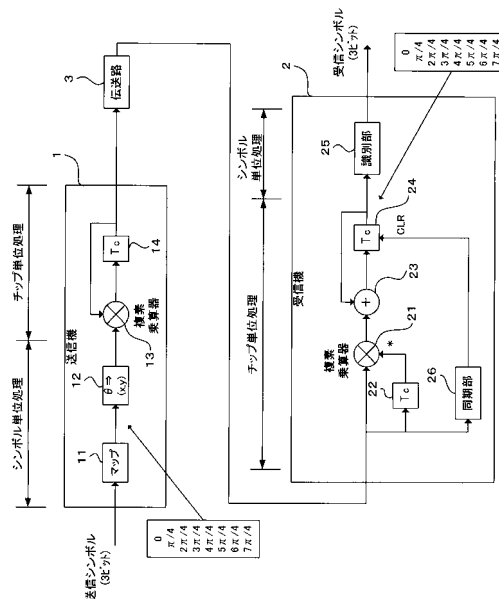
(54) 【発明の名称】 通信システム及び通信方法並びに送信機及び受信機

(57) 【要約】

【課題】 誤り訂正回路を必要とせずに符号誤り率を改善できるようにする。

【解決手段】 送信機 1 に、送信シンボルデータを複数の位相量にマッピングするマップ部 11 と、上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部 13、14 とそなえ、受信機 2 に、受信信号と 1 チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部 21、22 と、検出されたチップ単位時間毎の位相差を 1 シンボル時間内で平均化する平均化処理部 23、24 と、その出力を識別して上記多値位相変調信号を復調する識別部 25 とをそなえて構成する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

送信機と受信機とをそなえた通信システムであって、  
該送信機が、  
送信シンボルデータを複数の位相量にマッピングするマップ部と、  
該マップ部にて上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とそなえ、  
該受信機が、  
該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部と、  
該チップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する平均化処理部と、  
該平均化処理部の出力を識別して上記多値位相変調信号を復調する識別部とをそなえて構成されたことを特徴とする、通信システム。

10

## 【請求項 2】

送信機と受信機とをそなえた通信システムであって、  
該送信機が、  
第1の送信シンボルデータを複数の位相量にマッピングする第1のマップ部と、  
第2の送信シンボルデータを複数の位相量にマッピングする第2のマップ部と、  
該第1のマップ部にて上記位相量にマッピングされた第1の送信シンボルデータについて、該第2のマップ部の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえ、  
該受信機が、  
該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出する第1のチップ間位相差検出部と、  
該第1のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第1の平均化処理部と、  
該第1の平均化処理部の出力を識別する第1の識別部と、  
該第1の識別部での識別結果に応じた周波数信号を生成する周波数信号生成部と、  
該周波数信号と該受信信号との位相差をチップ単位時間毎に検出する第2のチップ間位相差検出部と、  
該第2のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第2の平均化処理部と、  
該第2の平均化処理部の出力を識別する第2の識別部とをそなえて構成されたことを特徴とする、通信システム。

20

30

## 【請求項 3】

送信機と受信機とをそなえた通信システムにおける通信方法であって、  
該送信機は、  
送信シンボルデータを複数の位相量にマッピングし、  
上記マッピング後の送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成して送信し、  
該受信機は、  
該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出し、  
検出したチップ単位時間毎の位相差を1シンボル時間内で平均化し、  
その平均化出力を識別して上記多値位相変調信号を復調することを特徴とする、通信方法。

40

## 【請求項 4】

送信機と受信機とをそなえた通信システムにおける通信方法であって、  
該送信機は、

50

第 1 及び第 2 の送信シンボルデータをそれぞれ複数の位相量にマッピングし、  
上記マッピング後の第 1 の送信シンボルデータについて、上記マッピング後の第 2 の送信シンボルデータを初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成、送信し、

該受信機は、

該送信機から受信される受信信号と 1 チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出し、

検出したチップ単位時間毎の位相差を 1 シンボル時間内で平均化し、

その平均化出力を識別し、

その識別結果に応じた周波数信号を生成し、

該周波数信号と該受信信号との位相差をチップ単位時間毎に検出し、

検出したチップ単位時間毎の位相差を 1 シンボル時間内で平均化し、

その平均化出力を識別することを特徴とする、通信方法。

10

【請求項 5】

受信機を有する通信システムに用いられる送信機であって、

送信シンボルデータを複数の位相量にマッピングするマップ部と、

該マップ部にて上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえたことを特徴とする、送信機。

【請求項 6】

20

送信機を有する通信システムに用いられる受信機であって、

該送信機から受信される受信信号と 1 チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部と、

該チップ間位相差検出部で検出されたチップ単位時間毎の位相差を 1 シンボル時間内で平均化する平均化処理部と、

該平均化処理部の出力を識別して上記多値位相変調信号を復調する識別部とをそなえたことを特徴とする、受信機。

【請求項 7】

1 シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差検出部と、

30

該シンボル端位相差検出部で検出された位相差を該平均化処理部で平均化した位相差に加算する加算器とをさらにそなえたことを特徴とする、請求項 6 記載の受信機。

【請求項 8】

受信機を有する通信システムに用いられる送信機であって、

第 1 の送信シンボルデータを複数の位相量にマッピングする第 1 のマップ部と、

第 2 の送信シンボルデータを複数の位相量にマッピングする第 2 のマップ部と、

該第 1 のマップ部にて上記位相量にマッピングされた第 1 の送信シンボルデータについて、該第 2 のマップ部の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえたことを特徴とする、送信機。

【請求項 9】

40

送信機を有する通信システムに用いられる受信機であって、

該送信機から受信される受信信号と 1 チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出する第 1 のチップ間位相差検出部と、

該第 1 のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を 1 シンボル時間内で平均化する第 1 の平均化処理部と、

該第 1 の平均化処理部の出力を識別する第 1 の識別部と、

該第 1 の識別部での識別結果に応じた周波数信号を生成する周波数信号生成部と、

該周波数信号と該受信信号との位相差をチップ単位時間毎に検出する第 2 のチップ間位相差検出部と、

該第 2 の位相差検出部で検出されたチップ単位時間毎の位相差を 1 シンボル時間内で平

50

均化する第2の平均化処理部と、

該第2の平均化処理部の出力を識別する第2の識別部とをそなえたことを特徴とする、受信機。

【請求項10】

1シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差検出部と、

該シンボル端位相差検出部で検出された位相差を該第1の平均化処理部で平均化した位相差に加算する加算器とをさらにそなえたことを特徴とする、請求項9記載の受信機。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、通信システム及び通信方法並びに送信機及び受信機に関し、特に、位相変調(PSK: Phase Shift Keying)方式によりデジタル通信を行なうシステムに用いて好適な技術に関する。

【背景技術】

【0002】

デジタル通信方式において、伝送路の雑音等により、符号誤りが発生する。符号誤り率は信号対雑音比が支配的である。このため、送信電力を上げたり雑音を低減したりすることで、符号誤り率は改善する。しかし、送信電力は有限であり、また、送信電力を上げることは、他の回線に干渉を与えるおそれがあり、単純に送信電力を上げる対処は好ましくない。また、雑音の低減も困難である。そこで、従来は、回線品質を保つために、符号誤り訂正を用いて符号誤り率の改善を図ることが多い。

20

【0003】

なお、デジタル通信方式の従来技術として、例えば後記特許文献1～3により提案されている技術がある。

特許文献1の技術は、差動位相変調方式DPSK(Differential PSK)を用いてデジタル伝送路へ出力する主信号を前以てランダム化するためのスクランブル回路に関し、差動位相変調前のデジタル主信号をスクランブルした信号のランダム度を高くし、出力される主信号が伝送路で符号誤りを発生し難くすることを目的としている。

【0004】

30

そのため、特許文献1の技術では、擬似ランダム符号を発生するM系列パターン発生器の出力により、入力のデジタル信号を排他的論理和処理し和分処理してスクランブルしたのち、差動位相変調して伝送路へ出力する送信側のスクランブル回路において、上記M系列パターン発生器の出力を差分処理し、その結果を排他的論理和することで、入力デジタル信号を処理しスクランブルするようになっている。

【0005】

また、特許文献2の技術は、デジタル通信に用いる送信データ生成装置、特に、差動符号化を用いた送信データ生成装置に関し、記憶回路を用いずに、所望のスタートシンボル(遅延検波の基準となる信号で、フレーム先頭に挿入される)を得られるようにすることを目的としている。

40

そのため、特許文献2の技術では、情報データが供給される加算回路と、情報データの1シンボル期間の遅延量を有する1シンボル遅延回路と、情報データのフレーム毎に、フレーム先頭の1シンボル期間、1シンボル遅延回路の出力データをスタートシンボルとして選択し、フレームのこの1シンボル期間以外の期間、加算回路の出力データを選択することにより、送信データを生成し、この送信データを1シンボル遅延回路に供給する切替回路とを備え、加算回路は、情報データと1シンボル遅延回路の出力データとを加算して和分データを形成し、送信データが和分データにスタートシンボルをフレームの先頭毎に挿入したデータとするようになっている。

【0006】

これにより、スタートシンボルを発生させるための記憶回路を不要として、任意のスタ

50

ートシンボルを得ることができ、回路規模の拡大を防止して、所望とするスタートシンボルを発生することが可能となる。

さらに、特許文献3の技術は、符号分割多元接続(CDMA)伝送方式に関し、占有周波数を増大させること無く、同等以下の周波数帯域幅を使用し、同等以上の情報量を自動車のような高速な移動体と通信できるようにすることを目的としている。

【0007】

そのため、特許文献3の技術では、送信側において、差分符号化位相変調(DPSK)を用いて、1次変調波を生成し、受信側において、準同期検波および差分演算により、直前のシンボルと現シンボル区間の位相差を検波し、この検波した位相差を、当該現在のシンボルの情報として得るようになっている。

10

これにより、隣接シンボルの位相差に情報が重畳されて送信され、伝播路上で幾多の反射・回折波などの妨害波が混入しキャリア周波数の偏移、位相誤差、ならびに遅延誤差などの原因により周波数選択性フェーディングが生じて受信波が厳しく歪んでも、隣接シンボル間の位相差は送信時の値に保たれることになるので、当該隣接シンボル間の位相差を検波することで、上記目的を達成することが可能となる。

【特許文献1】特開平02-277332号公報

【特許文献2】特開2003-264520号公報

【特許文献3】国際公開第W099/59280号パンフレット

【発明の開示】

【発明が解決しようとする課題】

20

【0008】

従来のデジタル通信技術においては、符号誤り訂正は、一般に、ビタビアルゴリズムや、リードソロモン、BCH(Bose-Chaudhuri Hocquenghem)等の誤り訂正方式を用いており、そのため、複雑な誤り訂正回路が必要となる。そのため演算量が多くなり、消費電力が増大してしまうという課題がある。なお、上記特許文献1~3の技術は、符号誤り訂正を主眼とした技術ではないが、符号誤り率を向上するには上述したような誤り訂正回路が備えられるのが通常である。

【0009】

本発明は、上記のような課題に鑑み創案されたもので、誤り訂正回路を必要とせずに符号誤り率を改善できるようにすることを目的とする。

30

【課題を解決するための手段】

【0010】

上記の目的を達成するために、本発明では、以下の通信システム及び通信方法並びに送信機及び受信機を用いることを特徴としている。即ち、

(1)本発明の通信システムは、送信機と受信機とをそなえた通信システムであって、該送信機が、送信シンボルデータを複数の位相量にマッピングするマップ部と、該マップ部にて上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とそなえ、該受信機が、該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部と、該チップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する平均化処理部と、該平均化処理部の出力を識別して上記多値位相変調信号を復調する識別部とをそなえて構成されたことを特徴としている。

40

【0011】

(2)また、本発明の通信システムは、送信機と受信機とをそなえた通信システムであって、該送信機が、第1の送信シンボルデータを複数の位相量にマッピングする第1のマップ部と、第2の送信シンボルデータを複数の位相量にマッピングする第2のマップ部と、該第1のマップ部にて上記位相量にマッピングされた第1の送信シンボルデータについて、該第2のマップ部の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえ、該受信機が、該送信機から受信

50

される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出する第1のチップ間位相差検出部と、該第1のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第1の平均化処理部と、該第1の平均化処理部の出力を識別する第1の識別部と、該第1の識別部での識別結果に応じた周波数信号を生成する周波数信号生成部と、該周波数信号と該受信信号との位相差をチップ単位時間毎に検出する第2のチップ間位相差検出部と、該第2のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第2の平均化処理部と、該第2の平均化処理部の出力を識別する第2の識別部とをそなえて構成されたことを特徴としている。

【0012】

10

(3)さらに、本発明の通信方法は、送信機と受信機とをそなえた通信システムにおける通信方法であって、該送信機は、送信シンボルデータを複数の位相量にマッピングし、上記マッピング後の送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成して送信し、該受信機は、該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出し、検出したチップ単位時間毎の位相差を1シンボル時間内で平均化し、その平均化出力を識別して上記多値位相変調信号を復調することを特徴としている。

【0013】

(4)また、本発明の通信方法は、送信機と受信機とをそなえた通信システムにおける通信方法であって、該送信機は、第1及び第2の送信シンボルデータをそれぞれ複数の位相量にマッピングし、上記マッピング後の第1の送信シンボルデータについて、上記マッピング後の第2の送信シンボルデータを初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成、送信し、該受信機は、該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出し、検出したチップ単位時間毎の位相差を1シンボル時間内で平均化し、その平均化出力を識別し、その識別結果に応じた周波数信号を生成し、該周波数信号と該受信信号との位相差をチップ単位時間毎に検出し、検出したチップ単位時間毎の位相差を1シンボル時間内で平均化し、その平均化出力を識別することを特徴としている。

20

【0014】

(5)さらに、本発明の送信機は、受信機を有する通信システムに用いられるものであって、送信シンボルデータを複数の位相量にマッピングするマップ部と、該マップ部にて上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえたことを特徴としている。

30

【0015】

(6)また、本発明の受信機は、送信機を有する通信システムに用いられるものであって、該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部と、該チップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する平均化処理部と、該平均化処理部の出力を識別して上記多値位相変調信号を復調する識別部とをそなえたことを特徴としている。

40

【0016】

(7)ここで、上記受信機は、1シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差検出部と、該シンボル端位相差検出部で検出された位相差を該平均化処理部で平均化した位相差に加算する加算器とをさらにそなえていてもよい。

(8)また、本発明の送信機は、受信機を有する通信システムに用いられる送信機であって、第1の送信シンボルデータを複数の位相量にマッピングする第1のマップ部と、第2の送信シンボルデータを複数の位相量にマッピングする第2のマップ部と、該第1のマップ部にて上記位相量にマッピングされた第1の送信シンボルデータについて、該第2のマップ部の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調

50

信号を生成する位相回転処理部とをそなえたことを特徴としている。

【0017】

(9) さらに、本発明の受信機は、送信機を有する通信システムに用いられる受信機であって、該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出する第1のチップ間位相差検出部と、該第1のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第1の平均化処理部と、該第1の平均化処理部の出力を識別する第1の識別部と、該第1の識別部での識別結果に応じた周波数信号を生成する周波数信号生成部と、該周波数信号と該受信信号との位相差をチップ単位時間毎に検出する第2のチップ間位相差検出部と、該第2の位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第2の平均化処理部と、該第2の平均化処理部の出力を識別する第2の識別部とをそなえたことを特徴としている。

10

【0018】

(10) ここで、上記受信機は、1シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差検出部と、該シンボル端位相差検出部で検出された位相差を該第1の平均化処理部で平均化した位相差に加算する加算器とをさらにそなえていてもよい。

【発明の効果】

【0019】

上記本発明によれば、受信機において、雑音による信号点の分布を位相方向に対して狭くすることが可能になるので、複雑な誤り訂正回路を用いることなく、符号誤り率の改善を図ることが可能である。

20

【発明を実施するための最良の形態】

【0020】

〔A〕第1実施形態の説明

図1は本発明の第1実施形態に係るデジタル通信システムの構成を示すブロック図で、この図1に示すシステムは、送信機1と、この送信機1から送信され有線あるいは無線の伝送路3を伝送されてくる信号を受信する受信機2とをそなえて構成され、送信機1は、その要部に着目すると、マップ部11、直交座標変換部12、複素乗算器13及び1チップ遅延回路(Tc)14をそなえて構成され、受信機2は、同様にその要部に着目すると、複素乗算器21、1チップ遅延回路22、加算器23、1チップ遅延回路24、識別部25及び同期部26をそなえて構成されている。

30

【0021】

ここで、送信機1において、マップ部11は、送信シンボルデータを位相に割り当てる(マッピングする)もので、例えば、送信シンボルデータがN(=3)ビットの場合であれば、 $2^N = 2^3 = 8$ 種類の情報ビットをグレイコードに変換し、8相(0 / 4, 2 / 4, 3 / 4, 4 / 4, 5 / 4, 6 / 4, 7 / 4)の位相にそれぞれ割り当てることになる。

【0022】

次に、直交座標変換部12は、上記位相にマッピングされた送信シンボルデータの位相量をシンボル単位で直交座標(x, y(I, Q)座標:以下、同じ)に変換するものであり、複素乗算器13は、直交座標変換された上記送信シンボルデータと、1チップ単位時間前の複素乗算結果(1チップ遅延回路14の出力)とを複素乗算することにより、上記送信シンボルデータについてチップ時間毎に位相回転処理を施して多値(図1の例では8)PSK信号を生成するものである。つまり、直交座標変換部12、複素乗算器13及び1チップ遅延回路14から成るブロックは、上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値PSK信号を生成する位相回転処理部として機能する。

40

【0023】

なお、チップ単位時間は、例えば、8PSKであればシンボル時間の1/8または1/

50

( $8^n$ )とする。具体例を挙げると、例えば図2に示すようにマッピングした時刻  $t_0$  の初期位相が  $\theta_0 = 0$  であれば、図3に示すように、チップ単位時間(時刻  $t_1, t_2, \dots, t_7$ )毎に初期位相  $\theta_0$  から  $\pi/4$  ずつ位相回転する多値(8)PSK信号が生成されることになる。また、図1においては、図示を省略しているが、上記多値PSK信号は変調器により直交成分(I, Q)毎に搬送波に乗じられて直交変調波として送信される。

#### 【0024】

一方、受信機2において、複素乗算器21は、1チップ遅延回路22とともにチップ間位相差検出部として機能し、伝送路3からの受信信号と1チップ遅延回路22による1チップ単位時間前の信号とを複素乗算することにより、1チップ単位時間前の信号との位相差(差動信号位相)を求めるもので、例えば図2により前述した8PSKの信号が伝送路3から雑音を受けて図6に示すような受信信号位相で受信された場合であれば、1シンボル時間内の1チップ単位時間毎の差動信号位相は図4及び図7に示すごとく  $\pi/4$  となる。

10

#### 【0025】

加算器23は、上記複素乗算器21の出力と1チップ遅延回路24のフィードバック出力とを1シンボル時間だけ累積加算することにより、チップ単位時間毎の位相差を1シンボル時間内で平均化するものである。

つまり、加算器23及び1チップ遅延回路24は平均化处理部として機能し、上記の複素乗算器21、1チップ遅延回路22、24及び加算器23から成るブロックは、図5に示す等価回路により表すことができ、チップ単位時間( $t_0, \dots, t_7$ )毎の位相差を複素乗算器21及び1チップ遅延回路22によって求め、得られた各位相差を加算器23で累積加算して1シンボル時間内で平均化しているののである。

20

#### 【0026】

次に、図1において、識別部25は、上述のごとく平均化处理された受信信号についてシンボルデータの識別を行なって復調処理を行なうものであり、同期部26は、受信信号からシンボルタイミングを検出して、平均化处理部(1チップ遅延回路24)の初期化(データクリア)タイミングを生成するものである。

以下、上述のごとく構成された本実施形態のデジタル通信システムの動作について説明する。ただし、以下では8PSKの場合について説明する。

#### 【0027】

まず、送信機1において、3ビットの送信シンボルデータがマップ部11にてグレイコードに変換され、8相( $0, \pi/4, 2\pi/4, 3\pi/4, 4\pi/4, 5\pi/4, 6\pi/4, 7\pi/4$ )の位相にそれぞれ割り当てられた後、直交座標変換部12にて送信シンボルデータの位相量がシンボル単位で直交座標変換される。そして、複素乗算器13及び1チップ遅延回路14により直交座標変換部12の出力がチップ単位時間毎に累積的に複素乗算されることで、チップ単位時間(時刻  $t_1, t_2, \dots, t_7$ )毎に初期位相  $\theta_0$  から  $\pi/4$  ずつ位相回転する8PSK信号が生成される。

30

#### 【0028】

当該8PSK信号は、伝送路3を通過して雑音が付加された信号として受信機2で受信され、受信機2では、複素乗算器21及び1チップ遅延回路22により、1チップ単位時間前の受信信号との位相比較を行ない、加算器23及び1チップ遅延回路24により、シンボル時間の平均化处理を行ない、識別部25により、シンボルデータの識別を行なう。なお、平均化处理部(1チップ遅延回路24)は、同期部26で検出されたシンボルタイミング毎に初期化される。

40

#### 【0029】

このように、受信機2において、1チップ単位時間前との位相比較(複素乗算)処理を行ない、その結果の加算(平均化)処理を行なうことにより、受信信号の雑音が無相関ではなくなり、位相方向の雑音がキャンセルされる。雑音による信号点分布は通常は真円若しくはそれに近い形状になるが、雑音の相関により、例えば図8に符号4で示すごとく、位相方向の雑音がキャンセルされ、信号点の分布は振幅方向に拡がり、位相方向には狭ま

50



る楕円状の分布となる。

【0030】

ここで、位相変調方式では、信号点の識別は位相情報のみに基づいて行なうため、振幅方向の分布は符号誤り率の劣化に影響を与えることはなく、結果的に、位相方向の雑音が少なくなり、符号誤り率が改善されることになる。以下に数式で説明する。ここでは、受信信号の位相が0の場合を示す。

時刻  $t = n$  における受信信号  $S_n$  を、 $S_n = u + x_n + j y_n$  とする。この場合、時刻  $t = n$  と時刻  $t = n + 1$  の受信信号の位相差は次式(1)で表される。

$$\begin{aligned} S_{n+1} \times S_n^* &= (u + x_n + j y_n) (u + x_{n+1} - j y_{n+1}) \\ &= (u + x_n) (u + x_{n+1}) + y_n y_{n+1} + j (u y_n + y_n x_{n+1} - u y_{n+1} - y_{n+1} x_n) \\ &= u^2 + u (x_n + x_{n+1}) + x_n x_{n+1} + y_n y_{n+1} \\ &\quad + j [u (y_n - y_{n+1}) + y_n x_{n+1} - y_{n+1} x_n] \quad \dots (1) \end{aligned} \quad 10$$

この式(1)は、SNRが大きい場合は次式(2)に近似できる。

$$S_{n+1} \times S_n^* = u^2 + u (x_n + x_{n+1}) + j u (y_n - y_{n+1}) \quad \dots (2)$$

この式(2)において、振幅  $u$  を1とすれば、式(2)は次式(3)となる。

$$S_{n+1} \times S_n^* = 1 + (x_n + x_{n+1}) + j (y_n - y_{n+1}) \quad \dots (3)$$

したがって、シンボルの平均は次式(4)で表されることになる。

【0031】

【数1】

$$\begin{aligned} \frac{1}{7} \sum_0^6 (S_{n+1} \times S_n^*) &= 1 + \frac{1}{7} \sum_0^6 (x_n + x_{n+1}) + j \frac{1}{7} \sum_0^6 (y_n - y_{n+1}) \\ &= 1 + \frac{1}{7} \left( x_0 + 2 \sum_1^5 (x_n + x_{n+1}) + x_7 \right) + j \frac{1}{7} (y_0 - y_7) \quad \dots (4) \end{aligned} \quad 20$$

この式(4)において、実数項(第1項及び第2項)が振幅方向の雑音成分、虚数項(第3項)が位相方向の雑音成分をそれぞれ表しており、この式(4)から、振幅方向の雑音は大きく、位相方向の雑音は小さくなり、信号点の分布は図8に示したような楕円状となる。したがって、位相方向の雑音が改善され、符号誤り率の改善を図ることが可能となる。

【0032】

なお、図24に、16PSK(1シンボル16チップ)の場合の受信特性のシミュレーション結果[S/N(信号対ノイズ比)対ビットエラーレート(BER)]の一例を示す。この図24において、符号200で示す特性が従来技術による受信特性を示し、符号300で示す特性が本例による受信特性を示し、明らかに、本例による方が特性改善されていることが分かる。

【0033】

〔B〕第2実施形態の説明

図9は本発明の第2実施形態に係るデジタル通信システムの構成要素である受信機の構成を示すブロック図で、この図9に示す受信機2は、図1により上述した受信機2に比して、複素乗算器21a、複数チップ遅延回路22a、スイッチ27、制御部28及び加算器29が付加されている点異なる。なお、他の構成要素、即ち、図9において既述の符号と同一符号を付した構成要素は、特に断らない限り、既述の構成要素と同一若しくは同様の機能を有するものである。また、送信機1及び伝送路3についても、図1により前述したものと同一若しくは同様のものである。

【0034】

ここで、複数チップ遅延回路22aは、伝送路3から受信される信号を複数チップ時間(8PSKの場合で7チップ単位時間)分だけ遅延するものであり、複素乗算器21aは

、この複数チップ遅延回路 2 2 a の出力と伝送路 3 からの受信信号とを複素乗算することにより、両信号の位相差、即ち、受信シンボルの最初（時刻  $t_0$ ）のチップと最後（時刻  $t_7$ ）のチップの受信信号位相差を求めるものである。つまり、これらの複素乗算器 2 1 a 及び複数チップ遅延回路 2 2 a は、1 シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差検出部として機能する。

【0035】

スイッチ 2 7 は、制御部 2 8 からの切り替えタイミングに従って ON / OFF されることにより、複素乗算器 2 1 a の出力を加算器 2 9 へ供給 / 遮断するものであり、制御部 2 8 は、同期部 2 6 で検出されるシンボルタイミングに従って上記切り替えタイミング及び 1 チップ遅延回路 2 4 へのデータクリア信号を供給するものである。つまり、1 チップ遅延回路 2 4 は、第 1 実施形態と同様に、シンボル毎にデータクリア（平均化処理の初期化）され、スイッチ 2 7 は、シンボル毎に ON 状態に制御されて、複素乗算器 2 1 a の出力が加算器 2 9 に供給されるようになっている。

10

【0036】

加算器 2 9 は、加算器 2 3 及び 1 チップ遅延回路 2 4 による平均化処理結果、即ち、1 シンボル時間内の 1 チップ単位時間毎の差動信号位相の平均値と、上記スイッチ 2 7 が ON 状態のときに供給されてくる複素乗算器 2 1 a の出力、即ち、受信シンボルの最初（時刻  $t_0$ ）のチップと最後（時刻  $t_7$ ）のチップの受信信号位相差とを加算して識別部 2 5 へ出力するものである。

【0037】

つまり、図 9 において、複素乗算器 2 1、1 チップ遅延回路 2 2、加算器 2 3、1 チップ遅延回路 2 4、複素乗算器 2 1 a、複数チップ遅延回路 2 2 a、スイッチ 2 7 及び加算器 2 9 から成るブロックは、図 1 1 に示す等価回路により表すことができ、第 1 実施形態と同様にして得られる上記差動信号位相の平均値に、受信シンボルの最初（時刻  $t_0$ ）のチップと最後（時刻  $t_7$ ）のチップの受信信号位相差を加算するようになっているのである。

20

【0038】

これにより、符号誤り率をより改善することが可能となる。例えば、本例においても、送信機 1 から生成、送信された 8 P S K の信号（図 2 参照）が伝送路 3 から雑音を受けて図 1 2 に示すような受信信号位相で受信された場合であれば、1 シンボル時間内の 1 チップ単位時間毎の差動信号位相は図 1 0 及び図 1 3 に示すごとく  $\pi/4$  となり、また、シンボルの最初のチップと最後のチップの位相差も、各チップ単位時間の位相差と同じ（ $\pi/4$ ）になる。本例はこの周期性を利用したものである。

30

【0039】

この場合、シンボルの平均の近似式は次式（5）で表される。

【0040】

【数 2】

$$\frac{1}{8} \left( \sum_0^6 (S_{n+1} \times S_n^*) + (S_0 \times S_7^*) \right) = 1 + \frac{2}{8} \sum_0^7 x_n \quad \dots (5)$$

40

つまり、理論的には、虚数項（位相方向の雑音成分）がキャンセルされるため、位相方向の雑音がさらに改善されて、符号誤り率の改善をより図ることが可能となる。なお、本例での信号点分布例を図 1 4 に示す。この図 1 4 から分かるように、第 1 実施形態の場合（図 8 参照）に比して、位相方向の雑音がより抑圧、改善されている。

【0041】

50

## 〔C〕第3実施形態の説明

なお、第1及び第2実施形態における送信機1は、例えば図15に示すように、図1により前述した複素乗算器13及び1チップ遅延回路14に代えて、加算器13a及び1チップ遅延回路14aを有して成る数値制御発振器(NCO: Numerically Controlled Oscillators)15を、既述のマッピング部11と直交座標変換部12との間に介装して構成してもよい。

## 【0042】

ここで、加算器13aは、マッピング部11で複数の位相にマッピングされた送信シンボルデータについて1チップ単位時間前のデータ(1チップ遅延回路14aからのフィードバック出力)を累積加算するものであり、1チップ遅延回路14aは、当該加算器13aでの加算結果を1チップ単位時間だけ遅延するもので、その出力は前段の加算器13aにフィードバックされるとともに、直交座標変換部12へ出力されるようになっている。

10

## 【0043】

これにより、マッピング部11で複数の位相(8PSKの場合、 $0$ ,  $\pi/4$ ,  $2\pi/4$ ,  $3\pi/4$ ,  $4\pi/4$ ,  $5\pi/4$ ,  $6\pi/4$ ,  $7\pi/4$ )にマッピングされた送信シンボルデータについて、加算器13aにて1チップ短時間前のデータが累積加算されることにより、第1実施形態と同等の位相回転処理が施され、その後、直交座標変換部12にて直交座標への変換が行なわれることにより多値PSK信号が生成される。つまり、本例では、直交座標変換部12による直交座標変換前に、NCO15を用いて送信シンボルデータについて位相回転処理を施すようになっているのである。

20

## 【0044】

このようにしても、第1実施形態と同等の多値PSK信号を生成することができる。なお、本例では複素乗算器13の代わりに加算器13aを用いれば良いので、第1実施形態の送信機1に比して、送信機1の構成をより簡易化することができる。

## 〔D〕第4実施形態の説明

図16は本発明の第4実施形態に係るデジタル通信システムの構成を示すブロック図で、この図16に示すシステムも、送信機1と、この送信機1から送信され有線あるいは無線の伝送路3を伝送されてくる信号を受信する受信機2とをそなえて構成され、本例の送信機1は、その要部に着目すると、マッピング部11A, 11B, 直交座標変換部12A, 12B, 複素乗算器13, 1チップ遅延回路14, セレクタ16及び制御部17をそなえて構成され、受信機2は、その要部に着目すると、複素乗算器21A, 21B, 1チップ遅延回路22A, 加算器23A, 23B, 1チップ遅延回路24A, 24B, 識別部25A, 25B, 同期部26, NCO32(加算器30, 1チップ遅延回路31)及び遅延回路33をそなえて構成されている。

30

## 【0045】

ここで、送信機1において、マッピング部11A, 11Bは、それぞれ、図1により前述したマッピング部11と同様のもので、一方のマッピング部(第1のマッピング部)11Aは、入力送信シンボルデータを3ビット毎に分割したときの第1の送信シンボルデータ(3ビット)を位相に割り当てる(マッピングする)ものであり、他方のマッピング部(第2のマッピング部)11Bは、第2の送信シンボルデータ(3ビット)を同様に位相に割り当てるものである。

40

## 【0046】

直交座標変換部12A, 12Bも、それぞれ、図1により前述したものと同様のもので、上記位相にマッピングされた送信シンボルデータの位相量をシンボル単位で直交座標変換するものである。

複素乗算器13は、本例においても、1チップ遅延回路14とともに位相回転処理部として機能するもので、一方の直交座標変換部12Aの出力と、1チップ単位時間前の複素乗算結果(1チップ遅延回路14のフィードバック出力)とを複素乗算することにより、送信シンボルデータについてチップ時間毎に位相回転処理を施して多値(ここでは、8)PSK信号を生成するものである。

## 【0047】

50

セレクタ 16 は、制御部 17 からの制御に従って、複素乗算器 13 の出力と直交座標変換部 12 B の出力とを選択的に 1 チップ遅延回路 14 へ出力するもので、本例では、シンボルの先頭毎に 1 チップ単位時間だけ直交座標変換部 12 B の出力が選択され、それ以外は複素乗算器 13 の出力が選択されるように制御される。

つまり、本例の送信機 1 は、送信シンボルデータを例えば 3 ビット毎に分割し、第 1 の送信シンボルデータ (3 ビット) については、第 1 実施形態と同様に、マップ部 11 A にてマッピング処理された後、直交座標変換部 12 A にて直交座標に変換され、複素乗算器 13 にて位相回転処理が施され、第 2 の送信シンボルデータ (3 ビット) については、マップ部 11 B にてマッピング処理された後、直交座標変換部 12 B にて直交座標に変換され、位相回転処理部 (複素乗算器 13, 1 チップ遅延回路 14) の初期値として用いられるようになっているのである。

10

#### 【0048】

換言すれば、複素乗算器 13, 1 チップ遅延回路 14 及びセレクタ 16 から成るブロックは、第 1 のマップ部 11 A にて位相量にマッピングされた第 1 の送信シンボルデータについて、第 2 のマップ部 11 B の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値 (8) PSK 信号を生成する位相回転処理部として機能し、これにより、本例の送信機 1 は、各チップ単位時間の位相差と初期位相とを用いて送信シンボルデータを伝送するようになっているのである。

#### 【0049】

一方、受信機 2 において、複素乗算器 21 A, 1 チップ遅延回路 22 A, 加算器 23 A, 1 チップ遅延回路 24 A, 識別部 25 A は、それぞれ、図 1 により前述した複素乗算器 21, 1 チップ遅延回路 22, 加算器 23, 1 チップ遅延回路 24 及び識別部 25 と同じもので、第 1 の受信シンボルデータについて、第 1 のチップ間位相差検出部として機能する複素乗算器 21 A 及び 1 チップ遅延回路 22 A によってチップ単位時間毎の位相差が求められ、第 1 の平均化処理部として機能する加算器 23 A 及び 1 チップ遅延回路 24 によって各位相差のシンボル時間内での平均化処理が行なわれ、さらに、第 1 の識別部 25 A によって上記平均化処理後の受信シンボルデータの識別、復調処理が行なわれるようになっている。

20

NCO 32 の構成要素である加算器 30 は、識別部 25 A によって識別、復調されたシンボルデータと 1 チップ単位時間前の加算結果 (1 チップ遅延回路 31 のフィードバック出力) とを累積加算するものであり、同じく、1 チップ遅延回路 31 は、この加算器 30 の加算結果を 1 チップ単位時間だけ遅延して加算器 30 にフィードバックするとともに、複素乗算器 21 B へ供給するものである。つまり、NCO (周波数信号生成部) 32 は、識別部 25 A で識別、復調されたデータ (識別結果) に応じた周波数信号を、送信信号の位相回転のレプリカ信号として生成し、これを複素乗算器 21 B に与えることによって、第 2 の受信シンボルデータについて位相回転 (逆回転) 処理を施すようになっている。

30

#### 【0050】

遅延回路 33 は、第 2 の受信シンボルデータを遅延させて、NCO 32 からの上記レプリカ信号による位相回転処理対象のシンボルデータと上記レプリカ信号との複素乗算器 21 B での乗算タイミングを一致させるためのものであり、複素乗算器 (第 2 のチップ間位相検出部) 21 B は、上記レプリカ信号と遅延回路 33 による遅延 (タイミング調整) 後の受信シンボルデータとを乗算して両信号の位相差をチップ単位時間毎に検出するものである。

40

#### 【0051】

加算器 23 B 及び 1 チップ遅延回路 24 B は、加算器 23 A 及び 1 チップ遅延回路 24 A と同じく平均化処理部 (第 2 の平均化処理部) として機能するもので、加算器 23 B は、複素乗算器 21 B により位相回転処理を施された受信シンボルデータと 1 チップ単位時間前の加算結果 (1 チップ遅延回路 24 B のフィードバック出力) とをシンボル時間だけ累積加算してゆくものであり、1 チップ遅延回路 24 B は、加算器 23 B の出力を 1 チップ短時間だけ遅延して加算器 23 B へフィードバックするとともに、識別部 25 へ出力す

50

るもので、これらの加算器 2 3 B 及び 1 チップ遅延回路 2 4 B によって、チップ単位時間毎の位相差が 1 シンボル時間内で平均化されるようになっている。

【 0 0 5 2 】

なお、上記の各平均化処理部における 1 チップ遅延回路 2 4 A , 2 4 B は、同期部 2 6 からのデータクリア信号によってシンボル時間毎に初期化 ( データクリア ) されるようになっている。

識別部 ( 第 2 の識別部 ) 2 5 B は、上記平均化処理後の上記平均化処理後の受信シンボルデータの識別、復調処理を行なうものであり、同期部 2 6 は、第 1 実施形態と同様に、受信信号からシンボルタイミングを検出して、各平均化処理部 ( 1 チップ遅延回路 2 4 A , 2 4 B ) の初期化 ( データクリア ) タイミングを生成、供給するものである。

10

【 0 0 5 3 】

以下、上述のごとく構成された本実施形態のデジタル通信システムの動作について説明すると、送信機 1 では、送信シンボルデータが 3 ビット毎に分割され、第 1 の送信シンボルデータはマップ部 1 1 A に入力され、当該マップ部 1 1 A にて 8 種類の情報ビットが 8 相 ( 0 , / 4 , 2 / 4 , 3 / 4 , 4 / 4 , 5 / 4 , 6 / 4 , 7 / 4 ) の位相にそれぞれ割り当てられた後、直交座標変換部 1 2 A にて、送信シンボルデータの位相量がシンボル単位で直交座標変換される。

【 0 0 5 4 】

そして、複素乗算器 1 3 及び 1 チップ遅延回路 1 4 にてチップ単位時間毎に累積的に複素乗算されることで、チップ単位時間 ( 時刻  $t_1$  ,  $t_2$  , ... ,  $t_7$  ) 毎に初期位相  $\theta_0$  から  $\theta_0 / 4$  ずつ位相回転する 8 P S K 信号が生成される。

20

一方、第 2 の送信シンボルデータは、マップ部 1 1 B にて、第 1 の送信シンボルデータと同様に、8 種類の情報ビットが 8 相 ( 0 , / 4 , 2 / 4 , 3 / 4 , 4 / 4 , 5 / 4 , 6 / 4 , 7 / 4 ) の位相にそれぞれ割り当てられた後、直交座標変換部 1 2 A にて、送信シンボルデータの位相量がシンボル単位で直交座標変換され、セレクタ 1 6 による選択により、位相回転処理部 ( 1 チップ遅延回路 1 4 ) の初期値 (  $\theta_0$  ) として用いられる。

【 0 0 5 5 】

上述のごとく得られた 8 P S K 信号は、伝送路 3 を通って雑音が付加された信号として受信機 2 で受信され、複素乗算器 2 1 A , 1 チップ遅延回路 2 2 A , 遅延回路 3 3 及び同期部 2 6 にそれぞれ入力され、第 1 実施形態と同様に、同期部 2 6 にてシンボルタイミングが検出されるとともに、第 1 の受信シンボルデータについて、複素乗算器 2 1 及び 1 チップ遅延回路 2 2 によって、1 チップ単位時間前の受信信号との位相比較が行なわれ、加算器 2 3 A 及び 1 チップ遅延回路 2 4 A により、シンボル時間の平均化処理が行なわれる。

30

【 0 0 5 6 】

これにより、例えば、本例においても、図 2 に示した送信信号位相で送信機 1 から送信された 8 P S K 信号が伝送路 3 から雑音を受けて図 1 7 の最上段及び図 1 8 に示すような受信信号位相で受信されたとすると、1 シンボル時間内の 1 チップ単位時間毎の差動信号位相は図 1 7 の中段及び図 1 9 に示すごとく  $\theta_0 / 4$  となる。

40

さて、上記平均化処理後の第 1 の受信シンボルデータは、識別部 2 5 A に入力され、当該識別部 2 5 A にて、受信シンボルデータ ( 3 ビット ) の識別、復調が行なわれる。なお、平均化処理部 ( 1 チップ遅延回路 2 4 A ) は、同期部 2 6 で検出されたシンボルタイミング毎に初期化される。

【 0 0 5 7 】

識別部 2 5 A により得られた受信シンボルデータは、N C O 3 2 へ分岐入力され、N C O 3 2 にて、チップ単位時間毎に 1 チップ単位時間前の加算結果と累積加算されることによって、送信シンボルデータの位相回転のレプリカ信号が生成されて、複素乗算器 2 1 B に供給される。

複素乗算器 2 1 B では、遅延回路 3 3 からの第 2 の受信シンボルデータと上記レプリカ

50

信号とをチップ単位時間毎に複素乗算してゆくことにより、チップ単位時間毎の位相回転処理（ $\pi/4$ ずつの逆回転処理）を行なう。この処理により、図17の最下段及び図20に示すように、受信信号の初期位相（絶対位相） $\theta_0$ を求めることが可能となる。

#### 【0058】

その後、得られたチップ単位時間毎の初期位相 $\theta_0$ は、平均化処理部（加算器23B及び1チップ遅延回路24B）によりシンボル時間の平均化処理が施され、識別部25Bにて受信シンボルデータ（3ビット）の識別、復調が行なわれる。

このように、本実施形態によれば、送信機1において、各チップ単位時間の位相差と初期位相 $\theta_0$ とを用いて送信シンボルデータ（6ビット）を伝送し、受信機2において、識別、復調した第1の受信シンボルデータ（3ビット）を基に送信信号の位相回転のレプリカ信号を生成し、当該レプリカ信号を用いて受信シンボルデータの位相逆回転処理を施すことによって、初期位相 $\theta_0$ を求めて残り（第2）の受信シンボルデータ（3ビット）を識別、復調するので、既述の実施形態に比して、1シンボルで倍（8PSKで6ビット）の情報を伝送することができ、伝送容量を増加することができる。

10

#### 【0059】

〔E〕受信機2における同期部26の説明

次に、ここでは、図1、図9及び図16により上述した受信機2における同期部26の詳細について説明する。

図21は同期部26の構成を示すブロック図で、この図21に示す同期部26は、送信機1からの受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出して、その平均値が最大となるタイミングを、前記シンボル時間を特定するシンボルタイミングとして検出するもので、8PSKの場合、7つの1チップ遅延回路61-1~61-7と、8つの相関器62-0~62-7と、比較器63と、同期保護部64と、制御部65とをそなえて構成される。

20

#### 【0060】

ここで、1チップ遅延回路61-1~61-7は、それぞれ、入力信号（受信信号）をチップ単位時間だけ遅延するもので、これら7つの1チップ遅延回路61-k（ $k=1\sim 7$ ）によって、チップ単位時間ずつ遅延した7つの信号が得られ、それぞれが相関器62-1~62-7に入力されるようになっている。なお、相関器62-0には、伝送路3からの受信信号がそのまま入力される。

30

#### 【0061】

相関器62-m（ $m=0\sim 7$ ）は、それぞれ、入力信号（受信信号）からチップ単位時間毎の位相差及び7チップ単位時間の位相差（最初のチップと最後のチップの位相差）を求めて平均化処理を行ない、平均化処理した信号を電力に変換するもので、このために、図9により前述した受信機2と同様の構成を有している。即ち、各相関器62-mは、それぞれ、例えば、複素乗算器621、1チップ遅延回路622、加算器623、1チップ遅延回路624、7チップ遅延回路625、複素乗算器626、スイッチ627、加算器628及び電力化部629をそなえて構成されている。

#### 【0062】

ここで、1チップ遅延回路622、加算器623、1チップ遅延回路624、7チップ遅延回路625、複素乗算器626、スイッチ627及び加算器628は、それぞれ順に、図9に示した複素乗算器21、1チップ遅延回路22、加算器23、1チップ遅延回路24、複数チップ（ここでは、7チップ）遅延回路22a、複素乗算器21a、スイッチ27及び加算器29と同じ機能を有するものある。

40

#### 【0063】

つまり、各相関器62-mは、図9により前述した受信機2の動作と同様に、複素乗算器621、1チップ遅延回路622、加算器623、1チップ遅延回路624、複素乗算器626、複数チップ遅延回路625、スイッチ627及び加算器628から成るブロック（等価回路は図11に示すものと同じ）により、第1実施形態と同様にして得られるチップ単位時間毎の差動信号位相の平均値（1チップ遅延回路624の出力）に、受信信号

50

の最初（時刻  $t_0$ ）のチップと最後（時刻  $t_7$ ）のチップの位相差（複素乗算器 626 の出力）を加算するようになっている。

【0064】

電力化部 629 は、加算器 628 の出力を電力値に変換するものである。なお、1チップ遅延回路 624 のデータクリア信号及びスイッチ 627 の制御信号は、それぞれ、本例においても、制御部 65 からシンボルタイミング毎に供給される。

次に、比較器 64 は、各相関器 62 - m からの電力値の比較を行ない、最大電力値のタイミングを受信シンボルの先頭、即ち、シンボルタイミングとして検出するものであり、同期保護回路 64 は、比較器 64 で検出したタイミングの同期保護をとってフレームパルス（シンボルタイミング）を生成するもので、当該フレームパルスが、既述のデータクリア信号、スイッチ切り替え信号として用いられるようになっている。

10

【0065】

上述の構成により、同期部 26 では、受信信号が、各 1チップ遅延回路 61 - k によりチップ単位時間毎に遅延が付加され、各相関器 62 - m に入力される。各相関器 62 - m では、上述したごとく入力信号から複素乗算器 621, 1チップ遅延回路 622, 加算器 623 及び 1チップ遅延回路 624 によりチップ単位時間毎の位相差の平均値を求めるとともに、複素乗算器 626 及び複数チップ遅延回路 625 により 7チップ単位時間の位相差を求めて、加算器 628 にて上記チップ単位時間毎の位相差の平均値に加算する。

【0066】

加算結果は、電力化部 629 にて電力値に変換されて比較器 63 に入力され、比較器 63 は、各相関器 62 - m からの電力値を比較して、相関器出力が最大のタイミングを検出し、その検出結果について同期保護回路 64 にて同期保護がとられてフレームパルスが生成、出力される。

20

以上のようにして、送信機 1 において 1シンボル内でチップ単位時間毎に位相回転処理を施した信号について、シンボルタイミングを正確に検出することが可能となり、既述の受信機 2 での差動信号位相のシンボル時間の平均化処理を正しく機能させることが可能となる。

【0067】

〔F〕第 5 実施形態の説明

図 22 は本発明の第 5 実施形態に係るデジタル通信システムの構成を示すブロック図で、この図 22 に示すシステムも、送信機 1 と、この送信機 1 から送信され有線あるいは無線の伝送路 3 を伝送されてくる信号を受信する受信機 2 とをそなえて構成され、本例の送信機 1 は、その要部に着目すると、図 1 にて既述のマッパ部 11, 直交座標変換部 12, 位相回転処理部として機能する複素乗算器 13 及び 1チップ遅延回路 14 をそなえるほか、フレームパターン（FP）挿入部 18 及び制御部 19 をそなえて構成され、受信機 2 は、その要部に着目すると、図 1 にて既述の複素乗算器 21, 1チップ遅延回路 22, 平均化処理部として機能する加算器 23 及び 1チップ遅延回路 24, 識別部 25 をそなえるほか、既述の同期部 26 に代えた同期部 26a をそなえて構成されている。

30

【0068】

ここで、送信機 1 において付加された制御部 19 は、所定の周期でフレームパターンを挿入するタイミング信号を生成するもので、当該タイミング信号は FP 挿入部 18 のための FP 挿入タイミング信号及び位相回転処理部（1チップ遅延回路 14）のためのデータクリア信号としてそれぞれに供給されるようになっている。

40

FP 挿入部 18 は、この制御部 19 からの FP 挿入タイミング信号（つまり、送信フレーム周期）に従って、所定のフレームパターン（フレーム同期パターン）を上記位相回転処理部（複素乗算器 13 及び 1チップ遅延回路 14）の出力に挿入することにより、例えば図 23 に示すように、データ部 110 の先頭にフレームパターン 100 を有する送信フレームを構成するものである。

【0069】

一方、受信機 2 において、同期検出部 26a は、伝送路 3 から受信された信号から上記

50

フレームパターン100を検出するものであり、その検出タイミング（つまり、上記フレーム周期）で平均化処理部（1チップ遅延回路24）での平均化処理が初期化（データクリア）されるようになっている。

このような構成により、本例のシステムでは、図21により前述した特別な同期部26を用いることなく、フレーム同期を確立することが可能となり、受信機2での差動信号位相の平均化処理を正しく機能させることが可能となる。

【0070】

なお、上記送信機1での位相回転処理は、図15により前述したように、NCOを用いて実現してもよい。

また、上記FP挿入部18及び制御部19を送信機1に適用した場合は、図9や図16により前述した受信機2においても、同期部26に代えて上記同期検出部26aを適用することで、フレーム同期を確立して、差動信号位相の平均化処理を正しく機能させることが可能である。

【0071】

なお、本発明は、上述した実施形態に限定されず、本発明の趣旨を逸脱しない範囲で種々変形して実施できることはいうまでもない。

〔G〕付記

（付記1）

送信機と受信機とをそなえた通信システムであって、

該送信機が、

送信シンボルデータを複数の位相量にマッピングするマップ部と、

該マップ部にて上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とそなえ、

該受信機が、

該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部と、

該チップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する平均化処理部と、

該平均化処理部の出力を識別して上記多値位相変調信号を復調する識別部とをそなえて構成されたことを特徴とする、通信システム。

【0072】

（付記2）

送信機と受信機とをそなえた通信システムであって、

該送信機が、

第1の送信シンボルデータを複数の位相量にマッピングする第1のマップ部と、

第2の送信シンボルデータを複数の位相量にマッピングする第2のマップ部と、

該第1のマップ部にて上記位相量にマッピングされた第1の送信シンボルデータについて、該第2のマップ部の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえ、

該受信機が、

該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出する第1のチップ間位相差検出部と、

該第1のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第1の平均化処理部と、

該第1の平均化処理部の出力を識別する第1の識別部と、

該第1の識別部での識別結果に応じた周波数信号を生成する周波数信号生成部と、

該周波数信号と該受信信号との位相差をチップ単位時間毎に検出する第2のチップ間位相差検出部と、

該第2のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第2の平均化処理部と、

10

20

30

40

50



該第 2 の平均化処理部の出力を識別する第 2 の識別部とをそなえて構成されたことを特徴とする、通信システム。

【 0 0 7 3 】

( 付記 3 )

送信機と受信機とをそなえた通信システムにおける通信方法であって、

該送信機は、

送信シンボルデータを複数の位相量にマッピングし、

上記マッピング後の送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成して送信し、

該受信機は、

該送信機から受信される受信信号と 1 チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出し、

検出したチップ単位時間毎の位相差を 1 シンボル時間内で平均化し、

その平均化出力を識別して上記多値位相変調信号を復調することを特徴とする、通信方法。

10

【 0 0 7 4 】

( 付記 4 )

該受信機が、1 シンボル内の最初の受信信号と最後の受信信号の位相差を検出し、上記平均化した位相差に加算することを特徴とする、付記 3 記載の通信方法。

( 付記 5 )

送信機と受信機とをそなえた通信システムにおける通信方法であって、

該送信機は、

第 1 及び第 2 の送信シンボルデータをそれぞれ複数の位相量にマッピングし、

上記マッピング後の第 1 の送信シンボルデータについて、上記マッピング後の第 2 の送信シンボルデータを初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成、送信し、

該受信機は、

該送信機から受信される受信信号と 1 チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出し、

検出したチップ単位時間毎の位相差を 1 シンボル時間内で平均化し、

その平均化出力を識別し、

その識別結果に応じた周波数信号を生成し、

該周波数信号と該受信信号との位相差をチップ単位時間毎に検出し、

検出したチップ単位時間毎の位相差を 1 シンボル時間内で平均化し、

その平均化出力を識別することを特徴とする、通信方法。

30

【 0 0 7 5 】

( 付記 6 )

該送信機は、該多値位相変調信号を、フレーム同期パターンを有する所定の送信フレームにより送信し、

該受信機は、該受信信号から該フレーム同期パターンを検出して、上記平均化の同期を確立することを特徴とする、付記 3 ~ 5 のいずれか 1 項に記載の通信方法。

40

【 0 0 7 6 】

( 付記 7 )

受信機を有する通信システムに用いられる送信機であって、

送信シンボルデータを複数の位相量にマッピングするマップ部と、

該マップ部にて上記位相量にマッピングされた送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえたことを特徴とする、送信機。

【 0 0 7 7 】

( 付記 8 )

50

該位相回転処理部が、  
該マップ部の出力を直交座標変換する直交座標変換部と、  
該直交座標変換部の出力と1チップ単位時間前の複素乗算結果とを複素乗算することにより前記位相回転処理を行なう複素乗算器とをそなえて構成されたことを特徴とする、付記7記載の送信機。

**【0078】**

(付記9)

該位相回転処理部が、  
数値制御発振器を用いて前記位相回転処理を行なうように構成されたことを特徴とする、付記7記載の送信機。

10

(付記10)

送信機を有する通信システムに用いられる受信機であって、  
該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出するチップ間位相差検出部と、  
該チップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する平均化処理部と、  
該平均化処理部の出力を識別して上記多値位相変調信号を復調する識別部とをそなえたことを特徴とする、受信機。

**【0079】**

(付記11)

1シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差検出部と、  
該シンボル端位相差検出部で検出された位相差を該平均化処理部で平均化した位相差に加算する加算器とをさらにそなえたことを特徴とする、付記10記載の受信機。

20

**【0080】**

(付記12)

受信機を有する通信システムに用いられる送信機であって、  
第1の送信シンボルデータを複数の位相量にマッピングする第1のマップ部と、  
第2の送信シンボルデータを複数の位相量にマッピングする第2のマップ部と、  
該第1のマップ部にて上記位相量にマッピングされた第1の送信シンボルデータについて、該第2のマップ部の出力を初期位相としてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成する位相回転処理部とをそなえたことを特徴とする、送信機。

30

**【0081】**

(付記13)

送信機を有する通信システムに用いられる受信機であって、  
該送信機から受信される受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出する第1のチップ間位相差検出部と、  
該第1のチップ間位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第1の平均化処理部と、  
該第1の平均化処理部の出力を識別する第1の識別部と、  
該第1の識別部での識別結果に応じた周波数信号を生成する周波数信号生成部と、  
該周波数信号と該受信信号との位相差をチップ単位時間毎に検出する第2のチップ間位相差検出部と、  
該第2の位相差検出部で検出されたチップ単位時間毎の位相差を1シンボル時間内で平均化する第2の平均化処理部と、  
該第2の平均化処理部の出力を識別する第2の識別部とをそなえたことを特徴とする、受信機。

40

**【0082】**

(付記14)

1シンボル内の最初の受信信号と最後の受信信号の位相差を検出するシンボル端位相差

50

検出部と、

該シンボル端位相差検出部で検出された位相差を該第1の平均化処理部で平均化した位相差に加算する加算器とをさらにそなえたことを特徴とする、付記13記載の受信機。

【0083】

(付記15)

該送信機からの受信信号と1チップ単位時間前の受信信号との位相差をチップ単位時間毎に検出して、その平均値が最大となるタイミングを、前記シンボル時間を特定するシンボルタイミングとして検出する同期部をさらにそなえたことを特徴とする、付記10又は13に記載の受信機。

【産業上の利用可能性】

10

【0084】

以上詳述したように、本発明によれば、送信シンボルデータについてチップ単位時間毎に位相回転処理を施して多値位相変調信号を生成して送信し、受信機では、1チップ単位時間前との位相比較処理を行ない、その結果の加算(平均化)処理を行なうことにより、位相方向の雑音をキャンセルすることができる。したがって、位相変調方式における位相方向の雑音を低減でき、符号誤り率を改善することができるので、デジタル通信技術分野において極めて有用と考えられる。

【図面の簡単な説明】

【0085】

【図1】本発明の第1実施形態に係るデジタル通信システムの構成を示すブロック図である。 20

【図2】図1に示す送信機の送信信号位相の一例を示す図

【図3】図2に示す送信信号位相での信号点配置を示す図である。

【図4】図1に示す受信機における受信信号位相と差動信号位相の一例を示す図である。

【図5】図1に示す受信機における位相差検出部及び平均化処理部の等価回路を示す図である。

【図6】図1に示す受信機での受信信号位相(信号点配置)例を示す図である。

【図7】図1に示す受信機での差動信号位相(信号点配置)例を示す図である。

【図8】図1に示す受信機での信号点分布例を示す図である。

【図9】本発明の第2実施形態に係るデジタル通信システムの構成要素である受信機の構成を示すブロック図である。 30

【図10】図9に示す受信機における受信信号位相と差動信号位相の一例を示す図である。

【図11】図9に示す受信機における位相差検出部及び平均化処理部の等価回路を示す図である。

【図12】図9に示す受信機での受信信号位相(信号点配置)例を示す図である。

【図13】図9に示す受信機での差動信号位相(信号点配置)例を示す図である。

【図14】図9に示す受信機での信号点分布例を示す図である。

【図15】本発明の第3実施形態に係るデジタル通信システムの構成要素である送信機の構成を示すブロック図である。 40

【図16】本発明の第4実施形態に係るデジタル通信システムの構成を示すブロック図である。

【図17】図16に示す受信機での受信信号位相、差動信号位相及び絶対位相の一例を示す図である。

【図18】図17に示す受信信号位相での信号点配置を示す図である。

【図19】図17に示す作動信号位相での信号点配置を示す図である。

【図20】図17に示す絶対位相での信号点配置を示す図である。

【図21】図1、図9及び図16に示す受信機における同期部の構成例を示すブロック図である。

【図22】本発明の第5実施形態に係るデジタル通信システムの構成を示すブロック図 50

である。

【図 2 3】図 2 2 に示すデジタル通信システムで用いるフレーム構成例を示す図である。

【図 2 4】16PSK（1シンボル16チップ）の場合の本発明による受信特性のシミュレーション結果〔C/N（搬送波対ノイズ比）対ビットエラーレート（BER）〕の一例を従来例と比較して示す図である。

【符号の説明】

【0086】

1 送信機

1 1 , 1 1 A , 1 1 B マップ部

1 2 , 1 2 A , 1 2 B 直交座標変換部

1 3 複素乗算器

1 3 a 加算器

1 4 , 1 4 a 1チップ遅延回路

1 5 数値制御発振器（NCO）

1 6 セレクタ

1 7 , 1 9 制御部

1 8 フレームパターン挿入部

2 受信機

2 1 , 2 1 a , 2 1 A 複素乗算器

2 2 , 2 2 A , 2 4 , 2 4 A , 2 4 B , 3 1 1チップ遅延回路

2 2 a 複数チップ（7チップ）遅延回路

2 3 , 2 3 A , 2 3 B , 2 9 , 3 0 加算器

2 5 , 2 5 A , 2 5 B 識別部

2 6 同期部

6 1 - 1 ~ 6 1 - 7 1チップ遅延回路

6 2 - 0 ~ 6 2 - 7 相関器

6 2 1 , 6 2 6 複素乗算器

6 2 2 , 6 2 4 1チップ遅延回路

6 2 5 複数チップ（7チップ）遅延回路

6 2 7 スイッチ

6 2 8 加算器

6 2 9 電力化部

6 3 比較器

6 4 同期保護部

6 5 制御部

2 6 a 同期検出部

2 7 スイッチ

2 8 制御部

3 2 数値制御発振器（NCO）

3 3 遅延回路

3 伝送路

1 0 0 フレームパターン（フレーム同期パターン）

1 1 0 データ部

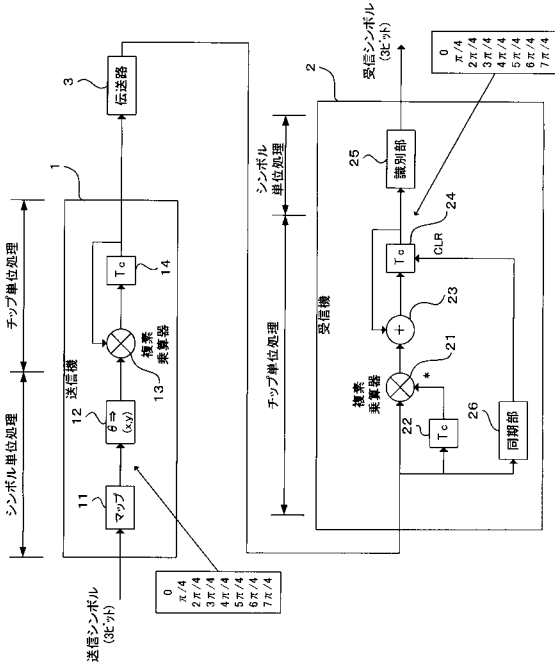
10

20

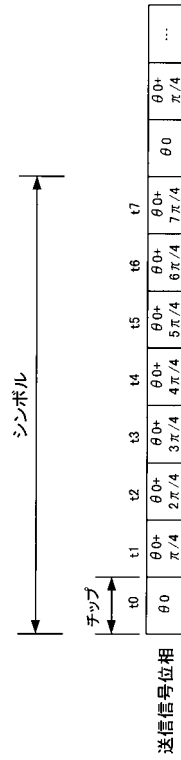
30

40

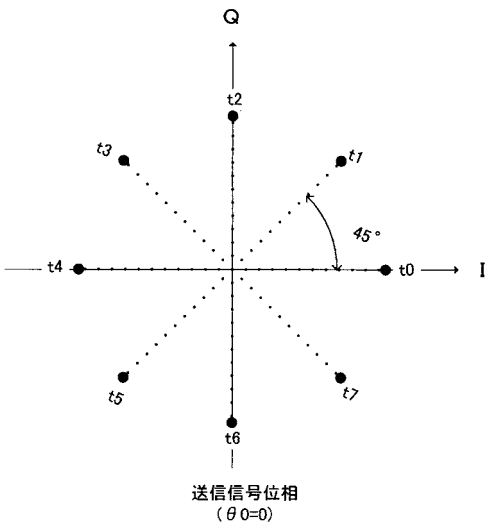
【図 1】



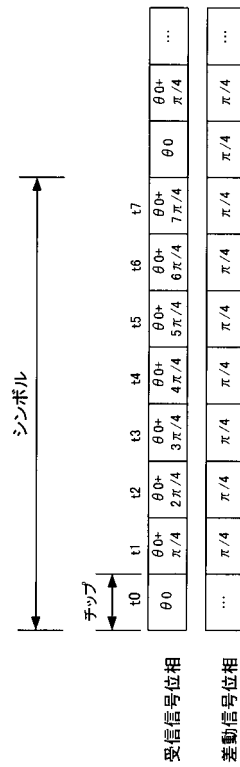
【図 2】



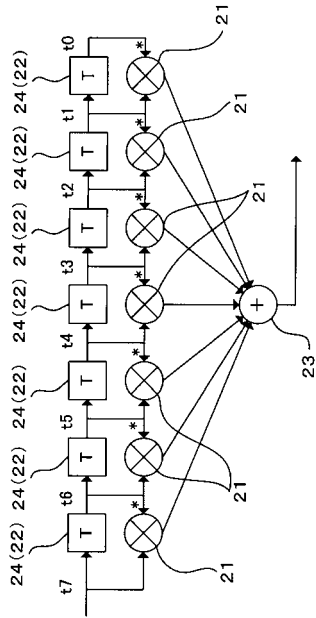
【図 3】



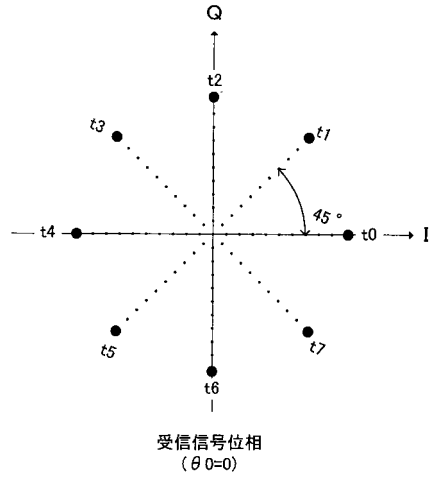
【図 4】



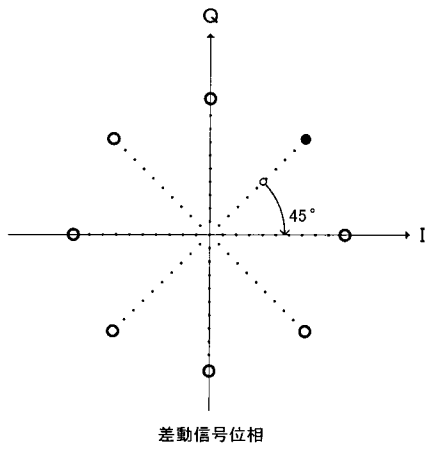
【 図 5 】



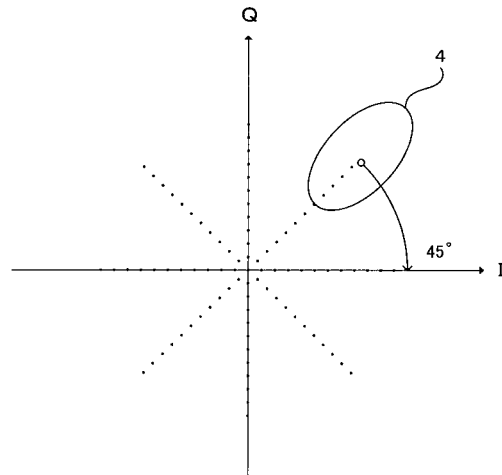
【 図 6 】



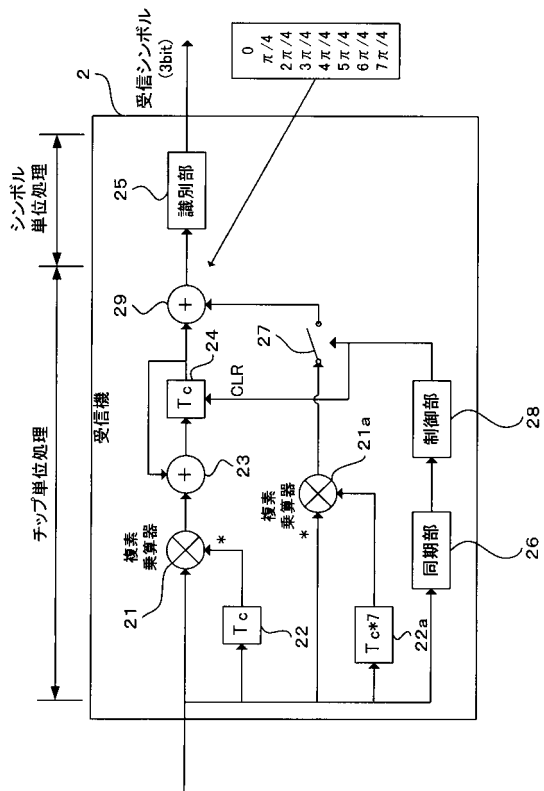
【 図 7 】



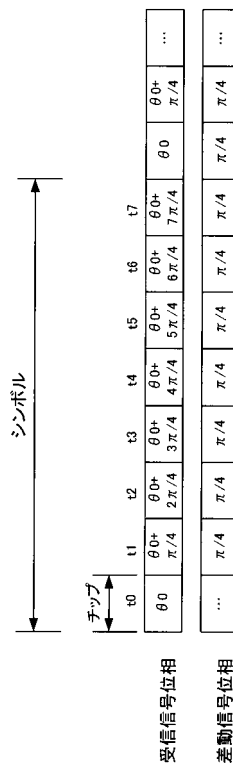
【 図 8 】



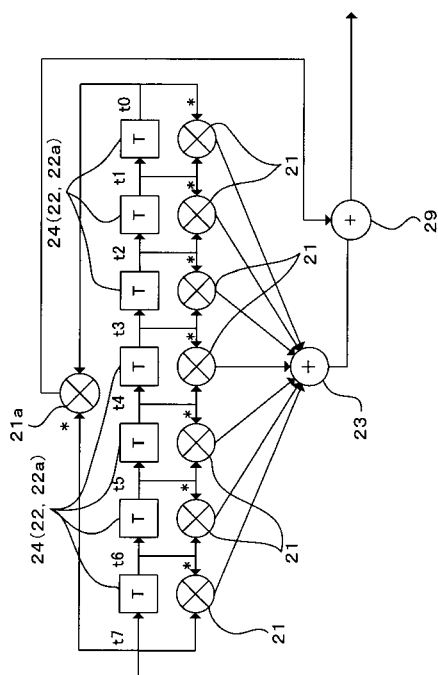
【 図 9 】



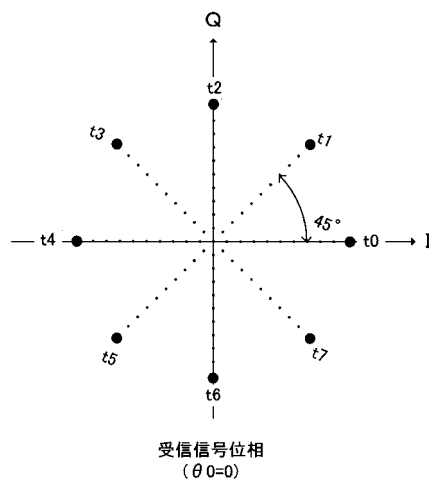
【 図 10 】



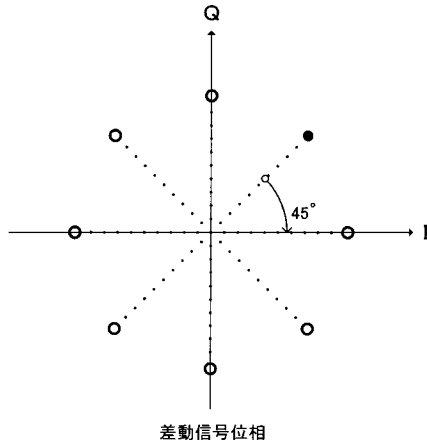
【 図 11 】



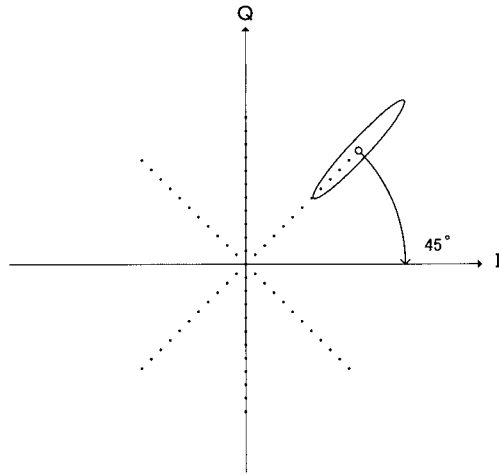
【 図 12 】



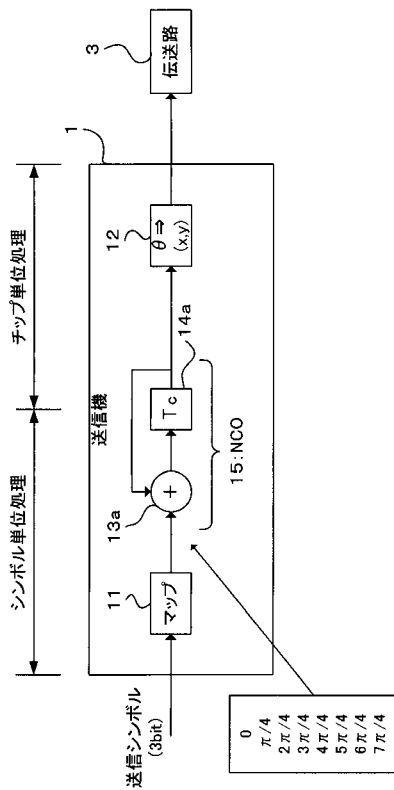
【 図 1 3 】



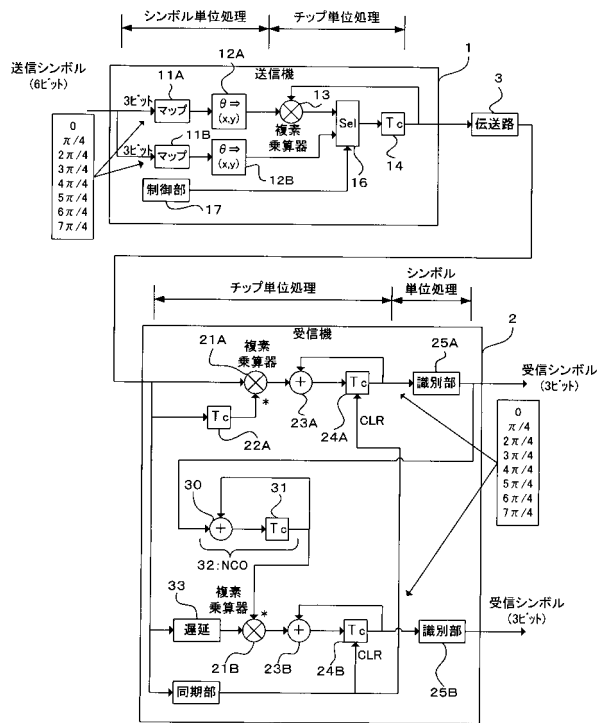
【 図 1 4 】



【 図 1 5 】

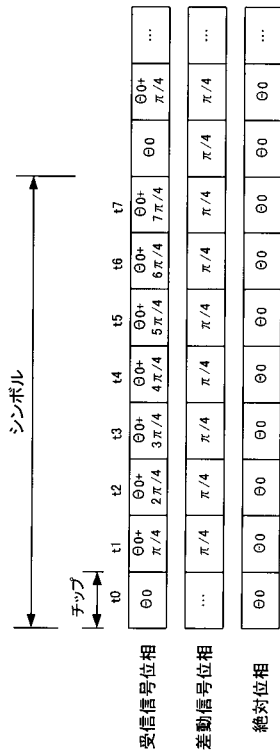


【 図 1 6 】

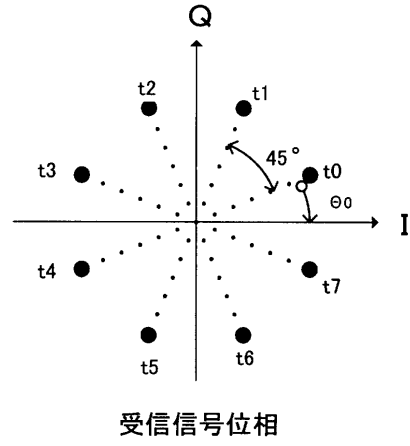




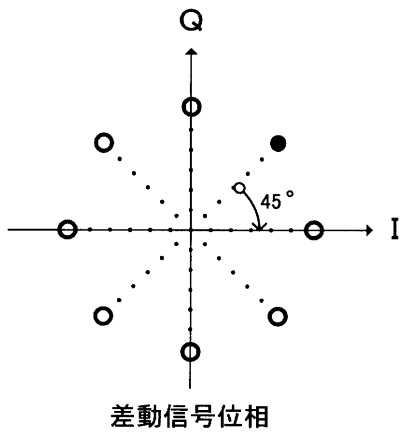
【 図 1 7 】



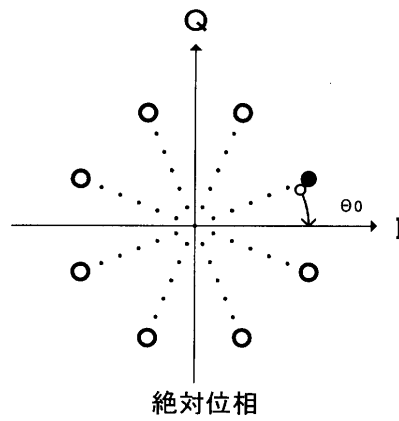
【 図 1 8 】



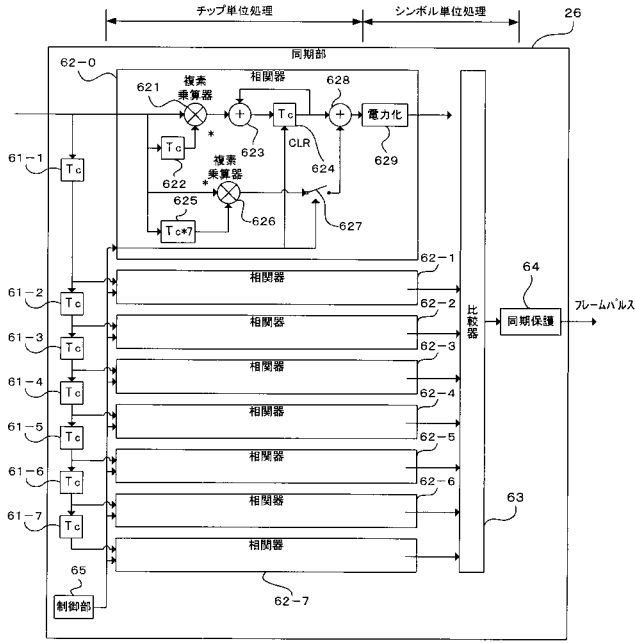
【 図 1 9 】



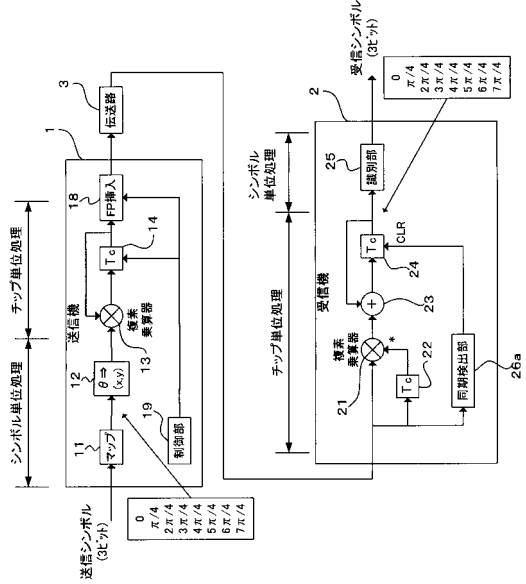
【 図 2 0 】



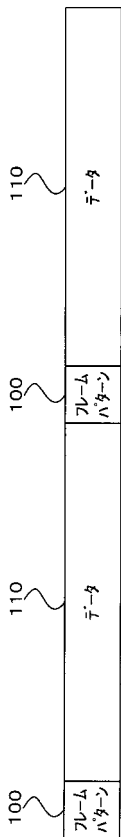
【図 2 1】



【図 2 2】



【図 2 3】



【図 2 4】

