



(12)发明专利

(10)授权公告号 CN 107731733 B

(45)授权公告日 2019.12.10

(21)申请号 201711075799.0

H01L 21/02(2006.01)

(22)申请日 2017.11.06

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 107731733 A

CN 105957897 A, 2016.09.21,
US 2016079352 A1, 2016.03.17,
KR 20030059437 A, 2003.07.10,

(43)申请公布日 2018.02.23

审查员 金政

(73)专利权人 上海华虹宏力半导体制造有限公
司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 孔蔚然 季伟 伍洲

(74)专利代理机构 上海浦一知识产权代理有限
公司 31211

代理人 郭四华

(51)Int.Cl.

H01L 21/762(2006.01)

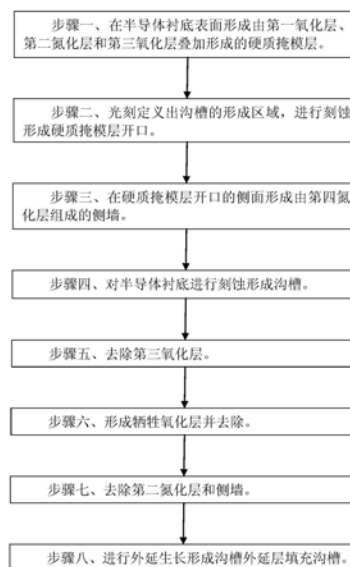
权利要求书2页 说明书5页 附图5页

(54)发明名称

沟槽外延的填充方法

(57)摘要

本发明公开了一种沟槽外延的填充方法,包括步骤:在半导体衬底表面形成由第一氧化层、第二氮化层和第三氧化层叠加形成的硬质掩模层;光刻定义出沟槽的形成区域,进行刻蚀形成硬质掩模层开口;在硬质掩模层开口的侧面形成由第四氮化层组成的侧墙;对半导体衬底进行刻蚀形成沟槽;去除第三氧化层;形成牺牲氧化层并去除;去除第二氮化层和侧墙;进行外延生长形成沟槽外延层填充沟槽,利用所述第一氧化层不被横向刻蚀的特征使外延生长过程中所述沟槽外延层仅在所述沟槽的底部表面和侧面生长。本发明能防止相邻沟槽中外延层延伸到沟槽外并形成合并结构,从而能消除由于沟槽外延层的合并而产生的应力以及避免由此产生的位错,提高器件的性能。



1. 一种沟槽外延的填充方法,其特征在于,包括如下步骤:

步骤一、在半导体衬底表面形成由第一氧化层、第二氮化层和第三氧化层叠加形成的硬质掩模层;

步骤二、光刻定义出沟槽的形成区域,采用刻蚀工艺依次去除所述沟槽的形成区域中的所述第三氧化层、所述第二氮化层和所述第一氧化层从而形成硬质掩模层开口;

步骤三、在所述硬质掩模层开口的侧面形成由第四氮化层组成的侧墙;

步骤四、以所述硬质掩模层为掩模对所述硬质掩模层开口底部的所述半导体衬底进行刻蚀形成所述沟槽;

步骤五、去除所述第三氧化层,利用所述侧墙的侧面保护使在去除所述第三氧化层的过程中所述第一氧化层不被横向刻蚀;

步骤六、在所述沟槽的侧面和底部表面形成牺牲氧化层,之后去除所述牺牲氧化层,利用所述侧墙的侧面保护使在去除所述牺牲氧化层的过程中所述第一氧化层不被横向刻蚀;

步骤七、同时去除所述第二氮化层和所述侧墙;

步骤八、进行外延生长形成沟槽外延层填充所述沟槽,利用所述第一氧化层不被横向刻蚀的特征使外延生长过程中所述沟槽外延层仅在所述沟槽的底部表面和侧面生长。

2. 如权利要求1所述的沟槽外延的填充方法,其特征在于:步骤一中所述半导体衬底表面形成有第一外延层,所述沟槽形成于所述第一外延层中。

3. 如权利要求2所述的沟槽外延的填充方法,其特征在于:所述沟槽为超结构槽。

4. 如权利要求3所述的沟槽外延的填充方法,其特征在于:所述第一外延层具有第一导电类型,所述沟槽外延层具有第二导电类型。

5. 如权利要求4所述的沟槽外延的填充方法,其特征在于:所述沟槽包括多个,由所述沟槽外延层组成第二导电类型柱,由所述沟槽之间的所述第一外延层组成第一导电类型柱,由所述第一导电类型柱和所述第二导电类型柱交替排列组成超结构。

6. 如权利要求2所述的沟槽外延的填充方法,其特征在于:所述半导体衬底为硅衬底,所述第一外延层和所述沟槽外延层都为硅外延层,所述第一氧化层和所述第三氧化层都为二氧化硅层,所述第二氮化层和所述第四氮化层都为氮化硅层。

7. 如权利要求1所述的沟槽外延的填充方法,其特征在于:步骤三包括如下分步骤:

步骤31、全面淀积形成所述第四氮化层;

步骤32、进行所述第四氮化层的全面刻蚀在所述硬质掩模层开口的侧面自对准形成所述侧墙。

8. 如权利要求1或7所述的沟槽外延的填充方法,其特征在于:所述第四氮化层的厚度为1200Å。

9. 如权利要求1或2或6所述的沟槽外延的填充方法,其特征在于:所述第一氧化层的厚度为1500Å,所述第二氮化层的厚度为1100Å,所述第三氧化层的厚度为22000Å。

10. 如权利要求9所述的沟槽外延的填充方法,其特征在于:步骤四的刻蚀过程中所述第三氧化层被部分损耗。

11. 如权利要求10所述的沟槽外延的填充方法,其特征在于:步骤四完成后所述第三氧

化层的剩余厚度为 $5000\text{\AA}\sim 10000\text{\AA}$ 。

12. 如权利要求4或5所述的沟槽外延的填充方法,其特征在于:第一导电类型为N型,第二导电类型为P型。

13. 如权利要求4或5所述的沟槽外延的填充方法,其特征在于:第一导电类型为P型,第二导电类型为N型。

沟槽外延的填充方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造方法,特别是涉及一种沟槽外延的填充方法。

背景技术

[0002] 如图1A至图1G所示,是现有沟槽外延的填充方法的各步骤中的器件结构示意图;以超结结构的沟槽的外延填充为例进行说明,现有沟槽外延的填充方法包括如下步骤:

[0003] 如图1A所示,提供一半导体衬底如硅衬底101,在硅衬底101的表面形成有N型外延层102,在N型外延层102的表面依次形成氧化层103、氮化层104和氧化层105并叠加形成硬质掩模层;光刻打开沟槽的形成区域,对沟槽形成区域的硬质掩模层的3层结构依次进行刻蚀形成硬质掩模层的开口。以一个具体参数的实例为例:氧化层103的厚度为1500Å,氮化层104的厚度为1100Å,氧化层105的厚度为22000Å。

[0004] 如图1B所示,以硬质掩模层为掩模进行N型外延层102的刻蚀形成沟槽201,超结的沟槽由于深度较大通常也称为深沟槽。沟槽201的刻蚀中,氧化层105会有一些的损耗,例如:刻蚀后氧化层105剩余的厚度为5000Å~10000Å。

[0005] 如图1C所示,去除氧化层105。由于氧化层103和105的材料相同,故在去除氧化层105的过程中,氧化层103的侧面也会产生一定的横向刻蚀,如虚线圈202所示。由于氮化层104的材料和氧化层105不同,故氮化层104不会被刻蚀。

[0006] 如图1D所示,之后形成牺牲氧化层203,例如:牺牲氧化层203的厚度为1200Å。如图1E所示,之后在去除所述牺牲氧化层203。由于牺牲氧化层203和氧化层103的材料相同,故在刻蚀去除牺牲氧化层203的过程中,氧化层103也会被横向刻蚀一定的量。氧化层103总共被横向刻蚀的区域如图1F的虚线圈204所示。氧化层103的总共被横向刻蚀的距离为d1,在一个实例中d1为0.6微米。

[0007] 如图1F所示,在牺牲氧化层203去除之后,去除氮化层104。

[0008] 如图1G所示,之后进行P型外延层106的生长直至将沟槽201完全填充。图1G中仅显示了P型外延层106的生长过程中的结构。可以看出,由于氧化层103会被横向刻蚀一定的距离d1,使得沟槽201外周宽度为d1的区域内的N型外延层102未被氧化层103保护而暴露出来。由于外延生长工艺是选择在外延层的表面生长,在氧化层的表面不生长,这样外延生长过程中,P型外延层106会同时在沟槽201的侧面和底部表面以及沟槽201外的未被氧化层103覆盖的N型外延层102表面同时生长,在沟槽201外的未被氧化层103覆盖的N型外延层102表面形成的P型外延层106的厚度大于氧化层103的厚度后会延伸到氧化层103的表面并同时横向生长,最后使得相邻沟槽201内的P型外延层106容易在沟槽201之间氧化层103的表面上互相延伸而接触合并而连接成一整体结构,这种形成于氧化层103上且互相横向接触合并的P型外延层106容易产生应力并形成位错(dislocation),最后会影响器件的性能。

发明内容

[0009] 本发明所要解决的技术问题是提供一种沟槽外延的填充方法,能防止相邻沟槽中外延层延伸到沟槽外并形成合并结构,从而能消除由于沟槽外延层的合并而产生的应力以及避免由此产生的位错,提高器件的性能。

[0010] 为解决上述技术问题,本发明提供的沟槽外延的填充方法包括如下步骤:

[0011] 步骤一、在半导体衬底表面形成由第一氧化层、第二氮化层和第三氧化层叠加形成的硬质掩模层。

[0012] 步骤二、光刻定义出沟槽的形成区域,采用刻蚀工艺依次去除所述沟槽的形成区域中的所述第三氧化层、所述第二氮化层和所述第一氧化层从而形成硬质掩模层开口。

[0013] 步骤三、在所述硬质掩模层开口的侧面形成由第四氮化层组成的侧墙。

[0014] 步骤四、以所述硬质掩模层为掩模对所述硬质掩模层开口底部的所述半导体衬底进行刻蚀形成所述沟槽。

[0015] 步骤五、去除所述第三氧化层,利用所述侧墙的侧面保护使在去除所述第三氧化层的过程中所述第一氧化层不被横向刻蚀。

[0016] 步骤六、在所述沟槽的侧面和底部表面形成牺牲氧化层,之后去除所述牺牲氧化层,利用所述侧墙的侧面保护使在去除所述牺牲氧化层的过程中所述第一氧化层不被横向刻蚀。

[0017] 步骤七、同时去除所述第二氮化层和所述侧墙。

[0018] 步骤八、进行外延生长形成沟槽外延层填充所述沟槽,利用所述第一氧化层不被横向刻蚀的特征使外延生长过程中所述沟槽外延层仅在所述沟槽的底部表面和侧面生长。

[0019] 进一步的改进是,步骤一中所述半导体衬底表面形成有第一外延层,所述沟槽形成于所述第一外延层中。

[0020] 进一步的改进是,所述沟槽为超结构槽。

[0021] 进一步的改进是,所述第一外延层具有第一导电类型,所述沟槽外延层具有第二导电类型。

[0022] 进一步的改进是,所述沟槽包括多个,由所述沟槽外延层组成第二导电类型柱,由所述沟槽之间的所述第一外延层组成第一导电类型柱,由所述第一导电类型柱和所述第二导电类型柱交替排列组成超结构。

[0023] 进一步的改进是,所述半导体衬底为硅衬底,所述第一外延层和所述沟槽外延层都为硅外延层,所述第一氧化层和所述第三氧化层都为二氧化硅层,所述第二氮化层和所述第四氮化层都为氮化硅层。

[0024] 进一步的改进是,步骤三包括如下分步骤:

[0025] 步骤31、全面淀积形成所述第四氮化层。

[0026] 步骤32、进行氮化层的全面刻蚀在所述硬质掩模层开口的侧面自对准形成所述侧墙。

[0027] 进一步的改进是,所述第四氮化层的厚度为1200Å。

[0028] 进一步的改进是,所述第一氧化层的厚度为1500Å,所述第二氮化层的厚度为1100Å,所述第三氧化层的厚度为22000Å。

- [0029] 进一步的改进是,步骤四的刻蚀过程中所述第三氧化层被部分损耗。
- [0030] 进一步的改进是,步骤四完成后所述第三氧化层的剩余厚度为5000Å~10000 Å。
- [0031] 进一步的改进是,第一导电类型为N型,第二导电类型为P型。
- [0032] 进一步的改进是,第一导电类型为P型,第二导电类型为N型。
- [0033] 本发明的技术方案根据本发明提出的技术问题进行了特别的设计,主要是在硬质掩模层的开口形成后,增加了一步在开口的侧面形成由第四氮化层组成的侧墙的步骤,这样结合侧墙和硬质掩模层的第二氮化层,能够将硬质掩模层的第一氧化层全部包围,其中侧墙主要是从侧面对第一氧化层进行覆盖;这样,在硬质掩模层的第三氧化层的刻蚀以及牺牲氧化层的刻蚀中,第一氧化层的侧面由于有侧墙的保护而不会再产生横向刻蚀,这样,在沟槽形成之后且氮化层都去除后,第一氧化层能够对沟槽外的表面进行很好的覆盖,使得外延填充沟槽的过程中,外延层仅从沟槽的侧面和底部表面生长,沟槽外的半导体衬底表面由于被第一氧化层覆盖而无法进行外延生长,所以本发明能防止相邻沟槽中外延层延伸到沟槽外并形成合并结构,从而能消除由于沟槽外延层的合并而产生的应力以及避免由此产生的位错,提高器件的性能。

附图说明

- [0034] 下面结合附图和具体实施方式对本发明作进一步详细的说明:
- [0035] 图1A-图1G是现有沟槽外延的填充方法的各步骤中的器件结构示意图;
- [0036] 图2是本发明实施例沟槽外延的填充方法的流程图;
- [0037] 图3A-图3H是本发明实施例沟槽外延的填充方法的各步骤中的器件结构示意图。

具体实施方式

- [0038] 如图2所示,是本发明实施例沟槽外延的填充方法的流程图;如图3A至图3H所示,是本发明实施例沟槽外延的填充方法的各步骤中的器件结构示意图,本发明实施例沟槽外延的填充方法包括如下步骤:
- [0039] 步骤一、如图3A所示,在半导体衬底1表面形成由第一氧化层3、第二氮化层4和第三氧化层5叠加形成的硬质掩模层。
- [0040] 本发明实施例中,所述半导体衬底1表面形成有第一外延层2,后续的沟槽301形成于所述第一外延层2中。所述沟槽301为超结沟槽。所述第一外延层2具有第一导电类型,后续的沟槽外延层6具有第二导电类型。
- [0041] 较佳为,所述半导体衬底1为硅衬底,所述第一外延层2和后续的所述沟槽外延层6都为硅外延层,所述第一氧化层3和所述第三氧化层5都为二氧化硅层,所述第二氮化层4和后续的第四氮化层4a都为氮化硅层。
- [0042] 以一个具体参数为例:所述第一氧化层3的厚度为1500Å,所述第二氮化层4的厚度为1100Å,所述第三氧化层5的厚度为22000Å。
- [0043] 步骤二、如图3A所示,光刻定义出沟槽301的形成区域,采用刻蚀工艺依次去除所述沟槽301的形成区域中的所述第三氧化层5、所述第二氮化层4和所述第一氧化层3从而形成硬质掩模层开口。

[0044] 步骤三、如图3A所示,在所述硬质掩模层开口的侧面形成由第四氮化层4a组成的侧墙4a。

[0045] 较佳为,步骤三包括如下分步骤:

[0046] 步骤31、全面淀积形成所述第四氮化层4a。所述第四氮化层4a的厚度为1200Å。

[0047] 步骤32、进行氮化层的全面刻蚀在所述硬质掩模层开口的侧面自对准形成所述侧墙4a。这里自对准的意思是不需要采用光刻工艺就能将侧墙4a形成于所述硬质掩模层开口的侧面。

[0048] 步骤四、如图3C示,以所述硬质掩模层为掩模对所述硬质掩模层开口底部的所述半导体衬底1进行刻蚀形成所述沟槽301。

[0049] 步骤四的刻蚀过程中所述第三氧化层5被部分损耗。以一个具体参数为例:步骤四完成后所述第三氧化层5的剩余厚度为5000Å~10000Å。

[0050] 步骤五、如图3D示,去除所述第三氧化层5,利用所述侧墙4a的侧面保护使在去除所述第三氧化层5的过程中所述第一氧化层3不被横向刻蚀。该步骤的所述第一氧化层3不被横向刻蚀可以结合图1C所示的现有方法对应的步骤去理解。

[0051] 步骤六、如图3E示,在所述沟槽301的侧面和底部表面形成牺牲氧化层302;如图3F示,之后去除所述牺牲氧化层302,利用所述侧墙4a的侧面保护使在去除所述牺牲氧化层302的过程中所述第一氧化层3不被横向刻蚀。该步骤的所述第一氧化层3不被横向刻蚀可以结合图1E所示的现有方法对应的步骤去理解。

[0052] 步骤七、如图3G示,同时去除所述第二氮化层4和所述侧墙4a。

[0053] 步骤八、如图3H示,进行外延生长形成沟槽外延层6填充所述沟槽301,利用所述第一氧化层3不被横向刻蚀的特征使外延生长过程中所述沟槽外延层6仅在所述沟槽301的底部表面和侧面生长;也即在所述沟槽301外的表面都覆盖由所述第一氧化层3,所以在所述沟槽301外的表面上无法形成外延层。

[0054] 本发明实施例中,所述沟槽301包括多个,由所述沟槽外延层6组成第二导电类型柱,由所述沟槽301之间的所述第一外延层2组成第一导电类型柱,由所述第一导电类型柱和所述第二导电类型柱交替排列组成超结结构。

[0055] 本发明实施例中,第一导电类型为N型,第二导电类型为P型。在其它实施例中也能:第一导电类型为P型,第二导电类型为N型。

[0056] 本发明实施例的技术方案根据本发明提出的技术问题进行了特别的设计,主要是在硬质掩模层的开口形成后,增加了一步在开口的侧面形成由第四氮化层4a组成的侧墙4a的步骤,这样结合侧墙4a和硬质掩模层的第二氮化层4,能够将硬质掩模层的第一氧化层3全部包围,其中侧墙4a主要是从侧面对第一氧化层3进行覆盖;这样,在硬质掩模层的第三氧化层5的刻蚀以及牺牲氧化层302的刻蚀中,第一氧化层3的侧面由于有侧墙4a的保护而不会再产生横向刻蚀,这样,在沟槽301形成之后且氮化层4和4a都去除后,第一氧化层3能够对沟槽301外的表面进行很好的覆盖,使得外延填充沟槽301的过程中,外延层6仅从沟槽301的侧面和底部表面生长,沟槽301外的半导体衬底1表面由于被第一氧化层3覆盖而无法进行外延生长,所以本发明实施例能防止相邻沟槽301中外延层6延伸到沟槽301外并形成合并结构,从而能消除由于沟槽外延层6的合并而产生的应力以及避免由此产生的位错,提高器件的性能。

[0057] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

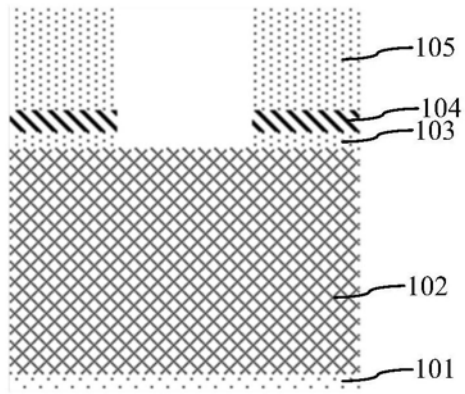


图1A

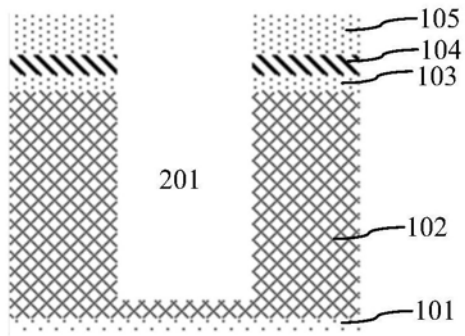


图1B

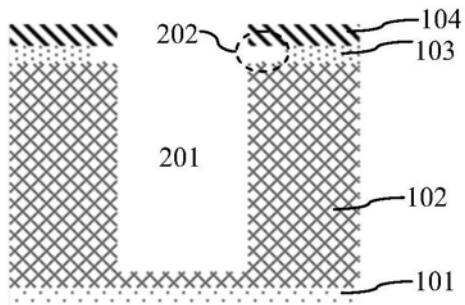


图1C

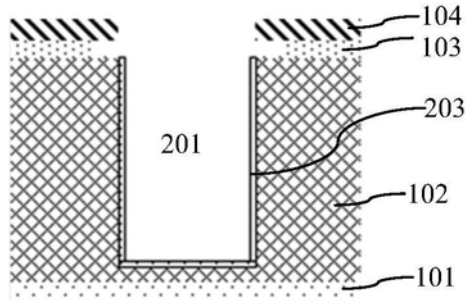


图1D

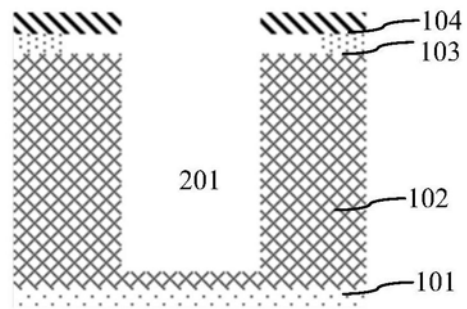


图1E

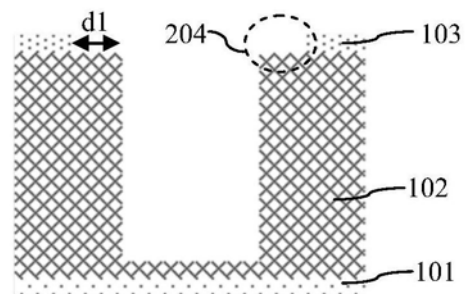


图1F

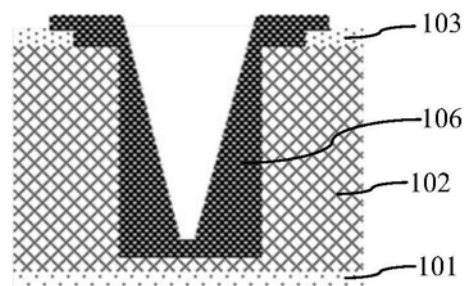


图1G

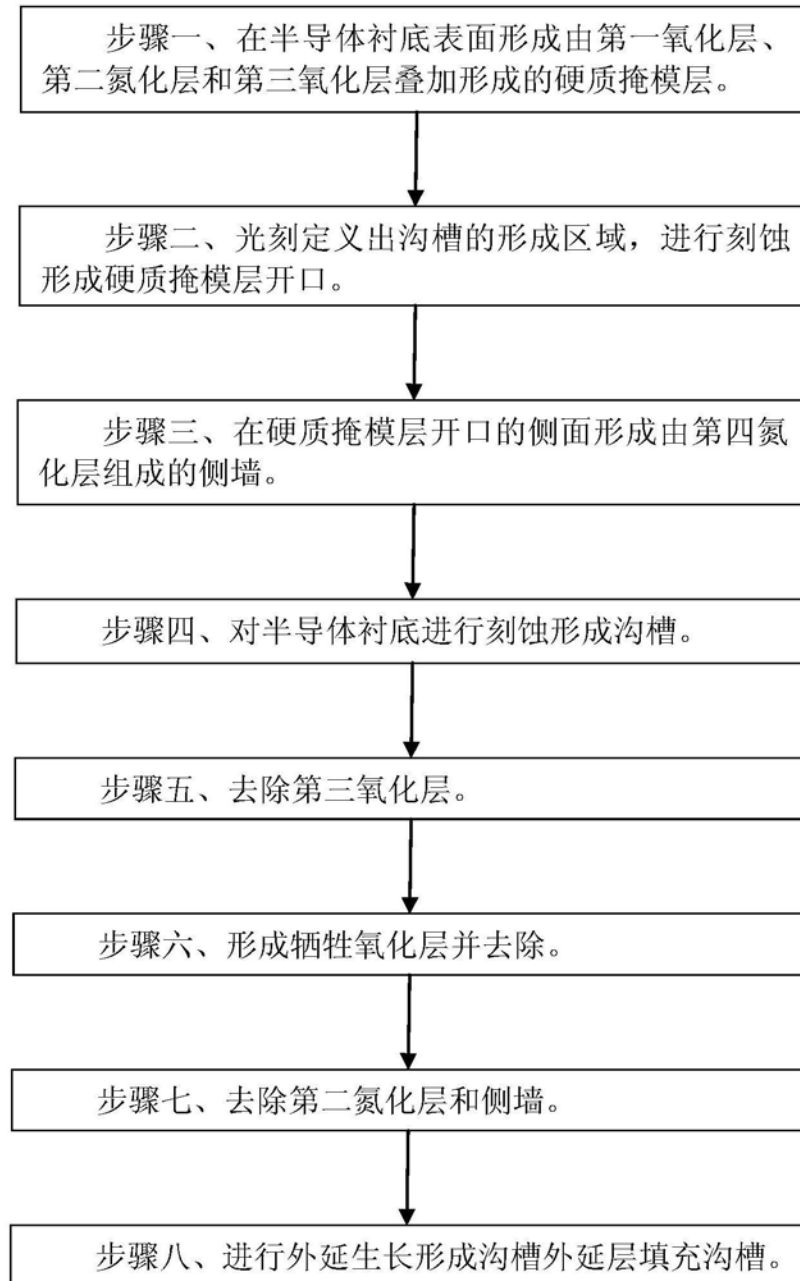


图2

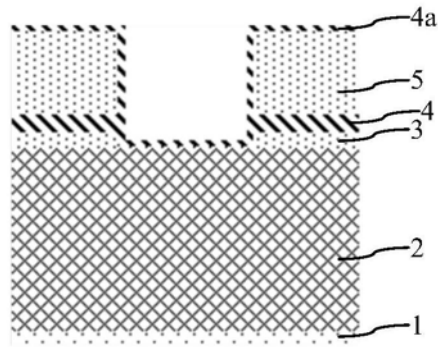


图3A

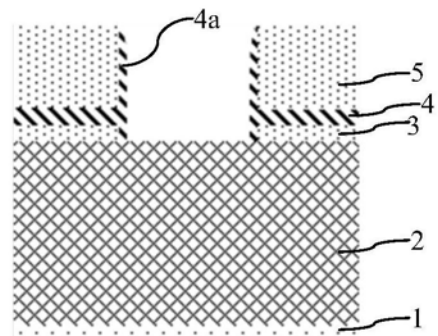


图3B

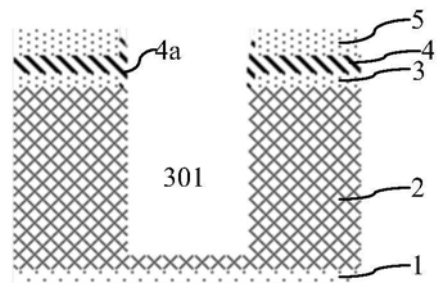


图3C

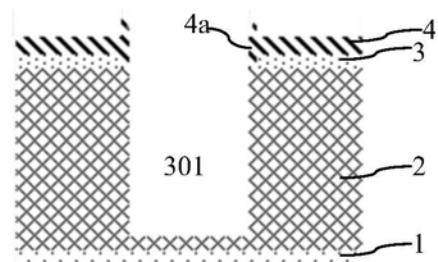


图3D

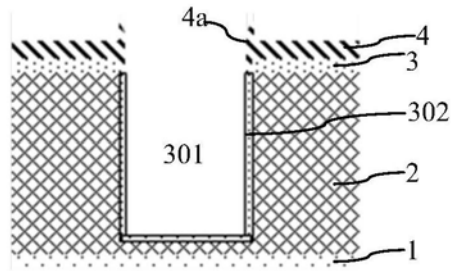


图3E

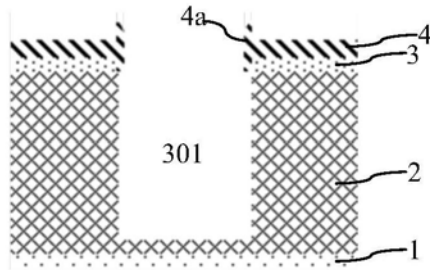


图3F

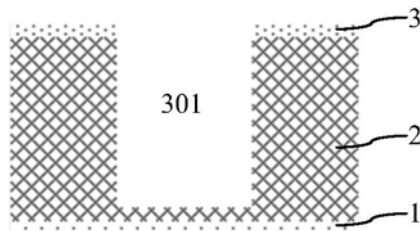


图3G

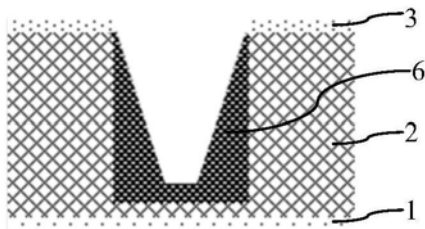


图3H