



(12) 发明专利

(10) 授权公告号 CN 107680962 B

(45) 授权公告日 2023. 06. 13

(21) 申请号 201710891229.2

H01L 21/822 (2006.01)

(22) 申请日 2017.09.27

(56) 对比文件

(65) 同一申请的已公布的文献号

US 2006131605 A1, 2006.06.22

申请公布号 CN 107680962 A

CN 103050545 A, 2013.04.17

CN 105679836 A, 2016.06.15

(43) 申请公布日 2018.02.09

CN 202564932 U, 2012.11.28

(73) 专利权人 富芯微电子有限公司

CN 204696123 U, 2015.10.07

地址 230000 安徽省合肥市高新区柏堰科

US 2010244090 A1, 2010.09.30

技园香蒲路503号

审查员 张磊磊

(72) 发明人 邹有彪 徐玉豹 刘宗贺 廖航

(74) 专利代理机构 北京和信华成知识产权代理

事务所(普通合伙) 11390

专利代理师 胡剑辉

(51) Int. Cl.

H01L 27/02 (2006.01)

H01L 29/06 (2006.01)

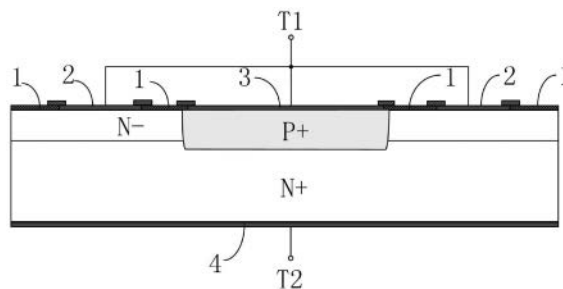
权利要求书1页 说明书3页 附图1页

(54) 发明名称

一种低正向电压TVS器件及其制造方法

(57) 摘要

本发明公开一种低正向电压TVS器件,包括N+型半导体基体、位于N+型半导体基体上方的N-型外延层和P+型扩散区,N-型外延层上表面设有氧化层和肖特基势垒,N-型外延层和P+型扩散区上方用于连接电极T1的金属层,位于N+型半导体基体下方用于连接电极T2的金属层;一种低正向电压TVS器件的制造方法,包括以下步骤:衬底准备、外延生长、氧化、P+扩散区光刻、硼掺杂、肖特基金属区光刻、溅射势垒金属、金属刻蚀、合金、引线孔光刻、蒸铝、铝反刻、铝合金、减薄和背面金属化。本发明通过将TVS二极管和肖特基二极管并联制作在同一芯片上,利用肖特基二极管进行电源反接保护并利用TVS二极管进行瞬态过压保护,可降低TVS器件的正向压降,提高TVS器件的性能。



1. 一种低正向电压TVS器件,其特征在于:低正向电压TVS器件包括N+型半导体基体,位于N+型半导体基体上方的N-型外延层,位于N-型外延层中的P+型扩散区且P+型扩散区的底部延伸至N+型半导体基区内部,位于N-型外延层上表面的氧化层(1)及肖特基势垒金属层(2),位于N-型外延层和P+型扩散区上方设有与接电极T1的金属层(3),位于N+型半导体基体下方用于连接电极T2的金属层(4);

所述P+型扩散区的底部延伸至N+型半导体基区内部的深度为2-20 μm ;

该低正向电压TVS器件的制造方法,包括以下步骤:

S1、衬底材料:选择N+型硅片,对硅片进行单面抛光;

S2、外延生长:在硅片表面生长N型外延层;

S3、氧化:对硅片进行氧化,氧化温度为1150 $^{\circ}\text{C}$,时间为5h,要求生长的氧化层厚度至少为1.2 μm ;

S4、P+扩散区光刻:使用匀胶机将氧化后硅片正面涂上光刻胶,经105 $^{\circ}\text{C}$ /25min前烘,光刻机曝光,显影,坚膜,利用SiO₂腐蚀液腐蚀出P+扩散区窗口,然后去胶,清洗,甩干;

S5、硼掺杂:包括浓硼预淀积和浓硼再扩散;

S6、肖特基金属区光刻:使用匀胶机将硅片正面涂上光刻胶,前烘,光刻机曝光,显影,坚膜,腐蚀出引线窗口,去胶;

S7、溅射势垒金属:使用金属溅射台,溅射势垒金属层,采用的势垒金属为Ti、Ni、Cr或NiPt;

S8、金属刻蚀:刻蚀肖特基势垒金属;

S9、合金:形成肖特基势垒;

S10、引线孔光刻:使用匀胶机将硅片正面涂上光刻胶,前烘,光刻机曝光,显影,坚膜,腐蚀出引线窗口,去胶;

S11、蒸铝:铝层厚度 δ 为3.0~4.0 μm ;

S12、铝反刻:光刻版采用铝光刻版;

S13、铝合金;

S14、减薄:减薄后的厚度为230-250 μm ;

S15、背面金属化:背面蒸发钛镍银金属层;

所述步骤S2对N+型硅片进行外延生长,外延层厚度5~8 μm ,N型掺杂,电阻率 ρ 为0.1~0.3 $\Omega \cdot \text{cm}$ 。

一种低正向电压TVS器件及其制造方法

技术领域

[0001] 本发明属于半导体防护器件技术领域,涉及到一种低正向电压TVS器件及其制造方法。

背景技术

[0002] TVS器件作为一种保护器件,因其具有响应时间快、瞬态功率大、漏电流低、击穿电压偏差小、箝位电压容易控制、体积小等优点,一直广泛用于各种电子类产品。针对某些特殊应用,比如防电源反接及防浪涌电压,需要TVS器件具有较低的正向压降以降低出现电源反接时的功耗,常规的TVS器件已经不能满足要求。

发明内容

[0003] 本发明的目的在于提供一种低正向电压TVS器件及其制造方法,解决了现有TVS器件的正向压降大,造成TVS器件的功耗大,严重影响TVS器件的性能。

[0004] 本发明的目的可以通过以下技术方案实现:

[0005] 一种低正向电压TVS器件,低正向电压TVS器件包括N+型半导体基体,位于N+型半导体基体上方的N-型外延层,位于N-型外延层中的P+型扩散区且P+型扩散区的底部延伸至N+型半导体基区内部,位于N-型外延层上表面的氧化层及肖特基势垒金属层,位于N-型外延层和P+型扩散区上方设有与接电极T1的金属层,位于N+型半导体基体下方用于连接电极T2的金属层。

[0006] 进一步地,所述P+型扩散区的底部延伸至N+型半导体基区内部的深度为2-20 μm 。

[0007] 进一步地,一种低正向电压TVS器件的制造方法,包括以下步骤:

[0008] S1、衬底材料:选择N+型硅片,对硅片进行单面抛光;

[0009] S2、外延生长:在硅片表面生长N型外延层;

[0010] S3、氧化:对硅片进行氧化,氧化温度为1150 $^{\circ}\text{C}$,时间为5h,要求生长的氧化层厚度至少为1.2 μm ;

[0011] S4、P+扩散区光刻:使用匀胶机将氧化后硅片正面涂上光刻胶,经105 $^{\circ}\text{C}$ /25min前烘,光刻机曝光,显影,坚膜,利用SiO₂腐蚀液腐蚀出P+扩散区窗口,然后去胶,清洗,甩干;

[0012] S5、硼掺杂:包括浓硼预淀积和浓硼再扩散;

[0013] S6、肖特基金属区光刻:使用匀胶机将硅片正面涂上光刻胶,前烘,光刻机曝光,显影,坚膜,腐蚀出引线窗口,去胶;

[0014] S7、溅射势垒金属:使用金属溅射台,溅射势垒金属层,采用的势垒金属为Ti、Ni、Cr或NiPt;

[0015] S8、金属刻蚀;

[0016] S9、合金:形成肖特基势垒;

[0017] S10、引线孔光刻:使用匀胶机将硅片正面涂上光刻胶,前烘,光刻机曝光,显影,坚膜,腐蚀出引线窗口,去胶;

- [0018] S11、蒸铝：铝层厚度 $\delta=3.0\sim 4.0\mu\text{m}$ ；
- [0019] S12、铝反刻：光刻版采用铝光刻版；
- [0020] S13、铝合金；
- [0021] S14、减薄：减薄后的厚度为230-250 μm ；
- [0022] S15、背面金属化：背面蒸发钛镍银金属层。
- [0023] 进一步地，所述步骤S2对N+型硅片进行外延生长，外延层厚度5~8 μm ，N型掺杂，电阻率 ρ 为0.1~0.3 $\Omega \cdot \text{cm}$ 。
- [0024] 本发明的有益效果：
- [0025] 本发明中的一种低正向电压TVS器件及其制造方法，通过将TVS二极管和肖特基二极管集成制作在同一芯片上，利用肖特基二极管进行电源反接保护并利用TVS二极管进行瞬态过压保护，可降低TVS器件的正向压降，提高TVS器件的性能。

附图说明

[0026] 为了更清楚地说明本发明实施例的技术方案，下面将对实施例描述所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0027] 图1为本发明一种低正向电压TVS器件的结构示意图。

[0028] 附图中，各标号所代表的部件列表如下：

[0029] 1-氧化层，2-肖特基势垒金属层，3-连接T1的金属层，4-连接T2的金属层。

实施方式

[0030] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0031] 请参阅图1所示，本发明为一种低正向电压TVS器件，通过将TVS二极管和肖特基二极管集成在同一芯片上构成低正向电压TVS器件，肖特基二极管具有低正向电压特性，肖特基二极管的反向击穿电压为20-45V，TVS二极管在反向工作时可抑制瞬态过电压，TVS二极管的反向击穿电压为14-28V，其中肖特基二极管的反向击穿电压高于TVS二极管的反向击穿电压，利用肖特基二极管进行电源反接保护，利用TVS二极管进行瞬态过压保护。

[0032] 低正向电压TVS器件包括N+型半导体基体，位于N+型半导体基体上方的N-型外延层，位于N-型外延层中的P+型扩散区且P+型扩散区的底部延伸至N+型半导体基区内部，P+型扩散区的底部延伸至N+型半导体基区内部的深度为2-20 μm ；位于N-型外延层上表面的氧化层1及肖特基势垒金属层2，位于N-型外延层和P+型扩散区上方用于连接电极T1的金属层3，位于N+型半导体基体下方用于连接电极T2的金属层4。

[0033] 一种低正向电压TVS器件，其制造方法包括以下步骤：

[0034] S1、衬底材料：选择N+型硅片，电阻率 ρ 为0.01~0.05 $\Omega \cdot \text{cm}$ 、硅片厚为320~330 μm ，并对硅片进行单面抛光；

[0035] S2、外延生长:在硅片表面生长N型外延层,外延层电阻率 $0.1-0.3 \Omega \cdot \text{cm}$,外延层的厚度为 $5\sim 8\mu\text{m}$;

[0036] S3、氧化:对硅片进行氧化,氧化温度为 1150°C ,氧化时间5h,保证生长的氧化层厚度至少为 $1.2\mu\text{m}$;

[0037] S4、P+扩散区光刻:使用匀胶机将氧化后硅片正面涂上光刻胶,在 105°C 环境下进行25min时长的前烘,光刻机曝光,显影,坚膜,利用 SiO_2 腐蚀液腐蚀出P+扩散区窗口,然后去胶,清洗,甩干;

[0038] S5、硼掺杂:包括浓硼预淀积和浓硼再扩散,其中,浓硼预淀积时的温度为 $T=1080\pm 5^\circ\text{C}$,时间 $t=150-180\text{min}$,要求:方块电阻 $R\Box=3\sim 5 \Omega / \Box$;浓硼再扩散时的温度为 $T=1120^\circ\text{C}$,扩散时间 $t=0.5-2\text{h}$;

[0039] S6、肖特基金属区光刻:使用匀胶机将硅片正面涂上光刻胶,在 105°C 环境下进行25min时长的前烘,光刻机曝光,显影,坚膜,利用 SiO_2 腐蚀液腐蚀出肖特基金属区窗口,然后去胶,清洗,甩干;

[0040] S7、溅射势垒金属:使用金属溅射台,溅射势垒金属层,采用的势垒金属为Ti、Ni、Cr或NiPt;

[0041] S8、金属刻蚀:利用干法刻蚀机刻蚀肖特基势垒金属;

[0042] S9、合金:温度 $500-600^\circ\text{C}$,时间15-60min;

[0043] S10、引线孔光刻:使用匀胶机将硅片正面涂上光刻胶,经 $105^\circ\text{C}/25\text{min}$ 前烘,光刻机曝光,显影,坚膜,利用 SiO_2 腐蚀液在正面腐蚀出引线窗口,同时去除硅片背面的氧化层,然后去胶,清洗,甩干;

[0044] S11、蒸铝:铝层厚度 $\delta=3.0\sim 4.0\mu\text{m}$;

[0045] S12、铝反刻:光刻版采用铝光刻版;

[0046] S13、铝合金:温度 450°C ,时间20min

[0047] S14、减薄:减薄后的厚度为 $230-250\mu\text{m}$;

[0048] S15、背面金属化:背面蒸发钛镍银金属层,厚度分别为 600\AA 、 5000\AA 、 12000\AA 。

[0049] 本发明中的一种低正向电压TVS器件及其制造方法,通过将TVS二极管和肖特基二极管集成制作在同一芯片上,利用肖特基二极管进行电源反接保护并利用TVS二极管进行瞬态过压保护,可降低TVS器件的正向压降,提高TVS器件的性能。

[0050] 以上内容仅仅是对本发明的构思所作的举例和说明,所属本技术领域的技术人员对所描述的具体实施例做各种各样的修改或补充或采用类似的方式替代,只要不偏离发明的构思或者超越本权利要求书所定义的范围,均应属于本发明的保护范围。

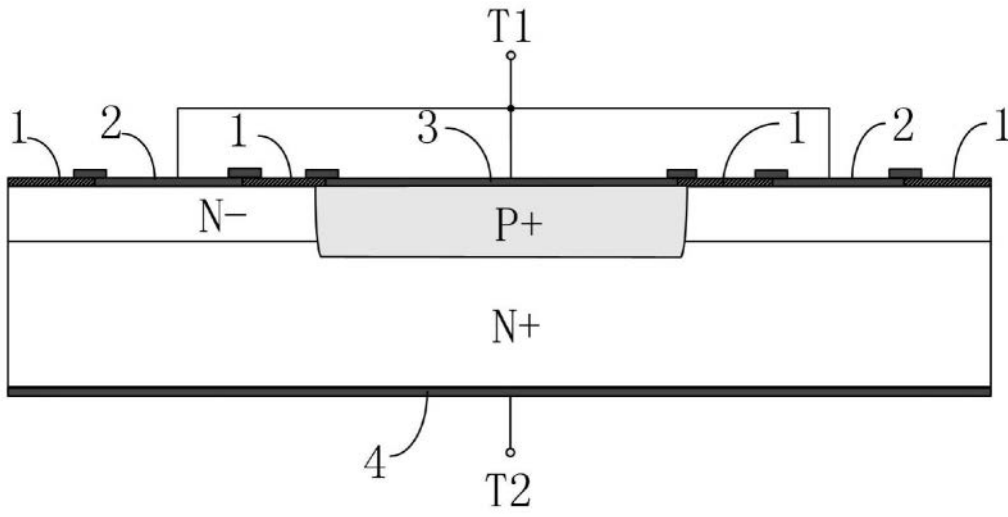


图1