

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/04

(45) 공고일자 1998년 12월 15일
(11) 등록번호 특0165419
(24) 등록일자 1998년 09월 16일

(21) 출원번호 특1995-021400
(22) 출원일자 1995년 07월 20일

(65) 공개번호 특1997-008557
(43) 공개일자 1997년 02월 24일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이철규
서울특별시 강북구 미아동 134-58
(74) 대리인 이영필

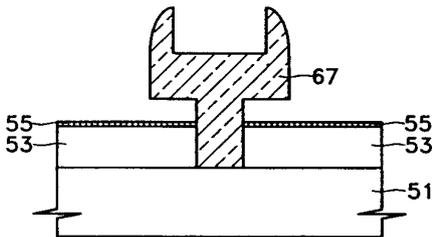
심사관 : 전상현

(54) 스페이서를 채용한 원통형 커패시터 제조방법

요약

스페이서를 채용한 원통형 커패시터 제조방법에 관하여 기재되어 있다. 반도체 기판 상에 스토리지 전극 형성을 위한 제1도전층을 형성하고, 상기 제1도전층 상에 절연층 패턴을 형성한 다음, 상기 절연층 패턴 상에 제2도전층을 형성한다. 이어서, 상기 제2도전층보다 상기 절연층 패턴의 식각속도가 빠른 건식식각 조건으로 상기 제2도전층을 식각하여 상기 절연층 패턴의 측벽에 원통형 커패시터의 기둥으로 사용될 도전물 스페이서를 형성하되, 상기 도전물 스페이서의 상단부를 식각 플라즈마에 전면 노출시켜 상단 뾰족한 부위의 형성을 억제한다. 따라서, 스페이서 상단의 뾰족한 부위를 제거함으로써 원통형 커패시터의 신뢰성을 확보할 수 있다.

대표도



명세서

[발명의 명칭]

스페이서를 채용한 원통형 커패시터 제조방법

[도면의 간단한 설명]

제1도 내지 제4도는 종래의 전형적인 원통형 구조 커패시터 제조방법의 일 예를 도시한 공정순서도.

제5도 내지 제8도는 본 발명의 일 실시예에 따른 원통형 커패시터 제조방법을 도시한 공정순서도.

제9도 및 제10도는 제1물질층과 제2물질층의 식각속도에 따른 원통형 스토리지 전극 형성결과를 보여주는 SEM 사진.

[발명의 상세한 설명]

본 발명은 반도체 장치 제조방법에 관한 것으로, 특히 그 상단부가 뾰족하게 형성되지 않은 스페이서를 채용한 원통형 커패시터 제조방법에 관한 것이다.

반도체 장치에 있어서 물질층의 측벽에 형성하는 스페이서는 여러 가지 용도를 가지며, 이러한 스페이서는 일반적으로 플라즈마를 이용한 건식식각 공정을 이용하여 형성된다.

한편, 반도체 장치의 커패시터, 특히 원통형 커패시터를 형성하는 데에 상기 스페이서가 이용되기도 한다. 원통형 커패시터(Cylindrical Capacitor)는 3차원적 구조의 스택형 커패시터의 일종으로 원통의 외면뿐만 아니라 내면까지 유효 커패시터 영역으로 이용할 수 있기 때문에 커패시턴스를 증가시킬 수 있다.

제1도 내지 제4도는 종래의 전형적인 원통형 구조 커패시터 제조방법의 일 예를 도시한 공정순서도이다.

제1도를 참조하면, 반도체 기판(1) 상에 제1절연층(3)을 형성하고, 상기 제1절연층(3) 상에 예컨대 실리콘 질화물 및 산화물을 증착하여 식각저지층(5) 및 제2절연층(7)을 차례로 형성한다. 이어서, 상기 제2절연층(7), 식각저지층(5) 및 제1절연층(3)의 일부를 식각하여 상기 기판을 노출시키는 콘택홀(h1)을 형성한다. 여기에서 상기 콘택홀(h1)은 커패시터의 스토리지 전극과 트랜지스터의 소오스를 접촉하기 위해 형성한다.

제2도를 참조하면, 콘택홀(h1)이 형성된 상기 결과물 상에 스토리지 전극 형성을 위한 제1도전층(9)을 형성하고, 상기 제1도전층(9) 상에 상기 제2절연층 형성을 위한 절연물과 동일한 절연물, 예컨대 산화물을 증착한 다음 패터닝하여 제3절연층(11)을 형성한다. 이어서, 상기 결과물 상에 원통형 스토리지 전극의 측벽으로 사용될 제2도전층(13)을 형성한다.

제3도를 참조하면, 상기 제2도전층(13)을 건식식각하여 상기 제3절연층(11)의 측벽에 스페이서(15)를 형성한다. 상기 제3절연층(11) 및 스페이서(15)를 식각마스크로 사용하여 상기 제1도전층(9)을 패터닝한다.

제4도를 참조하면, 상기 제3절연층(11) 및 제2절연층(7)을 습식식각하여 원통형의 스토리지 전극을 완성한다.

상기 방법에 의해 형성된 상기 스페이서는 마지막의 기물기나 건식식각 공정중 발생하는 폴리머에 의해 스페이서 상단부가 뾰족하게 형성된다. 이러한 뾰족한 부위(제4도의 s)는 스페이서가 상기와 같은 원통형 스토리지 전극으로 이용되는 경우, 첫째, 후속되어 형성되는 유전체막의 도포불량을 일으키며, 둘째, 뾰족한 부위로 전계가 집중되어 커패시터 파괴 등의 문제를 유발하며, 이는 결국 반도체 소자의 특성에 악영향을 미치게 된다.

따라서, 본 발명의 목적은 물질층의 측벽에 형성되는 스페이서 상단의 뾰족한 부위를 제거할 수 있는 스페이서 형성 방법을 제공하는 것이다.

본 발명의 다른 목적은 신뢰성 있는 원통형 커패시터를 제조하는 방법을 제공하는 것이다.

상기 목적을 달성하기 위하여 본 발명은,

반도체 기판 상에 스토리지 전극 형성을 위한 제1도전층을 형성하는 단계;

상기 제1도전층 상에 절연층 패턴을 형성하는 단계;

상기 절연층 패턴 상에 제2도전층을 형성하는 단계; 및

상기 제2도전층보다 상기 절연층 패턴의 식각속도가 빠른 건식식각 조건으로 상기 제2도전층을 식각하여 상기 절연층 패턴의 측벽에 원통형 커패시터의 기둥으로 사용될 도전물 스페이서를 형성하되, 상기 도전물 스페이서의 상단부를 식각 플라즈마에 전면 노출시켜 상단 뾰족한 부위의 형성을 억제하는 것을 특징으로 하는 원통형 커패시터 제조방법을 제공한다.

상기 제1도전층 및 제2도전층은 동일 물질로 예를 들면, 폴리실리콘으로 형성하며, 상기 절연층은 실리콘 산화물로 형성한다.

상기 건식식각 조건은 CF_4 , CHF_3 , C_2F_6 , C_3F_8 , C_4F_8 , CH_2F_2 및 Ar 가스를 사용하고, 1KW 이하의 RF 전력, 1000mT 이하의 압력의 조건을 사용하는 것이 바람직하다.

상기 본 발명에 따르면, 스페이서 상단의 뾰족한 부위를 제거함으로써 스페이서를 채용한 원통형 커패시터의 신뢰성을 확보할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하고자 한다.

제5도 내지 제8도는 본 발명의 일 실시예에 따른 원통형 커패시터 제조방법을 도시한 공정순서도이다.

제5도는 스토리지 전극을 소오스에 접촉시키기 위한 콘택홀(h2)을 형성하는 단계를 도시한다.

반도체 기판(51) 상에 소오스, 드레인 및 게이트를 구비하는 트랜지스터(도시되지 않음)를 형성하고, 상기 트랜지스터의 절연 및 상기 트랜지스터 제조공정에 의해 그 표면에 단차가 발생한 상기 반도체 기판의 표면을 평탄화시킬 목적으로 제1절연층(53)을 형성한다. 이어서, 상기 제1절연층(53) 상부에, 예컨대 실리콘질화물(SiN)을 도포하여 식각저지층(55)을 형성한 다음, 상기 식각저지층(55) 상에 예컨대 산화물을 도포하여 제2절연층(57)을 형성한다.

여기에서, 상기 식각저지층(55)은 그 상부의 제2절연층(57) 제거시 하부층의 손상을 방지할 목적으로, 상기 제2절연층(57)과는 다른 식각율을 가지는 물질, 통상 상기 제2절연층(57)에 비해 그 식각율이 훨씬 낮은 물질로 형성하는 것이 바람직하다. 한편 상기 식각저지층(55) 및 제2절연층(57)은 통합하여 후속되어 형성될 제1도전층보다 식각율이 낮은 하나의 절연층으로 형성할 수도 있다.

다음에, 상기 기판(51) 상에 적층되어 있는 상기 제2절연층(57), 식각저지층(55), 및 제1절연층(53)을 부분적으로 식각하여 스토리지전극을 소오스(도시되지 않음)와 접촉시키기 위한 콘택홀(h2)을 형성한다.

제6도는 제1도전층(59), 제1물질층(61) 및 제2물질층(63)을 형성하는 단계를 도시한다.

콘택홀(h2)이 형성되어 있는 상기 결과물 전면에, 상기 콘택홀(h2)을 채우고 상기 제2절연층(57)을 기준으로 일정한 두께를 가지도록 도전물질, 예컨대 불순물이 도우프된 다결정실리콘을 도포하여 제1도전층(59)을 형성한다. 이어서, 상기 제1도전층(59) 상에 상기 제2절연층 형성을 위한 절연물을 증착한 다음 패터닝하여 제1물질층(61)을 형성한다. 이어서, 상기 결과물 상에 원통형 스토리지 전극의 측벽으로 사용될 제2물질층(63)을 형성한다.

제7도는 스페이서(65)를 형성하는 단계를 도시한다.

상기 제2물질층(63)을 건식식각하여 상기 제1물질층(61)의 측벽에 스페이서(65)를 형성하고, 상기 제1도

전층(59)을 패터닝한다.

이때 상기 스페이서(65)는 상기 제1물질층(61)의 식각속도가 상기 제2물질층(63)의 식각속도보다 빠른 건식식각조건을 사용하여 형성한다. 따라서, 스페이서 상단부가 형성되기 시작하는 시점에서 상기 제1물질층의 일부가 식각되어 상기 스페이서 상단이 건식식각 플라즈마에 전면 노출된다. 이로 인해 상기 스페이서의 상단이 식각되고 뾰족한 부위의 형성이 억제된다.

여기에서, 건식식각은 식각에 이용되는 가스의 종류, RF 전력 및 압력 등의 식각조건을 조절함으로써 제1물질층과 제2물질층의 식각속도비를 조절할 수 있다.

본 발명의 바람직한 실시예에 따른 상기 제1물질층(61)의 식각속도가 상기 제2물질층(63)의 식각속도보다 빠르도록 하는 건식식각 조건은, 식각에 이용되는 가스를 CF_4 , CHF_3 , C_2F_6 , C_3F_8 , C_4F_8 , CH_2F_2 및 Ar 가스 중 적어도 하나를 사용하고, 1KW 이하의 RF 전력, 1000 mTorr 이하의 압력 조건을 사용한다.

제8도는 원통형 스토리지 전극(67)을 완성하는 단계를 도시한다. 상기 제1물질층(61) 및 제2절연층(57)을 예컨대 BOE(Buffered Oxide Etchant) 용액을 사용한 습식식각을 이용하여 제거함으로써, 원통형의 스토리지 전극(57)을 완성한다.

제9도 및 제10도는 제1물질층과 제2물질층의 식각속도에 따른 원통형 스토리지 전극 형성결과를 보여주는 SEM 사진이다.

제2물질층의 식각속도가 제1물질층의 식각속도보다 빠른 조건 예컨대 $C1_2/HBr$ 가스를 사용하여 원통형 스토리지 전극을 형성한 경우에는 스토리지 전극의 상부가 뾰족한 형태로 형성되어 있으며(제9도), 반대로 제1물질층의 식각속도가 제2물질층의 식각속도보다 빠른 조건, 예컨대 CF_4/Ar 가스를 사용한 경우에는 스토리지 전극 상단의 뾰족한 부위가 형성되어 있지 않음을 볼 수 있다.(제10도)

상술한 바와 같이 본 발명에 따르면, 식각속도 차이를 이용하여 스페이서의 상부가 건식식각 플라즈마에 전면 노출되도록 함으로써 스페이서 상단의 뾰족한 부위의 형성을 억제할 수 있다. 따라서, 신뢰성 있는 원통형 스토리지 전극 및 커패시터 형성이 가능하다.

본 발명은 상기 실시예에 한정되지 않으며 많은 변형이 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 실시가능함은 명백하다.

(57) 청구의 범위

청구항 1

반도체 기판 상에 스토리지 전극 형성을 위한 제1도전층을 형성하는 단계; 상기 제1도전층 상에 절연층 패턴을 형성하는 단계; 상기 절연층 패턴 상에 제2도전층을 형성하는 단계; 및 상기 제2도전층보다 상기 절연층 패턴의 식각속도가 빠른 건식식각 조건으로 상기 제2도전층을 식각하여 상기 절연층 패턴의 측벽에 원통형 커패시터의 기둥으로 사용될 도전물 스페이서를 형성하되, 상기 도전물 스페이서의 상단부를 식각 플라즈마에 전면 노출시켜 상단 뾰족한 부위의 형성을 억제하는 것을 특징으로 하는 원통형 커패시터 제조방법.

청구항 2

제1항에 있어서, 상기 제1 및 제2도전층은 폴리실리콘으로 형성하고, 상기 절연층 패턴은 실리콘 산화물로 형성하는 것을 특징으로 하는 원통형 커패시터 제조방법.

청구항 3

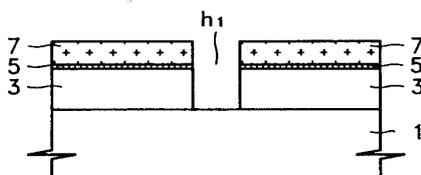
제2항에 있어서, 상기 건식식각 조건은 CF_4 , CHF_3 , C_2F_6 , C_3F_8 , C_4F_8 , CH_2F_2 및 Ar 가스를 사용하는 것을 특징으로 하는 원통형 커패시터 제조방법.

청구항 4

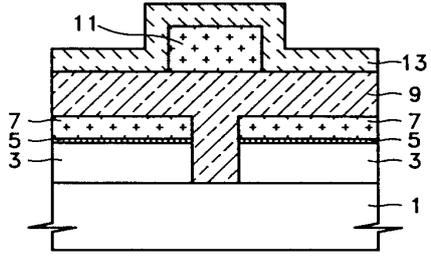
제2항에 있어서, 상기 건식식각 조건은 1KW 이하의 RF 전력, 1000mT 이하의 압력의 조건을 사용하는 것을 특징으로 하는 원통형 커패시터 제조방법.

도면

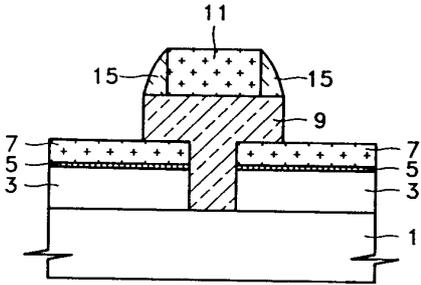
도면1



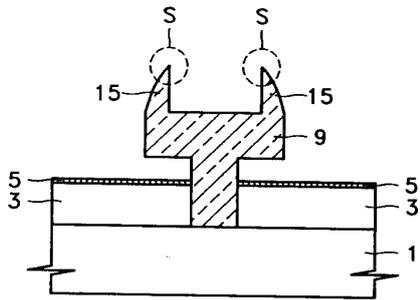
도면2



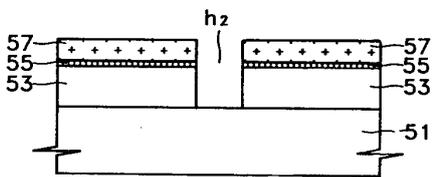
도면3



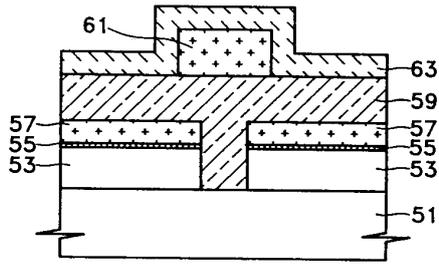
도면4



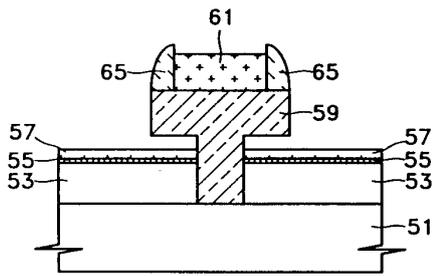
도면5



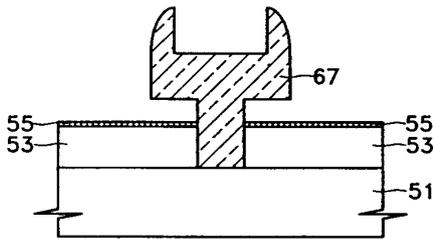
도면6



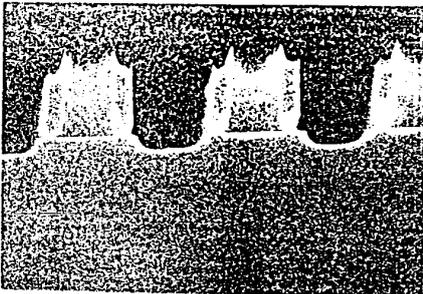
도면7



도면8



도면9



도면 10

