

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96122144

※ 申請日期： 96.6.20

※IPC 分類： H01L<sup>23</sup>/48

壹、發明名稱：(中文/英文)

(2006.01)

多層基板及其製造方法/

MULTI-LAYER SUBSTRATE AND MANUFACTURE METHOD  
THEREOF

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

巨擘科技股份有限公司/PRINCO CORP.

代表人：(中文/英文)

祁姓/ Chi, Sien

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市研新四路 6 號/No.6, CREATION 4TH Rd.,

HSINCHU SCIENCE-BASED INDUSTRY PARK, HSINCHU CITY

國 籍：(中文/英文)

中華民國/R.O.C.

參、發明人：(共 1 人)

姓 名：(中文/英文)

楊之光/Yang, Chih-kuang

國 籍：(中文/英文)

中華民國/R.O.C.

**肆、聲明事項：**

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種多層基板及其製造方法，尤指一種平坦之多層基板及其製造方法。

### 【先前技術】

現今任何類型電子產品之小型化，係無可避免之趨勢，隨著半導體晶圓製程尺寸不斷地縮小，後段封裝之相關技術亦必須隨之朝微型化的方向進步。因此，當今積體電路的積集度已不斷地提高時，使用積集度高的多層基板用以對晶元或元件進行封裝，整合成高密度系統已為必然之趨勢。

請參考第 1 圖，係繪示習知技術的多層基板之簡單示意圖。所謂多層基板之表面，亦即後續將與一品元或元件進行封裝之表面，多層基板包含焊墊層 102、表面介電層 104 以及防焊層 106。焊墊層 102 下方為與其電性連結之金屬線路層 108。根據習知技術多半以壓合法、增層法等製作多層基板之數層導線層與數層介電層(未顯示)。而表面介電層 104 之厚度較焊墊層 102、金屬線路層 108 之厚度要大了許多，例如現今一般多層基板的焊墊層 102、金屬線路層 108 厚度僅約數個  $\mu\text{m}$  至數十  $\mu\text{m}$  左右，而表面介電層 104 之厚度可能厚達數十  $\mu\text{m}$  至 200  $\mu\text{m}$  左右。因此，由於焊墊層 102 下方之金屬線路層 108 的存在，無論是以壓合法或者增層法製作多層基板，均係以一固定厚度之介電層材料，製作表面介電層 104，因此於多層基板表面形成焊墊層 102 時，必會造成如第 1 圖所示表面的不平坦，但如前述表面介電層 104 之厚度為數十  $\mu\text{m}$  至 200  $\mu\text{m}$  左右，下方金屬線路層 108 厚度約數  $\mu\text{m}$  至數十  $\mu\text{m}$  左右。介電層厚

度遠較金屬層為厚，於壓合法或者增層法之製程中，可利用製程參數的調整使介電層些許地變形可以補償表面不平坦至可接受之範圍。

然而，由於積體電路的積集度不斷地提高，基於體積縮小與電性的考量，焊墊層 102、金屬線路層 108 以及表面介電層 104 之厚度亦隨之減小。為維持訊號傳導的電性考量，焊墊層 102、金屬線路層 108 厚度的減小幅度有限，但表面介電層 104 之厚度卻大幅地減小，現今業界更嘗試製作厚度可達  $10\ \mu\text{m}$  左右之表面介電層 104。如前述表面介電層 104 之厚度為  $10\ \mu\text{m}$  左右，下方金屬線路層 108 厚度約數個  $\mu\text{m}$  至  $10\ \mu\text{m}$  左右。表面介電層 104 厚度與金屬線路層 108 厚度之尺度接近且相當，則前述使介電層 104 變形的手段將不足以補償表面的不平坦，不可避免地，更將凸顯多層基板表面不平坦的問題。

請參考第 2 圖係繪示根據習知技術，以覆晶封裝(Flip-Chip)製程對晶元進行封裝為例之簡單示意圖。根據習知技術所製造的多層基板具有介電層 103 及對應金屬線路層 107-1、107-2，表面介電層 104 及對應金屬線路層 108-1、108-2、108-3。並且多層基板於金屬線路層 108-1、108-2、108-3 上具有焊墊層 102-1、102-2、102-3。

如第 2 圖所繪示，現今封裝技術係以覆晶封裝(Flip Chip)技術為主流，覆晶封裝為一種將晶元 110 表面朝下，藉由金屬凸塊 120-1、120-2、120-2 使晶元表面接點 112-1、112-2、112-3 與多層基板之焊墊層 102-1、102-2、102-3 接合連結之技術。再者，多層基板焊墊層 102-1、102-2、102-3 與晶元表面接點 112-1、112-2、112-3 (電極)間，必須是一對一匹配，且必須精

準地接合。此覆晶封裝技術係先將該多層基板事先固定於一封裝治具上，對準晶元上的凸塊 120-1、120-2、120-2 (bump)與多層基板的焊墊層 102-1、102-2、102-3 之位置後，再以熱壓方式進行覆晶封裝。然而，必須使晶元表面接點 112-1、112-2、112-3 上之凸塊 120-1、120-2、120-2 均對準焊墊層 102-1、102-2、102-3 且與其接合(Bonding)後，覆晶封裝才算成功。惟多層基板之表面，可能因電路設計的緣故，金屬線路層 108-1、108-3 下方有金屬線路層 107-1、107-2，但金屬線路層 108-2 卻無下方對應的金屬層，因而焊墊層 102-2 高度較其他焊墊層 102-1、102-3 高度為低，當進行前述覆晶封裝時，會導致凸塊 120-2 未能連結焊墊層 102-2 與晶元表面接點 112-2。

然而不僅對覆晶封裝而言，對於其他高密度多接點之封裝，例如：球柵封裝(BGA)、平面閘格陣列(LGA)以及晶圓級封裝(CSP)來說，只要有一個金屬凸塊未能連結焊墊層與晶元或元件表面接點，封裝即告失敗。是以，對於多層基板表面、晶元 110 表面或元件表面的平坦性要求更甚以往。

一般覆晶封裝如使用凸塊高度(bump Height)為  $100\ \mu\text{m}$  的凸塊，可供參考的高度容許誤差值大約在  $\pm 10\ \mu\text{m}$  左右。而由於積體電路的積集度提高，單位面積的焊墊層密度亦會提高，凸塊高度(bump Height)則更進一步縮小，高度容許誤差值當然就更小。是以，更進一步地對多層基板表面的平坦性(亦即焊墊層與介電層之共平面性)，或對任一焊墊層本身的平坦性要求就更高。一般業界所製造之金屬線路層厚度多為數十  $\mu\text{m}$ ，甚至小至數個  $\mu\text{m}$ ，因此若未能有效地使多層基板表面平坦化，將會嚴重影響覆晶封裝的良率與可靠度。

因此，若能製作一表面平坦之多層基板，對前述覆晶封裝或其他高密度多接點之封裝而言，能提高封裝之可靠度。並且能更進一步縮小凸塊高度(bump height)，有利於更進一步提高整體封裝之密度。

### 【發明內容】

本發明之主要目的在於提供一種多層基板及其製造方法，能改善用於封裝的多層基板之焊墊層與介電層之平坦度，提高封裝之良率與可靠度，以更進一步提高整體封裝之密度。

本發明之多層基板，包含一表面介電層以及至少一焊墊層。表面介電層位於多層基板之一表層，焊墊層則內嵌於表面介電層，表面介電層與焊墊層形成多層基板。

於本發明之多層基板，焊墊層之側面與表面介電層密合，並且，焊墊層之一表面與表面介電層之表面具有一共面，使固定於封裝治具上的多層基板之焊墊層與表面介電層的平坦面度良好。當其用以與一元件表面進行封裝時，能提高封裝之良率與可靠度。

為達成本發明之前述目的，本發明製造多層基板之方法包含下列步驟：

於一平坦之載板表面形成至少一焊墊層；

形成一表面介電層，覆蓋焊墊層，使焊墊層內嵌於表面介電層；以及

將表面介電層以及焊墊層自載板表面分離，表面介電層與焊墊層形成一平坦之多層基板。

形成此平坦之多層基板，係用以與一元件表面進行封裝，亦即，對多層基板之一焊墊層與一封裝元件表面之一接點進行

封裝，其中該元件可為一晶元，該封裝型態則為一覆晶封裝。本發明因利用一平坦之載板表面，形成焊墊層以及表面介電層，使焊墊層內嵌於表面介電層，具有一共面，而使本發明之多層基板表面平坦性高。隨著積體電路的積集度提高，因凸塊間距(bump pitch)必然縮小，凸塊高度(bump height)亦需隨之減小。是以本發明之多層基板於後續覆晶封裝或其他高密度多接點之封裝時，能使用凸塊高度(bump height)更小之凸塊，同時亦由於本發明多層基板之表面平坦性，可確保封裝時多層基板與晶元或元件表面間之平行距離一致，而能提高封裝之可靠度，更進一步提高整體封裝之密度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，配合所附圖式，作詳細說明如下：

#### 【實施方式】

請參考第 3 圖，係繪示本發明多層基板表面之簡單示意圖。本發明之多層基板至少包含一焊墊層 302 以及一表面介電層 304。並且，多層基板可更進一步包含一防焊層 306。焊墊層 302 下方則為多層基板之金屬線路層 308。本發明之焊墊層 302 係內嵌於表面介電層 304，並且焊墊層 302 側面與表面介電層 304 密合，能加強兩者間之附著強度。再者，焊墊層 302 之表面與表面介電層 304 之表面係具有一共面，使本發明之多層基板表面平坦性高，亦即，焊墊層 302 之表面與表面介電層 304 之表面間係無段差。

接著，請參考第 4A 圖至第 4C 圖，係繪示本發明製造表面平坦之多層基板的方法流程圖。首先，第 4A 圖表示本發明之製造方法於一平坦之載板 400 表面先形成一防焊層 401 後，再

形成包含焊墊層 402 的複數焊墊層。例如：可以一表面平坦度佳之矽晶圓片作為此載板 400，以塗佈方式形成防焊層 401，以蝕刻、電鑄或微影法等方式於防焊層 401 表面上形成焊墊層 402。第 4B 圖表示於形成焊墊層 402 等後，再形成一表面介電層 404，覆蓋焊墊層 402 等，使焊墊層 402 等內嵌於表面介電層 404。再更進一步依多層基板設計所需，可於形成表面介電層 404 後，可對表面介電層 404 於金屬線路層預定位位置進行開孔，更進一步形成如第 3 圖所示之金屬線路層 308，以及更多的介電層、金屬線路層等(於第 4B 圖中僅表示製作多層基板的部份)，以完成多層基板之內連線結構。第 4C 圖表示將防焊層 401 自載板 400 表面分離，上下翻轉後，再於焊墊層 402 等位置對防焊層 401 進行開孔，抑或，防焊層 401 亦可於表面介電層 404 連同內嵌的焊墊層 402 等自載板 400 表面剝離，上下翻轉後，再於焊墊層 402 以及表面介電層 404 之表面形成。是以，防焊層 401、焊墊層 402 等以及表面介電層 404 即構成本發明之多層基板。本發明將多層基板自載板 400 表面分離之方法可為，例如：犧牲層法或載板表面附著強度弱化法等。

有別於習知技術以壓合方式的多層基板製作方法，為使後續覆晶封裝或其他高密度多接點之封裝的可靠度提高，提高整體封裝之密度，多層基板必須具有相當的平坦度，然而，習知技術使用壓合法、增層法製作多層基板，甚至使用塗佈的製程形成介電層，多層基板表面結構均無可避免地受下層金屬線路層的影響而產生表層起伏。但本發明利用一表面平坦度佳之載板 400，內嵌焊墊層 402 於表面介電層 404 內，製造出具有平坦表層之多層基板表面結構，即使 IC 封裝的積集度不斷地提



高，基於體積縮小與電性的考量，多層基板的介電層 404 之厚度需隨之減小，依據本發明所製造之多層基板仍然具有表面平坦度佳之表面結構。是以，當進行後續覆晶封裝或其他高密度多接點之封裝時，更能提高封裝之良率與可靠度。

請參考第 5 圖，係繪示利用本發明表面平坦之多層基板，進行覆晶封裝(Flip Chip)製程為例之簡單示意圖。覆晶封裝係將具有焊墊層 402 與表面介電層 404 之多層基板表面(具有防焊層 401 之一面)朝上放置固定於一封裝治具上(未顯示)。接著，將晶元 410 表面朝下，如圖所示將凸塊 420 等對準焊墊層 402 等之位置後，以熱壓方式進行接合(Bonding)，即能完成覆晶封裝。

本發明之優點即在於，由於利用一表面平坦度佳之載板 400 製作多層基板，因此相較於第 2 圖所示之習知技術製作的多層基板，具有平坦度高之表面，對於覆晶封裝或其他類型高密度多接點之封裝，例如：球柵封裝(BGA)、平面開格陣列(LGA)以及晶圓級封裝(CSP)而言，隨著積體電路的積集度提高，因凸塊 420 之間距(bump pitch)必然縮小，凸塊 420 之高度(bump height)亦需隨之減小。應用本發明之多層基板，方能使用凸塊高度(bump height)更小之凸塊 420，同時亦由於本發明多層基板之平坦性，可確保封裝時多層基板表面與元件或晶元 410 表面間之平行距離一致，確保封裝製程時，凸塊 420 等成功連結所有的焊墊層 402 與元件或晶元表面電極(接點)412，而能提高封裝之可靠度，更進一步提高整體封裝之密度。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識

者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第 1 圖係繪示習知技術多層基板之簡單示意圖；

第 2 圖係繪示根據習知技術，以覆晶封裝(Flip Chip)製程對晶元進行封裝為例之簡單示意圖；

第 3 圖係繪示本發明多層基板表面之簡單示意圖；

第 4A 圖至第 4C 圖係繪示製造本發明表面平坦之多層基板的方法流程圖；以及

第 5 圖係繪示利用本發明表面平坦之多層基板，進行覆晶封裝(Flip Chip)製程為例之簡單示意圖。

#### 【主要元件符號說明】

102、102-1、102-2、102-3 焊墊層

103 介電層

104 表面介電層

106 防焊層

107-1、107-2 金屬線路層

108、108-1、108-2、108-3 金屬線路層

110 晶元

112-1、112-2、112-3 晶元表面接點

120-1、120-2、120-2 凸塊

302 焊墊層

304 表面介電層

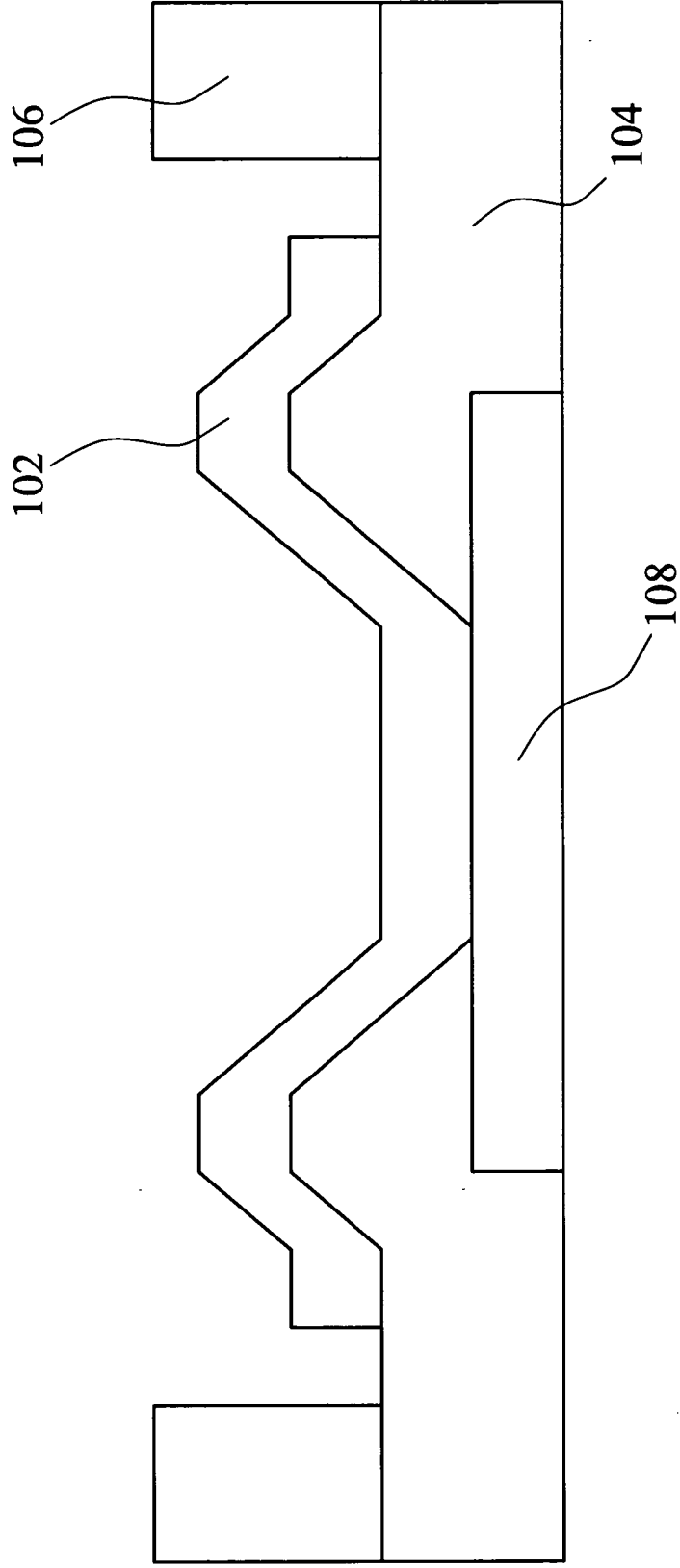
306 防焊層

- 308 金屬線路層
- 400 載板
- 401 防焊層
- 402 焊墊層
- 404 表面介電層
- 410 晶元
- 412 晶元表面電極(接點)
- 420 凸塊

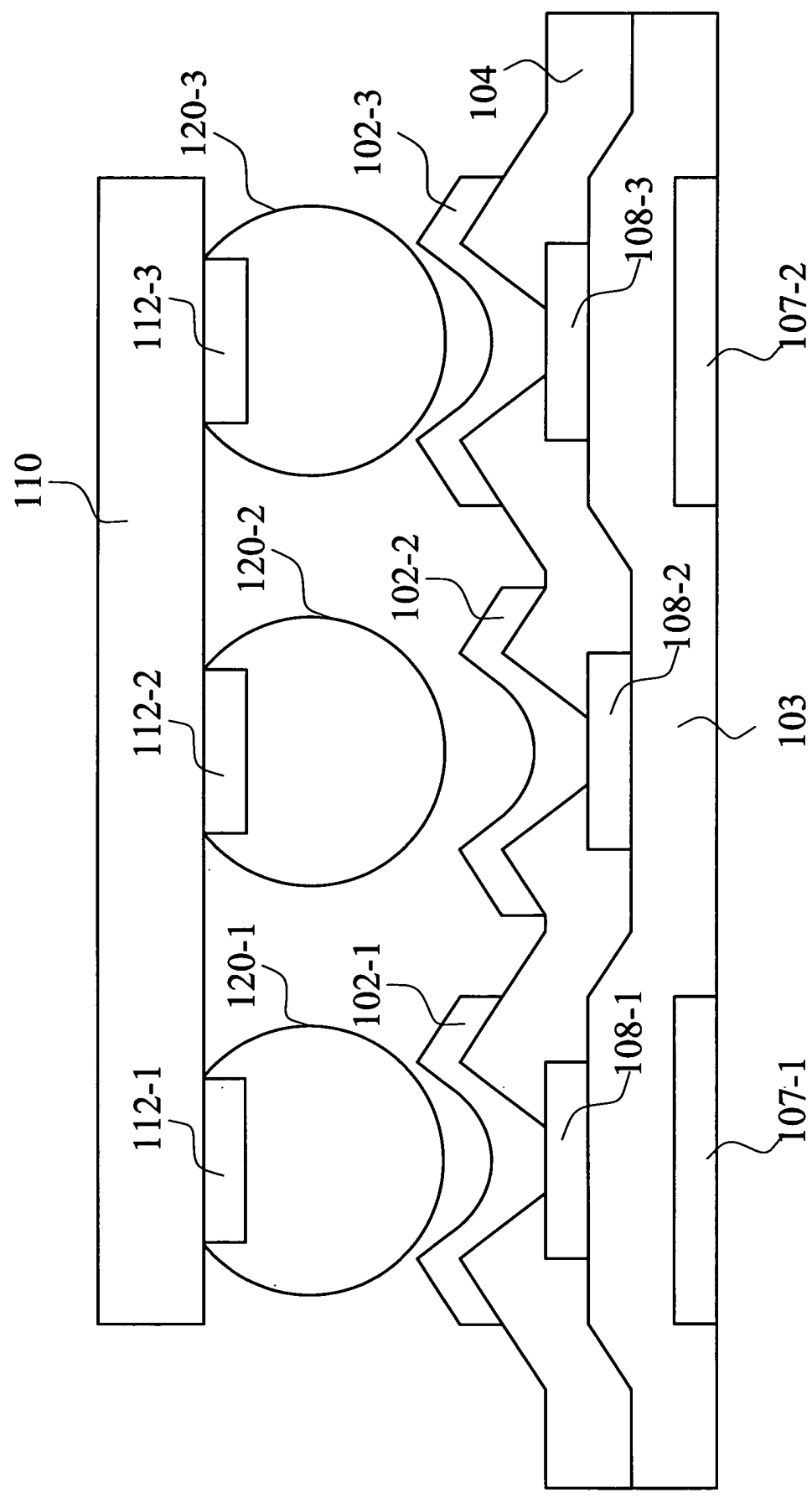
### 伍、中文發明摘要：

本發明揭示一種平坦之多層基板及其製造方法。本發明之多層基板包含一表面介電層以及至少一焊墊層。表面介電層位於多層基板之一表層，焊墊層則內嵌於表面介電層，表面介電層與焊墊層形成本發明之多層基板。本發明之製造方法係於一平坦之載板表面形成至少一焊墊層，再形成一表面介電層，覆蓋焊墊層，使焊墊層內嵌於表面介電層。將多層基板自載板表面分離，表面介電層與焊墊層即形成一表面平坦之多層基板。

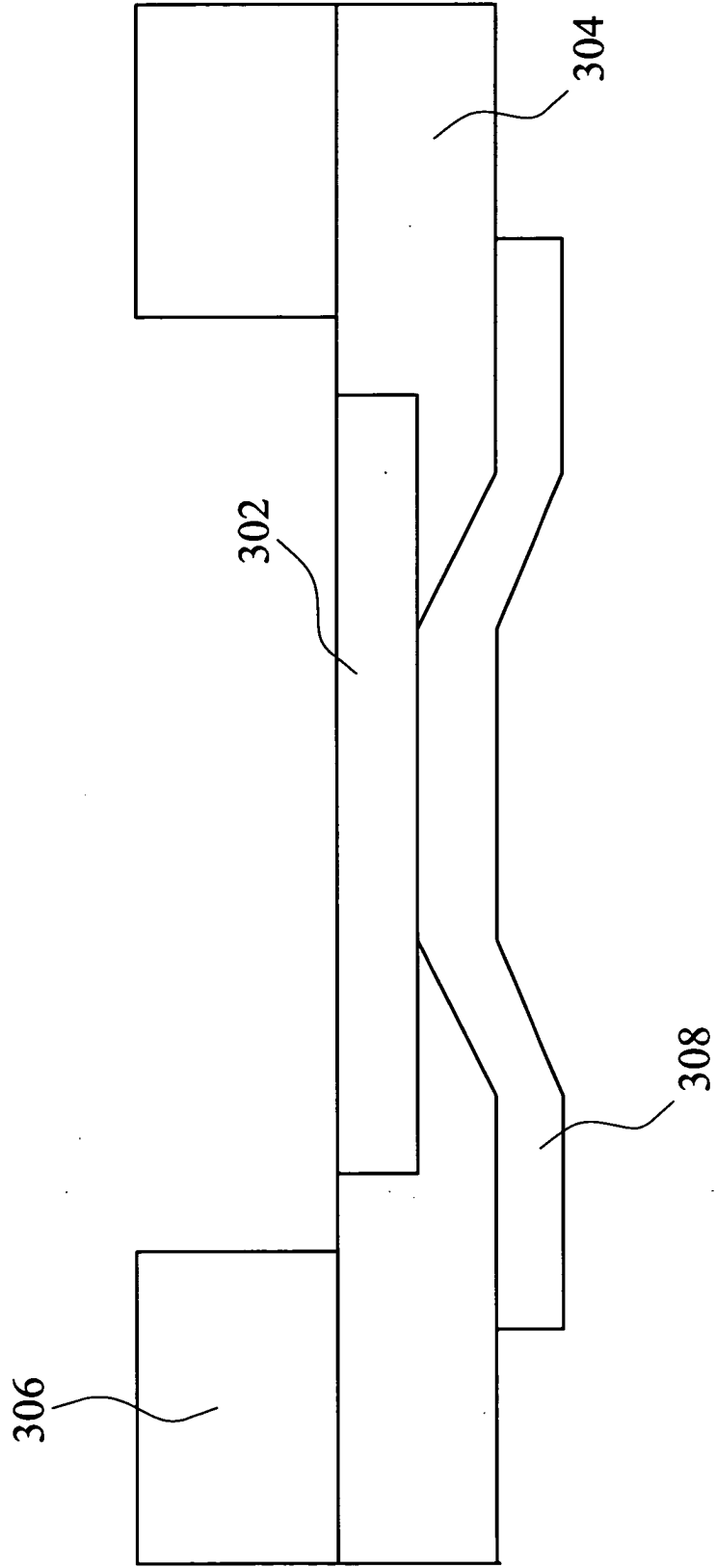
### 陸、英文發明摘要：



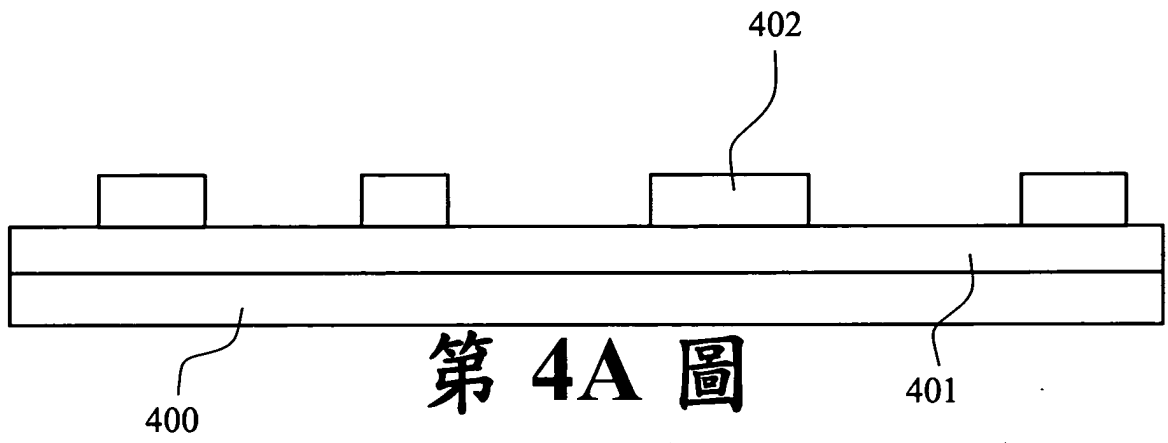
第 1 圖 (習知技術)



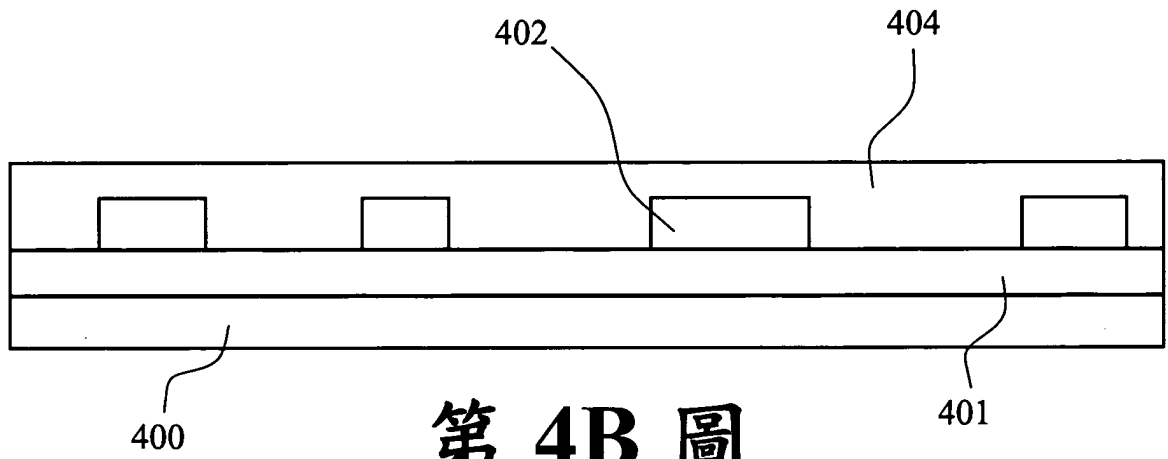
第 2 圖(習知技術)



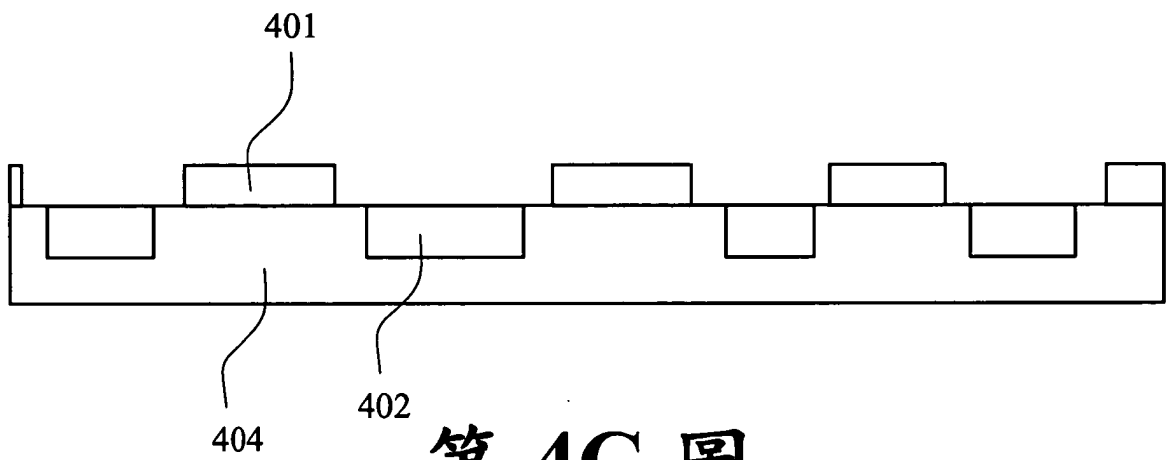
第 3 圖



第 4A 圖

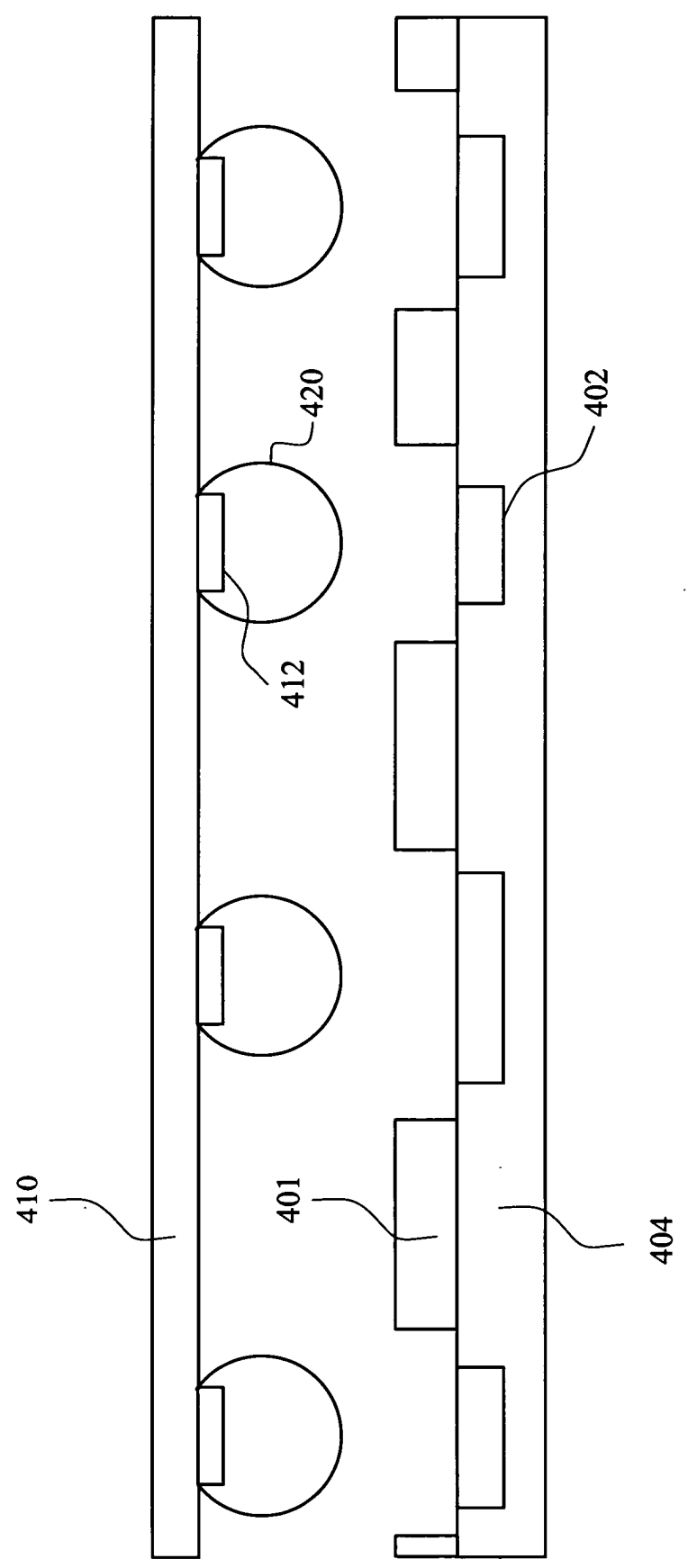


第 4B 圖



第 4C 圖





第 5 圖

柒、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件代表符號簡單說明：

401 防焊層

402 焊墊層

404 表面介電層

410 晶元

412 晶元表面接點

420 凸塊

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 拾、申請專利範圍：

1. 一種多層基板，其具有複數個金屬線路層及內部介電層，該等金屬線路層是設置在內部介電層內的任意位置，使得內部介電層的各個表面呈現高低起伏，該多層基板包含：

一表面介電層，位於該多層基板之一表層；以及

至少一焊墊層，具有至少一表面及至少一個與該表面相鄰接的側面，且該焊墊層係內嵌於該表面介電層，該焊墊層之表面係與該表面介電層之表面間係無高低差，該表面介電層以及該焊墊層共同形成該多層基板。

2. 如申請專利範圍第 1 項所述之多層基板，其中該焊墊層之側面係與該表面介電層密合。

3. 如申請專利範圍第 1 項所述之多層基板，其中該焊墊層之表面係與該表面介電層之表面具有一共面。

4. 如申請專利範圍第 3 項所述之多層基板，其中該共面使該多層基板具有一平坦之表層，用以與一元件表面進行封裝。

5. 如申請專利範圍第 4 項所述之多層基板，其中該元件係為一晶元。

6. 如申請專利範圍第 4 項所述之多層基板，其中該封裝係為一覆晶封裝。

7. 如申請專利範圍第 1 項所述之多層基板，更進一步包含一防焊層，位於具有該焊墊層以及該表面介電層之該表層上，該防焊層具有對應該焊墊層之開孔。

8. 一種製造一多層基板之方法，該多層基板具有複數個金屬線路層及內部介電層，該等金屬線路層是設置在內部介電層內的任意位置，使得內部介電層的各個表面呈現高低起伏，該製造方法包含下列步驟：

於一平坦之載板表面形成至少一焊墊層；

形成一表面介電層，覆蓋該焊墊層，使該焊墊層內嵌於該表面介電層，用以形成該多層基板，該焊墊層之表面係與該表面介電層之表面間係無高低差；以及

將該多層基板自該載板表面分離。

9. 如申請專利範圍第 8 項所述之方法，其中形成該表面介電層，覆蓋該焊墊層之步驟更進一步使該焊墊層之側面與該表面介電層密合。

10. 如申請專利範圍第 8 項所述之方法，其中形成該表面介電層，覆蓋該焊墊層之步驟係使接觸該載板表面的該焊墊層之表面與該表面介電層之表面具有一共面。

11. 如申請專利範圍第 8 項所述之方法，於形成該焊墊層之步驟前，更包含一於該載板表面形成一防焊層之步驟，使該多層基板更進一步包含該防焊層。

12. 如申請專利範圍第 11 項所述之方法，其中將該多層基板自該載板表面分離之步驟係將該防焊層自該載板表面分離。

13. 如申請專利範圍第 12 項所述之方法，於將該防焊層自該載板表面分離之步驟後，更包含一於該焊墊層之位置對該防焊層進行開孔之步驟。

14. 如申請專利範圍第 8 項所述之方法，於將該多層基板自該載板表面分離之步驟後，更包含一於該多層基板之表面形成一防焊層之步驟。

15. 如申請專利範圍第 8 項所述之方法，於將該多層基板自該載板表面分離之步驟後，更包含一對該多層基板之該焊墊層與一元件表面之一接點進行封裝之步驟。

16. 如申請專利範圍第 15 項所述之方法，其中該封裝係為一覆晶封裝。